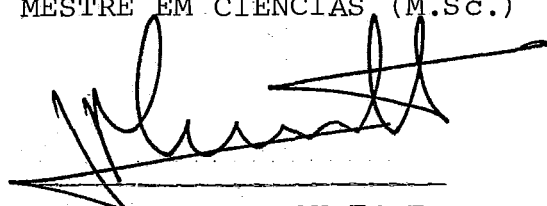


CONCEPÇÃO DE UM SISTEMA HÍBRIDO

Vilmar Pedro Votre

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS (M.Sc.)

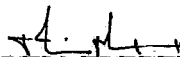
Aprovada por



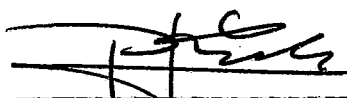
JEAN PIERRE COURTIAT
(Presidente)



JOSE LUCAS MOURÃO RANGEL NETTO



PAULO MÁRIO BIANCHI FRANÇA



PIERRE JEAN LAVELLE

RIO DE JANEIRO, RJ - BRASIL

JANEIRO DE 1980

VOTRE, VILMAR PEDRO

Concepção de um Sistema Híbrido RIO DE
JANEIRO 1980.

VII, 79p. 29,7cm (COPPE-UFRJ, M.Sc, En-
genharia de Sistemas e Computação, 1980)

Tese - Universidade Federal do Rio de Ja-
neiro. Faculdade de Engenharia.

1. Computação Híbrida I.COPPE/UFRJ
II.Título(série).

A ESTER

AO CRISTIANO

AGRADECIMENTOS

A D E U S

Aos meus Pais

Aos meus professores

A todos aqueles que de uma
ou de outra forma contribui
ram para a realização dese
te trabalho.

R E S U M O

Este trabalho apresenta o projeto de um computador híbrido pelo acoplamento do computador analógico TR-48 da EAI ao digital MITRA-15 da CII ambos do Laboratório de Automação e Simulação de Sistemas da COPPE/UFRJ.

A interface que realiza tal acoplamento se divide em duas partes:

- interface analógica - cadeias de aquisição e de restituição
- interface lógica - controle das cadeias de aquisição e restituição e tarefas de sincronização entre os dois computadores quando estão operando em paralelo.

A interface lógica conta com um volume considerável de inteligência o que lhe permite aliviar o digital das tarefas de sincronização e endereçamento dos canais analógicos quando está em operação simultânea com o analógico.

Quando não há problemas de tempo real (operação paralela) o conversor BCD do analógico é usado.

Para evitar acoplamento de modo comum entre o digital e o analógico usa-se acoplamento ótico do computador digital para a interface.

Uma análise de erros do ciclo híbrido completa este projeto.

A B S T R A C T

This thesis describes the design of a hybrid computation system obtained by the coupling of an EAI TR-48 analog computer and a MITRA-15 CII digital computer both at the Systems Laboratory at COPPE-UFRJ.

The interface which physically makes the coupling is divided in two essential parts:

- analog interface: acquisition and restitution chains
- logical interface: control of acquisition and restitution chains and synchronization of the computers, when in parallel operation.

The logical interface is complex enough to take charge of the tasks of synchronization and addressing of the analog channels, when used in simultaneous operation with the analog computer.

Except in the case of parallel operation (where real-time problems occurs), the interface uses as Analog to Digital converter the BCD converter or the TR-48.

Optical coupling is used to avoid common-mode errors.

The work ends by a study of the errors which appear in the sistem during the hybrid cycle.

Í N D I C E

I - INTRODUÇÃO	1
II - PRINCÍPIOS DE COMPUTAÇÃO HÍBRIDA	
.1 - Motivação para um sistema híbrido	4
.2 - Estrutura de uma simulação híbrida	5
.3 - Divisão da Simulação em Fases	6
.4 - Fase inicial	7
.5 - Ajustamento de parâmetros	7
.6 - Fase Dinâmica	8
.7 - Sincronização com base de tempo analógica.	9
.8 - Sincronização com base de tempo digital ..	10
.9 - Fase terminal	11
III - O MEIO HÍBRIDO	12
.1 - O computador Analógico	12
.2 - TR-48	12
.3 - DES-30 (Digital Expansion System)	13
.4 - Computador Digital	15
.5 - Estrutura de E/S	15
.6 - Interface analógica	16
.7 - Conversões analógico-digitais	16
.8 - Conversor BCD-binário	17
IV - INTERFACE ANALÓGICA	21
.1 - Cadeia de Aquisição	21
.2 - Cadeia de restituição	23
.3 - Outros canais de comunicação operáveis du- rante a fase dinâmica	29
V - INTERFACE LÓGICA	30
.1 - Instruções e dados	30
.2 - Interface lógica e seus modos particulares	32
.3 - Acoplamento ótico MITRA-15 - Interface lógica	33
.4 - Blocos básicos da interface lógica	35
.5 - Entrada da interface lógica	37
.6 - Registro de comando	39
.7 - Registro de Frequência de amostragem	41
.8 - Registro do número de passos	44

.9 - Sequência de canais a adquirir	45
.10 - Sequência de canais a restituir	47
.11 - Sequenciador	49
.12 - Outros registros	57
.13 - Registro de comando do analógico e do DES-30	57
.14 - Linhas de comando	58
VI - IDÉIAS ADICIONAIS SOBRE O FUNCIONAMENTO DO COM- PUTADOR HÍBRIDO PROJETADO	61
.1 - Operações aritméticas	61
.2 - Aquisições	61
.3 - Restituições	62
.4 - Software de controle	62
VII - ANÁLISE DE ERROS	64
.1 - Erros dos diversos elementos	64
.2 - Erros híbridos	66
.3 - Erros de amostragem	67
.4 - Erros na determinação e reconstituição do vetor de saída $v(t)$	67
.5 - Compensação do atraso T introduzido pelo tempo de execução da tarefa digital	70
.6 - Compensação na restituição do sinal contí- nuo	72
VIII - CONCLUSÃO	77

I - INTRODUÇÃO

A análise e síntese de sistemas complexos e de elevados custo e/ou risco trazem necessariamente à baila a necessidade de simulação. Esta simulação por si só coloca problemas novos de escolha da técnica melhor adaptada a cada caso.

Até o final dos anos 50 a natureza do problema fazia pelo menos uma linha divisória nítida entre os dois tipos básicos de computador: o analógico e o digital. O computador analógico estava destinado à solução (simulação) de sistemas contínuos, ao passo que o digital se adaptava melhor à simulação de sistemas discretos.

No entanto a multiplicação da velocidade do computador digital e o desenvolvimento de algoritmos de integração mais eficientes tornou possível a simulação completa de sistemas contínuos em computadores digitais, se bem que com algumas desvantagens (dificuldade de programação e tempo de máquina muitas vezes levando a custos proibitivos).

O surgimento de sistemas híbridos permite simular sistemas complexos explorando conjuntamente as vantagens de cada um dos computadores e contornando suas deficiências.

Esta tese destina-se à concepção e detalhamento, a nível de circuito impresso, de um "hardware" capaz do acoplamento de um computador digital e um analógico formando um computador híbrido.

Apresentaremos neste ponto um pequeno exemplo de aplicação de computador híbrido que permitirá uma idéia de como pode ser usado o mesmo.

Exemplo - ANÁLISE DE ELETROCARDIOGRAMAS

O sinal básico a ser analisado (EAI¹⁶) é uma voltagem medida em três ou mais pontos do corpo. Estas voltagens, geradas a partir de uma polarização e consequente despolarização do tecido musculoso durante o ciclo de contração-expansão são geradas dentro do coração. A intensidade (altura) e frequência dos pulsos gerados são afetadas por vários desvios de funcionamento do organismo. Por isto um grande número de cardiogramas deve ser a

nalizado para que se tenha uma correlação significativa entre os resultados obtidos e as condições reais do organismo. Esta análise deve ser feita em tempo real em vários casos. Por outro lado há a necessidade de remover a polarização que por exemplo nos cardiogramas de pessoas de idade avançada pode levar a interpretações super-críticas do gráfico. Deve-se, além disso, padronizar a intensidade e a largura dos pulsos no gráfico recuperado.

O uso de um computador híbrido pode facilmente realizar as duas tarefas:

- a - processar cardiogramas com a mesma frequência em que são gerados no corpo humano
- b - estabelecer critérios pelos quais a intensidade dos pulsos e a duração dos mesmos sejam interpretadas de forma consistente.

O processamento pode ser dividido em duas partes (neste caso o tratamento não é feito em tempo real):

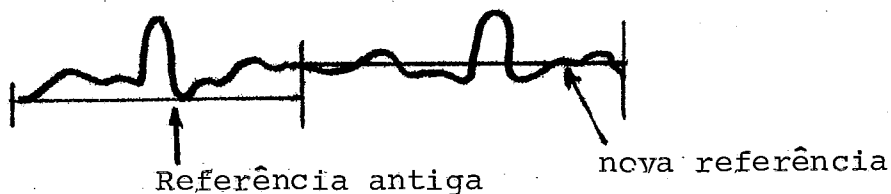
- i - Pré-processamento - Composição do sinal e geração de uma forma de onda padronizada.

- a) x , y e z que são as medidas recolhidas em 3 pontos do corpo são tratadas pelo computador analógico o qual calcula:

$$EKG3D = ((x + e_1)^2 + (y + e_2)^2 + (z + e_3)^2)^{1/2}$$

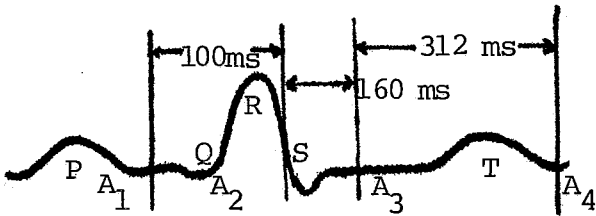
onde e_1 , e_2 e e_3 são deslocamentos inseridos para preservar a fase do vetor (x, y, z) que seria perdida em $(x^2 + y^2 + z^2)^{1/2}$ e na verdade é importante a informação de sinal de x , y e z .

- b) O computador digital calcula a cada período uma nova referência (zero) e faz uma média do sinal obtido com os anteriores obtendo uma forma de onda clara e livre de ruídos, que é gravada para análise posterior. O gráfico abaixo ilustra a idéia.



ii - Medida dos parâmetros.

O gráfico abaixo ilustra o que se deseja medir:



A₁ - abandona a pesquisa de P

A₂ - abandona a pesquisa de Q

A₃ - abandona a pesquisa de S

A₄ - abandona a pesquisa de T

Na medida destes parâmetros a divisão das tarefas entre o analógico e o digital é:

Analógico: determina os pontos de máximo e mínimo que permitem identificar os pulsos P, Q, R, S e T (derivada nula) e também A₁, A₂, A₃ e A₄ por comparação com níveis pré-estabelecidos.

Digital: determina e fornece ao analógico os níveis críticos para as comparações de que fala o item anterior e faz a medida dos tempos entre os vários pulsos, além de calcular várias médias e variâncias. Em relação aos pulsos P, Q, R, S e T determina também a existência ou não de cada um deles. Na verdade o único pulso imprescindível ao funcionamento do coração é o pulso R.

O interessante do método acima descrito é que os programas tanto no digital quanto no analógico resultam bem simples e que não ocorre se tentarmos fazer tal análise usando apenas um dos computadores, digital ou analógico.

II - PRINCÍPIOS DE COMPUTAÇÃO HÍBRIDA

Neste capítulo trataremos de nossa concepção de sistema híbrido.

II.1 - MOTIVAÇÃO PARA UM SISTEMA HÍBRIDO

Uma discussão inicial das propriedades do computador analógico e do computador digital nos permitirá mostrar as vantagens de uma hibridização.

A diferença fundamental entre os dois computadores está em que o analógico trata suas variáveis de uma forma contínua ao passo que o digital armazena apenas valores discretos. Por outro lado são construídos segundo técnicas radicalmente diferentes.

Entretanto uma análise mostra que suas propriedades são complementares conforme pode ser visto na tabela 1.

TABELA 1 - Comparação entre propriedades do Computador Analógico e do computador digital

Característica	Computador Digital	Computador Analógico
Memória	grande	quase não existe
Velocidade de processamento	Baixa - operações em série	alta - operações em paralelo
Solução de eq. diferenciais lineares	Métodos iterativos lentos	Capacidade de integração imediata
Geração de funções não lineares	sem problemas	Muito difícil
Geração de funções de várias variáveis	sem problemas	Tempo é a única variável independente
Decisões lógicas	sem problemas	complicado

A Assim o computador híbrido, criado pela ligação do analógico ao digital, apresenta as vantagens de ambos. Um sistema - complexo demais para qualquer um deles isoladamente pode, muitas vezes, ser simulado no computador híbrido.

Outrossim devemos ter em vista que os defeitos dos computadores também podem se somar numa hibridização. A ligação - mesma pode acarretar problemas. Detetar e resolver tais problemas é parte inerente de um projeto de hibridização.

Assim para a definição de uma boa estrutura de interface - de acoplamento entre os dois computadores é mister estudar em detalhe o que seja uma simulação. híbrida.

II.2 - ESTRUTURA DE UMA SIMULAÇÃO HÍBRIDA

Uma simulação híbrida implica na divisão do problema em duas partes - uma digital e uma analógica - bem como definir a interação entre os dois computadores nos diferentes passos da simulação. Basicamente devemos escolher:

- a) as variáveis que serão tratadas numericamente e as que serão tratadas de forma analógica
- b) as variáveis que serão trocadas entre os dois computadores
- c) as frequências de aquisição e restituição
- d) a precisão de cálculo das variáveis, em particular daquelas que serão restituídas para o analógico.

Esta separação do modelo inicial em 2 submodelos é de fundamental importância. Todavia pouco desenvolvimento existe, até o presente, no sentido de automatizar tal tarefa com o que a mesma é deixada a cargo do usuário. No entanto a experiência recomenda que:

- seja deixada para o analógico a parte linear e diferencial do modelo para tirar vantagem de sua grande velocidade de cálculo
- seja deixada para o digital a geração de funções não lineares e de várias variáveis bem como a resolução de equações algébricas e mesmo integrações que tenham evolu

ção lenta no tempo e impliquem grande precisão de cálculo.

II.3 - DIVISÃO DA SIMULAÇÃO EM FASES

Para que uma simulação seja realizada com um encadeamento razoável no tempo várias fases são definidas conforme mostra a figura 1.

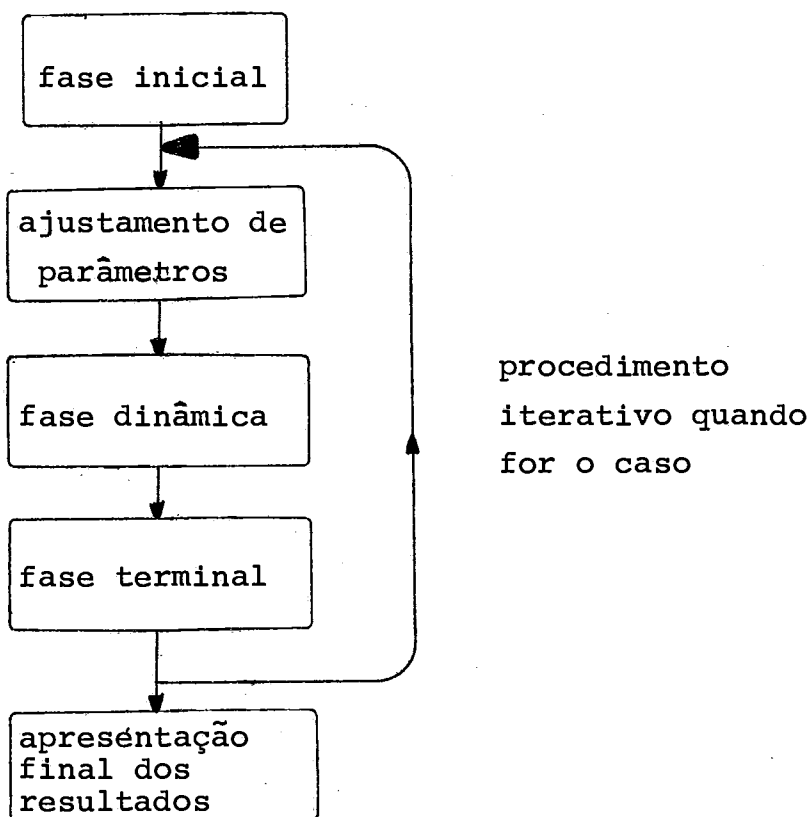


Figura 1 - Fases de uma simulação híbrida

Um programa no computador digital trata as várias fases - de uma simulação. A definição, bem como as tarefas realizadas - em cada uma das fases são discutidas a partir deste ponto.

II.4 - FASE INICIAL

A partir de uma descrição sucinta da montagem realizada - sobre o computador analógico o computador digital mede os valores afixados pelo usuário para os potenciômetros manuais bem - como as condições iniciais nas saídas dos integradores.

O computador analógico permanece todo o tempo em um dos modos estáticos IC (Condições Iniciais) ou PS (Pot Set).

Qualquer erro devido a engano da parte do usuário seja na fiação, seja na afixação de valores ou devido a eventuais maus contatos no painel do analógico são assim detetáveis. Assim o digital facilita o teste estático do submodelo analógico.

Ainda nessa fase são passados os parâmetros de controle - da interface lógica tais como: nº de passos de amostragem, frequência de amostragem, sequência de canais a adquirir (A/D) e sequência de canais a restituir (D/A). Tais parâmetros serão usados posteriormente na fase dinâmica.

Valores são lidos (de cartões, por exemplo) e geram-se tabelas de funções a ser transmitidas ponto a ponto na fase dinâmica sobre o analógico, quando for o caso.

Esta fase, por não apresentar restrições de tempo real é totalmente controlada pelo computador digital.

Isto permite que para a seleção de amplificador e potenciômetro no analógico nós usemos a lógica dele bem como seu voltímetro BCD.

Para simplificar a transferência do valor lido e convertido para BCD no analógico um conversor BCD-binário faz parte da interface.

Nesta fase o digital tem o controle de todos os modos do computador analógico (modos analógicos e modos lógicos).

A sincronização nesta fase é simples e consiste apenas em informar ao digital que a tarefa solicitada foi realizada.

II.5 - AJUSTAMENTO DOS PARÂMETROS

Pode corresponder a uma mudança na frequência de amostragem ou mesmo no Nº de passos de amostragem, na sequência de canais a adquirir e a restituir e eventualmente ajuste único de potenciômetros numéricos que ficarão fixos durante a fase dinâmica.

mica.

II.6 - FASE DINÂMICA

Esta fase (COURTIAT¹) começa quando o modo OPERATE (cálculo) é forçado sobre o computador analógico, permitindo a integração. Esta fase termina quando um dos modos de repouso é comandado sobre o analógico. Em geral o modo forçado é o modo MEMÓRIA que faz com que os integradores mantenham a saída fixando o estado do problema.

Esta fase, em que se realiza a integração do modelo global tem restrições extremamente críticas de tempo real já que combina operações em série no computador digital com operações em paralelo no analógico.

Impõe-se então a minimização dos tempos de transferência tanto sobre a interface lógica quanto sobre a analógica.

Num computador híbrido como o aqui tratado em que ambos os computadores de per si são poderosos* podemos ter 2 tipos básicos de simulação:

- a) Simulação híbrida série - a tarefa do digital se reduz a
 - lançamento e parada da fase dinâmica
 - gerência das transferências.

Os valores adquiridos são armazenados em memória e os restituídos são lidos em memória. Transferências sobre outros periféricos são bloqueadas dedicando-se a unidade central por inteiro às trocas com o analógico via interface. As frequências de aquisição e restituição devem ser suficientemente elevadas para permitir uma boa reconstituição do sinal amostrado, (Teorema de Shannon) e boa aproximação das funções geradas.

Os tratamentos numéricos sobre os dados adquiridos só serão feitos após o fim da fase dinâmica, ou seja, em série com

* Muitas vezes o termo híbrido é empregado impropriamente: ou a um analógico é acoplada alguma lógica digital (contadores, portas, flip-flops) ou a um digital é dado o controle de alguns blocos analógicos, funcionando tal "apêndice" em cada caso como um novo periférico do analógico ou do digital.

o computador analógico.

Exemplos que levam a uma simulação híbrida série são problemas de valor final e solução de equações diferenciais parciais por métodos iterativos.

b) Simulação híbrida paralela -

o analógico integra seu submodelo ao passo que o digital executa sua tarefa numérica. Surge então um novo problema - a frequência de amostragem deve ser alta para permitir uma boa reconstituição do sinal amostrado e por outro lado tem que haver tempo para a tarefa numérica. Outro ponto crítico nesta simulação é a sincronização entre os dois computadores com relação às conversões A/D e D/A.

A tarefa numérica pode consistir de geração de funções - não lineares ou de várias variáveis bem como de integração de variáveis que tenham constante de tempo elevadas e que necessitem de grande precisão.

Dois métodos básicos são possíveis: um que utiliza uma referência de sincronização com base de tempo analógica e outro que utiliza sincronização com base de tempo digital. Estudemos em detalhe cada uma destas idéias de sincronização.

II.7 - SINCRONIZAÇÃO COM BASE DE TEMPO ANALÓGICA

No instante $t=0$ o computador analógico é lançado no modo operate. A tarefa numérica calcula um passo de integração correspondente a uma variação t da variável independente e entra em ciclo de espera. Um biestável de sincronismo da interface - lógica muda quando o processo inteiro andou um passo e o digital calcula o próximo passo. A figura 2 ilustra graficamente a idéia.

II.8 - SINCRONIZAÇÃO COM BASE DE TEMPO DIGITAL

Neste caso o analógico espera pelo digital. Assim o primeiro alterna entre os modos memória (HOLD) e cálculo (OPERATE) ao passo que o digital trabalha continuamente. Esta técnica permite eliminar um erro do computador híbrido gerado pelo atraso do ciclo híbrido (aquisição, cálculo digital e restituí

ção) mas acarreta erro significativo com suas passagens sucessivas entre os modos cálculo e memória.

A figura 3 ilustra a idéia.

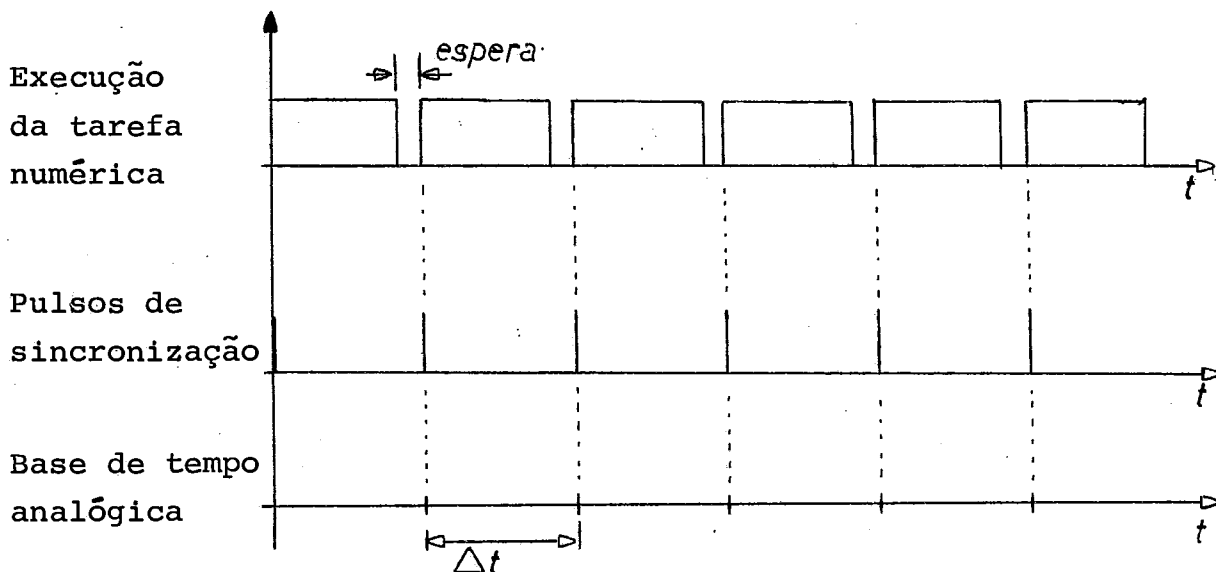


Figura 2 - Sincronização com base de tempo analógica

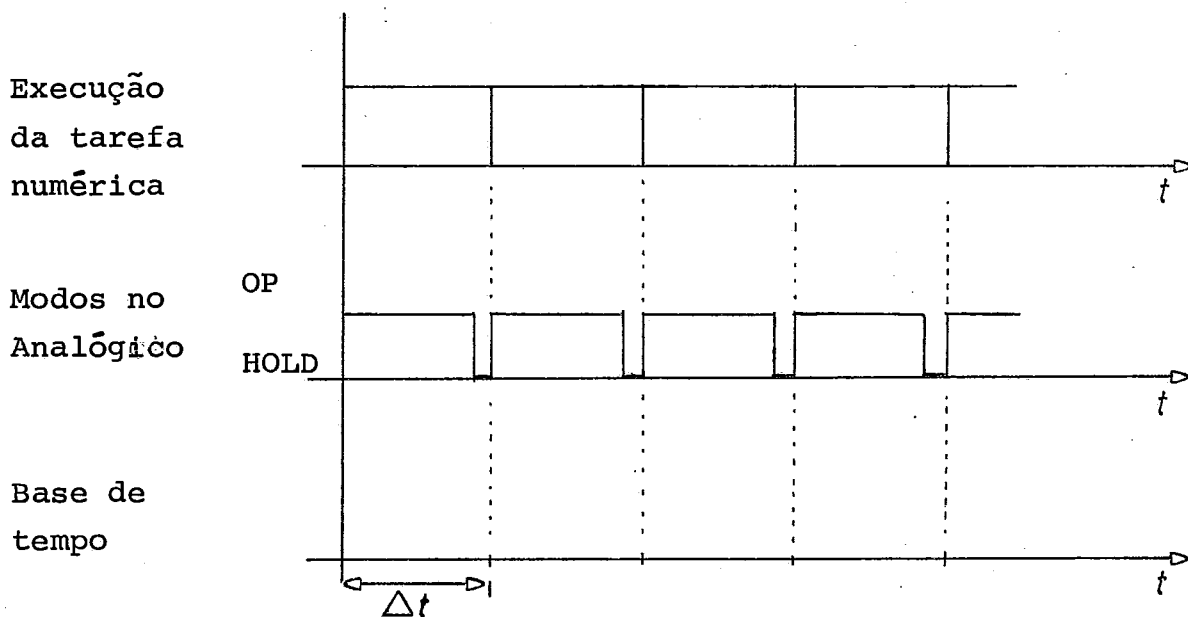


Figura 3 - Sincronização com base de tempo digital

Dos dois métodos de sincronização mostrados o primeiro é indiscutivelmente o melhor. Assim sendo foi o escolhido no nosso trabalho.

II.9 - FASE TERMINAL

Sendo executada após uma fase dinâmica tem por finalidades básicas:

- documentação dos resultados obtidos na fase dinâmica
- avaliação dos resultados e eventual modificação de parâmetros para relançar a fase dinâmica em caso de processo iterativo.

Também nesta fase, como na inicial, o computador analógico permanece em modos de repouso o que conduz à inexistência de restrições de tempo real.

Vemos então que a única fase que apresente problemas de tempo real é a fase dinâmica. Por isso grande parte da interface lógica são recursos para bem haver-se nesta fase.

III - O MEIO HÍBRIDO

Podemos dividir esquematicamente o material híbrido nos seguintes componentes básicos (vide figura 4):

- computador analógico
- computador digital
- interface analógica
- interface lógica, que será a responsável pelo sincronismo entre os componentes anteriores.

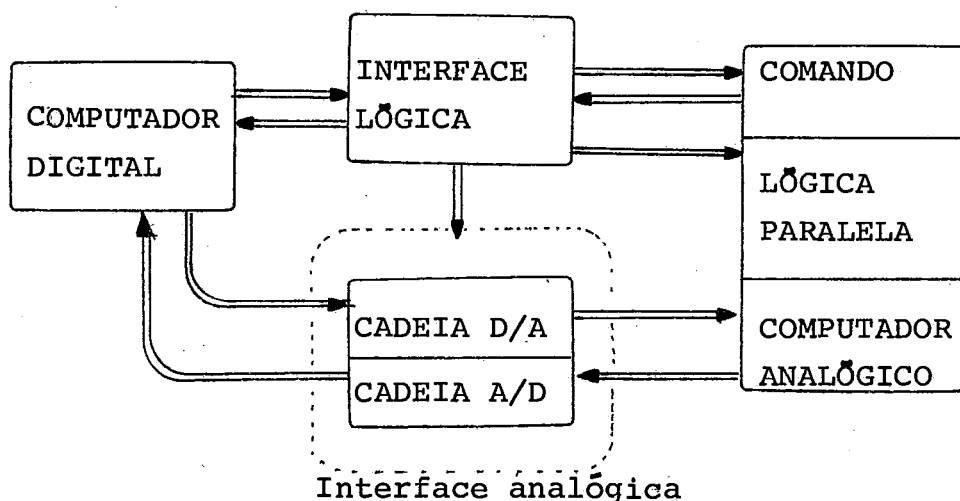


figura 4 - Estrutura geral do computador híbrido

III.1 - COMPUTADOR ANALÓGICO

É o computador TR-48 da EAI acrescido do DES-30 (Digital Expansion System) também da EAI.

III.2 - TR-48

Dispõe de:

- um display gráfico com eixos y e x controláveis pelo usuário
- um voltímetro analógico
- um voltímetro digital BCD
- um conjunto de teclas que selecionam um amplificador ou potenciômetro qualquer para ser lido por tal voltímetro

o qual converte com 4 décadas BCD e sinal.

- comandos:

INT (INTERNAL)-serve para desconectar linhas escravas. Se INT não estiver apertada e SL (SLAVE) também não o computador local é mestre. Se INT estiver apertada ele será mestre todo o tempo. Com INT alto e SL apertado o TR-48 é controlado por outro computador.

RO (Repetitive Operation) - O analógico alterna IC e OP segundo a taxa estabelecida.

PS (Pot Set) - permite o ajuste dos potenciômetros manuais.

IC (Initial Condition) - todos os circuitos exceto os integradores funcionam.

HD/SL - (Hold/Slave) Se INT estiver alto o computador passa ao controle de outro computador. Se INT estiver apertado então o analógico passa ao modo memória.

OP (Operate) - os integradores respondem a suas entradas.

- Recursos de simulação: potenciômetros manuais, integradores, somadores, multiplicadores, comparadores e "trunks" A/D e D/A.

Do ponto de vista duma hibridização há que se lamentar a ausência de potenciômetros numéricos ajustáveis durante a fase dinâmica.

III:3 - DES-30 (DIGITAL EXPANSION SYSTEM)

Contém um conjunto de portas E e inversores, bem como um conjunto de flip-flops e contadores conectados a um painel fixo externamente. Funciona com lógica negativa.

Modos de operação:

RUN - o relógio interno é aplicado a todos os elementos que tenham entrada de relógio.

STOP- bloqueia o relógio

CLEAR - Zera os elementos de memória.

Os seguintes tempos de relógio são disponíveis:

- 1 MC - 1 megahertz
- 1 KC - 1 quilohertz
- 1 CPS- 1 ciclo por segundo
- STEP - passo a passo comandado por tecla.

F/N - controle do ritmo quando o DES-30 comanda o TR-48.

N - (Normal) - C é o capacitor de integração

F - (Fast) - 0,1C é o capacitor de integração.

Na tese, na primeira implantação é recomendável usar as possibilidades de controle do DES-30 sobre o analógico.

As possibilidades, usando entradas lógicas do DES-30, são as mostradas na tabela 2.

Entradas lógicas		Modo no DES-30
RUN	CLR	
DESLIGADO	DESLIGADO	RUN - controlado por tecla
0	0	STOP - contudo A(nalog) to D(ES-30) - "trunks" permanecem em RUN
0	1	CLEAR- A/D "trunks" permanecem em RUN-
1	0	RUN
0	1	Não permitido

Tabela 2 - Modos no DES-30 comandados de fora

Os "trunks" A/D e D/A que se encontram no analógico permitem a troca de informações lógicas entre o TR-48 e o DES-30 e na verdade só fazem a compatibilização de lógicas e níveis. Isso porque o TR-48 (saídas dos comparadores) funciona com lógica positiva enquanto o DES-30 funciona com lógica negativa.

Por outro lado o DES-30 comanda o TR-48 desde que o mesmo esteja no modo SL de acordo com a tabela 3.

Entrada lógica		Modo no TR-48
OP	RST	
0	0	HOLD
0	1	RESET = IC
1	0	OP
1	1	Não permitido

Tabela 3 - Controle do analógico pelo DES-30

III.4- COMPUTADOR DIGITAL

O MITRA-15 é um computador de tempo real, o que é particularmente interessante do nosso ponto de vista. Dizer que é de tempo real é dizer que tem um ciclo de máquina rápido, um sistema hierarquizado de interrupções e um sistema de entrada e saída simples.

Na configuração do laboratório de sistemas não há interrupção rápida (3 micro-segundos) mas apenas a interrupção normal que é de 30 micro-segundos, o que nos proíbe de usar interrupção como um recurso de sincronização na fase dinâmica. A nossa configuração não tem processador de ponto flutuante por hardware. Assim sendo operações de ponto fixo, a partir de subrotinas em Assembler são aconselháveis na fase dinâmica, em vez de operações em ponto flutuante por software que são demasiado lentas.

III.5 - ESTRUTURA DE E/S

No MITRA-15 a transferência de uma palavra completa de memória é feita num único comando sendo que o endereço de transferência está num registro da unidade central.

Esta estrutura é apropriada a transferências entre os dois computadores que não necessitarão mais do que uma palavra de memória em geral.

Revela-se entretanto insuficiente quando um grande número-

de palavras deve ser transferido da memória ou para a mesma - quando atuam as cadeias de restituição ou aquisição na fase dinâmica. Haja vista que uma aquisição sobre o analógico obrigará ao uso de 3 instruções:

- uma instrução de E/S para dar a ordem de conversão.
- uma instrução para ler o valor convertido pelo conversor A/D
- uma instrução de escrita na memória do valor que uma vez adquirido estará no acumulador da unidade central.

Esta dificuldade poderia ser eliminada se pudéssemos encaixar a série de transferências a partir duma inicialização da mesma. Para tal seria excelente que o nosso computador digital possuísse um dispositivo de acesso direto à memória o que não acontece. Veremos, futuramente, como um pequeno aumento da inteligência da interface lógica permitirá uma boa solução para o problema.

III.6 - INTERFACE ANALÓGICA

Contém basicamente a cadeia de aquisição (conversão Analógico digital) e a cadeia de resituição (conversão digital - analógica)

III.7 - CONVERSÕES ANALÓGICO-DIGITAIS

Nas fases inicial e terminal, quando não temos problemas - no que concerne a tempo, é mais importante a facilidade de acesso aos pontos de interesse do computador analógico do que a velocidade de conversão. Assim, para tais fases, o voltímetro-BCD do analógico será usado como conversor. Posteriormente a interface fará a conversão BCD (4 décadas e sinal) para 12 dígitos binários (um de sinal).

O conversor analógico-BCD tem um sinal de fim de conversão que será usado como sinal de conversão para o conversor - BCD-binário. Nosso intuito é ler valores de condições iniciais (saída de amplificadores) e valor afixado de potenciômetros manuais.

Os passos para uma aquisição via conversor analógico-BCD do TR-48 são:

- a) A lógica de seleção dum componente é acionada pelo Mitra com auxílio da interface lógica.
- b) Passado um tempo de atraso necessário à seleção o conversor BCD-binário capta o 1º sinal de fim de conversão analógico-BCD e converte para binário a saída BCD. O conversor analógico-BCD converte repetidamente a uma frequência fixa e a cada fim de conversão renova o seu DISPLAY - VOLTÍMETRO DIGITAL no analógico. Por isso o conversor BCD-binário faz a conversão apenas do 1º BCD obtido.

A partir deste instante descreveremos o conversor BCD-binário.

III.8 - CONVERSOR BCD-BINÁRIO

Definição do problema: entrada - BCD de 4 décadas;
saída - Binário em sinal e amplitude de 12 bits;
técnica usada - multiplicações sucessivas por 2 repetidas 11 vezes. Exemplo - converter $0,95_{\text{BCD}}$ para binário.

$$0,95 \times 2 = 1 + 0,90$$

$$0,90 \times 2 = 1 + 0,80$$

$$0,80 \times 2 = 1 + 0,60$$

$$0,60 \times 2 = 1 + 0,20$$

$$0,20 \times 2 = 0 + 0,40$$

$$0,40 \times 2 = 0 + 0,80$$

Truncando neste ponto temos $0,95_{\text{BCD}} = 0,111100_2$ com 7 dígitos na base 2.

Entretanto a multiplicação do BCD por 2, embora possível - com um combinacional puro leva a um circuito bastante complicado. Uma boa solução para o problema foi o uso de um somador de 4 + 4 bits (somador completo). Assim para cada década foi usado um somador como mostra a figura 5.

O funcionamento é o seguinte:

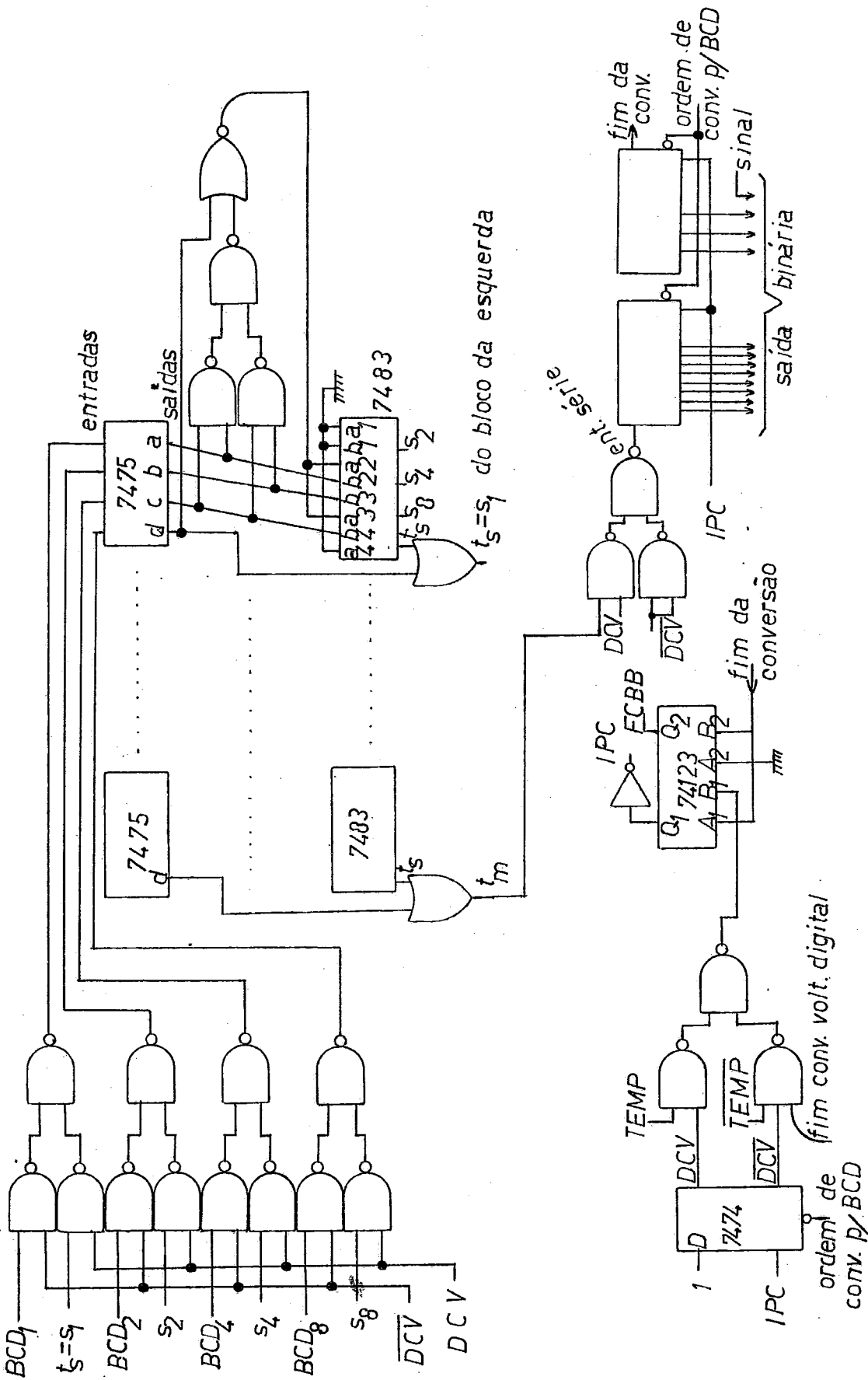


Figura 4 - Conversor BCD-Binário

a) O sinal DCV (Durante a ConVersão) e \overline{DCV} gerados sobre o flip-flop tipo D (7474) permite que o registro de 16 bits - formado de 4 7475 (LATCH de 4 bits) receba na primeira vez a saída do voltímetro digital e nas outras vezes (DCV = 1) a realimentação das saídas dos somadores completos (7483 - somador de 4 + 4 bits).

b) IPC gerado pelo monoestável 74123 (dual) é o sinal que comanda a cadência de conversão BCD-binário. IPC é síncrono - com TEMP - relógio da interface.

c) Cada bloco somador completo recebe nas entradas b_4, b_3, b_2 os sinais c, b e a respectivamente, saídas dos registros - 7475. b_1 recebe 0. Isto corresponde a deslocar uma posição para a esquerda os quatro bits da década. O combinacional entre os 7475 e o 7483 realiza a função: $ac + bb + d$ que indica configuração de 4 bits dando código entre 10 e 15, ou seja, BCD inválido. Neste caso as entradas a_3 e a_2 do somador completo recebem 1 (soma-se 6). O transporte para a década seguinte ocorre quando o somador encontra transporte ou quando o bit d já é 1 antes da multiplicação por 2.

d) Para completar a lógica um registro de deslocamento de entrada série e de saída paralela de 12 bits (um 74164 - 8 bits, entrada série, saída paralela e um 74195 - 4 bits, universal) é adicionado ao conjunto. Tal registro, zerado antes do início da conversão, recebe 1 no primeiro pulso IPC. Após 11 pulsos de deslocamento em que a cada pulso (IPC) a entrada série recebe o transporte da década 10^{-1} o um injetado no primeiro pulso atinge a outra extremidade e indica fim de conversão - o qual-

- bloqueia a emissão de novos pulsos IPC
- gera no outro monoestável do 74123 o sinal Fim de Conversão BCD-binário (FCBB) que interromperá o MITRA.

Ao mitra-15 é deixada a tarefa de calcular o complemento - de 2 quando o n° for negativo.

As figuras 1, 2 e 3 do anexo 1 completam o conversor BCD-binário.

A razão de não se mandar diretamente BCD para o MITRA está em que só utilizaremos 12 bits para dados na interface. Na dis

cussão da interface lógica daremos as razões para tal procedimento.

Para a fase dinâmica que apresenta restrições de tempo real, será usada a cadeia de aquisição de alta velocidade e a cadeia de restituição que juntas constituem a interface analógica.

O anexo 2 discute os princípios de funcionamento dos elementos de circuito necessários à confecção de uma interface analógica. Devido à grande precisão necessária técnicas sofisticadas de construção de resistores e amplificadores operacionais se fazem necessários.

Passemos, pois, à discussão (projeto) da interface analógica.

IV - INTERFACE ANALÓGICA

É a responsável pelas trocas de dados entre os dois computadores na fase dinâmica. Compõe-se de uma cadeia de aquisição (analógico para digital) e de uma cadeia de restituição (digital para analógico).

IV.1 - CADEIA DE AQUISIÇÃO

O elemento mais importante é o conversor analógico-digital. O que nós usamos é do tipo, conversão por aproximações sucessivas, figura 7 do anexo 2.

Como o custo do conversor A/D é alto (da ordem de 200 dólares) partiu-se para uma solução de compromisso velocidade, custo, precisão que foi a de multiplexar em analógico e posteriormente converter para digital. Foi escolhido 8 como um nº de canais razoável para o porte do sistema. Entretanto a simples multiplexação e conversão leva a um erro de fase sistemático nos vários canais amostrados.

A solução foi então melhorada acrescentando-se uma bateria de 8 amostradores-bloqueadores (SAMPLE & HOLD) que adquirem e bloqueiam o sinal a um comando da interface lógica, todos a um só tempo. Posteriormente o multiplexador faz a varredura das saídas dos amostradores-bloqueadores para a entrada do conversor A/D.

A figura 6 mostra o projeto básico deste bloco. A respeito deste projeto temos que:

- o sinal de ocupação permanece normalmente em zero e só atinge um quando está sendo feita uma conversão. Assim o registro binário feito de 4 7475 mantém a saída anterior até o final de uma nova conversão.

O esquema de portas no final permite o acesso à barra de saída da interface que usa coletor aberto. Os resistores destas saídas em coletor aberto estão no fundo da cesta (placa onde estão soldados os conectores das demais).

Além dos 12 bits de saída do conversor o MITRA recebe também o endereço do canal multiplexado e convertido. Isto permite a ele sincronizar-se com as aquisições na fase dinâmica.

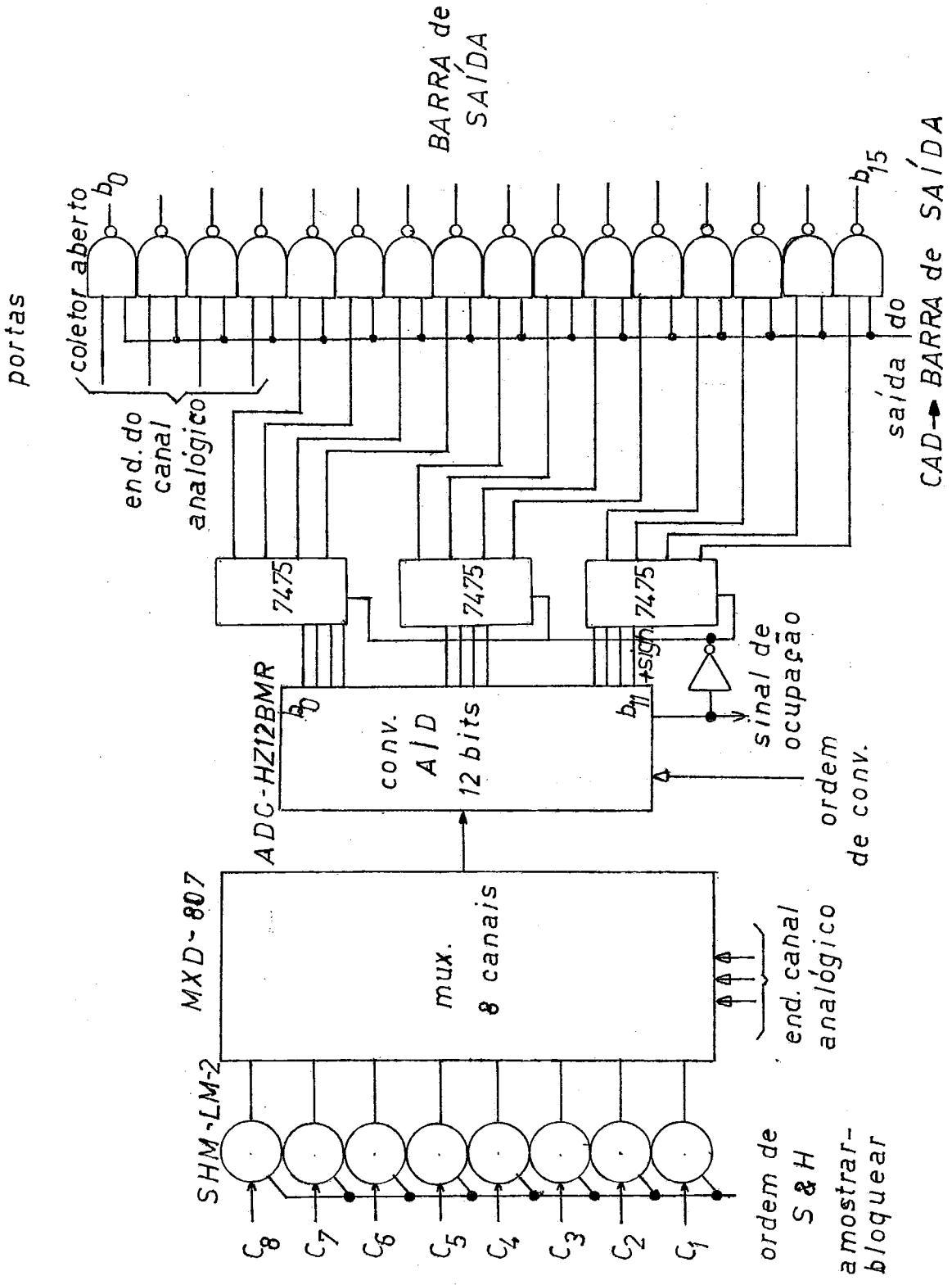


figura 6 - cadeia de aquisição

Vejamos agora os tempos de aquisição bem como a mais alta frequência.

- amostradores-bloqueadores - aquisição = 6 microsegundos
- multiplexador - tempo de multiplexação = 5 microsegundos
- conversor A/D - 3 microsegundos de buffer
- + 8 microsegundos de conversão = 11 microseg.

Isto nos dá 22 microsegundos para adquirir o 1º canal e 16 microsegundos para os outros 7 canais.

A cadeia de aquisição, por outro lado é controlada pela interface lógica (sequenciador na fase dinâmica) que no entanto está projetada de tal forma a não deteriorar significativamente a frequência de aquisição.

De qualquer forma a interface está apta a gerenciar aquisições a uma frequência superior a 50000 por segundo o que pode ser considerado muito bom.

As figuras 4, 5 e 6 do anexo 1 completam o projeto da cadeia de aquisição.

IV.2 - CADEIA DE RESTITUIÇÃO

Compõe-se de dois conjuntos básicos:

a) Conversores D/A

Constituem a cadeia de restituição propriamente dita. Como no caso da aquisição o sistema prevê 8 canais. Porém, como o conversor D/A é de custo baixo em comparação com o A/D (o que pode ser entendido a partir de seus princípios de funcionamento, discutidos no anexo 2) será usado um para cada canal. Por outro lado, uma vez que o conversor D/A não tem uma ordem de conversão e as restituições do MITRA para o analógico só podem ser feitas em série isto acarretaria um erro de fase. O uso de registros duplos (mestre-escravo) permite a eliminação deste erro.

A figura 6 mostra o projeto básico deste bloco. Na verdade cada placa pega apenas 4 conversores e a diferença entre as duas (8 canais) é apenas o endereço do registro mestre.

O MITRA, na fase de restituição, manda o dado (12 bits) e zero nos 4 bits mais baixos (comando) indicando ao sequencia-

dor que se trata de uma restituição. A própria interface lógica é quem fornece o endereço do canal a restituir. Cada restituição feita pelo MITRA carrega o registro mestre com endereço dado pela interface. No início de um novo passo de amostragem (a cada passo de amostragem uma sequência de aquisições e restituições é feita) a própria ordem de amostrar-bloquear (S&H)-comanda a carga dos registros escravos com o conteúdo dos registros mestres correspondentes. Segue-se a imediata conversão pelos conversores D/A que manterão a saída até o próximo passo de amostragem. Funcionam então, os próprios conversores, como bloqueadores analógicos de ordem zero. A figura 7 mostra a cadeia de restituição.

A cadência de restituição é também alta já que o MITRA só posiciona uma vez o endereço da linha de saída mas cai um pouco devido à necessidade de operação de máscara para passar o comando para os 4 bits baixos. Tais bits deverão ser zerados em se tratando de restituição.

Assim, para cada restituição, o mitra deve:

- calcular o endereço de memória onde está o dado a restituir (caso de função tabelada)
- ler para o acumulador
- zerar os 4 bits mais baixos (operação com máscara)
- escrever na interface.

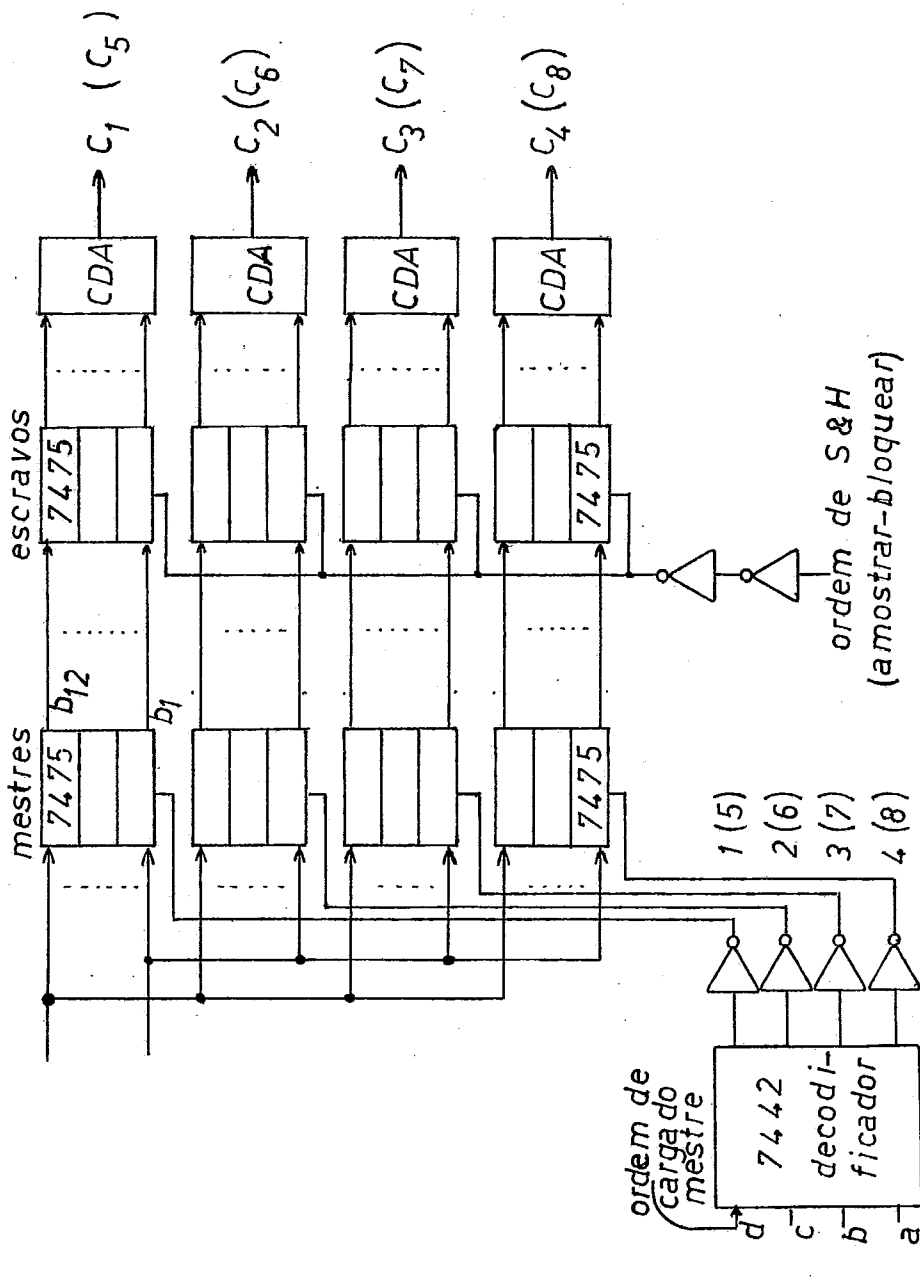
Ao que tudo indica isto pode ser feito em menos de 20 microssegundos o que nos permite uma cadência de 50000 restituições por segundo.

O conversor D/A usado é do tipo descrito na figura 5 do anexo 2. Contém 3 conjuntos de 4 chaves com fontes de corrente ponderadas cada, e tem um tempo de conversão menor do que 5 microssegundos. As figuras 7, 8 e 9 completam o projeto.

b) Multiplicadores D/A (DAM - Digital Analog Multiplier)

Está previsto inicialmente um conjunto de 4 destes multiplicadores embora possamos ter até 8 sem alterar a interface lógica.

Na verdade, a idéia, ao dotarmos a interface com tais elementos, é melhorar o computador analógico dando-lhe potenciômetros numéricos, passíveis de ajuste na fase dinâmica.



cahal a
restituir

figura 7 - cadeia de restituição

Teoricamente um multiplicador D/A é simplesmente um conversor D/A com o sinal analógico no DAM substituindo a tensão de referência do conversor D/A.

Na prática, obviamente, isto traz grandes problemas quanto a resolução (nº de bits calculáveis) e um multiplicador digital analógico a 4 quadrantes (sinal analógico e digital podendo assumir valores positivo e negativo) é tão caro quanto o conversor A/D já aqui apresentado.

Outrossim, tendo-se em vista que o ajuste de um DAM na fase dinâmica, não é, via de regra um procedimento sistemático a carga é feita em duas interações do MITRA com a interface.

A figura 8 mostra o esquema básico.

A idéia é simples:

- a primeira ordem do MITRA leva o endereço de DAM a carregar
- a segunda ordem leva o conteúdo que é carregado no registro mestre selecionado na ordem anterior.

Observamos ainda, na figura 8, que também os DAM são providos de registros duplos tipo mestre-escravo com os escravos sendo carregados em sincronismo com a ordem de amostrar-bloquear. Isto evita erros de fase e permite que numa situação particular um DAM seja usado como simples conversor digital-analógico (fixando-se como entrada analógica a referência +1 analógica). Isto, no entanto, acarretará queda de performance.

Dado o elevado custo dos DAM a implementação da placa de circuitos impressos e a compra dos mesmos foi postergada. Entretanto a interface lógica é capaz de operá-los segundo as regras acima discutidas.

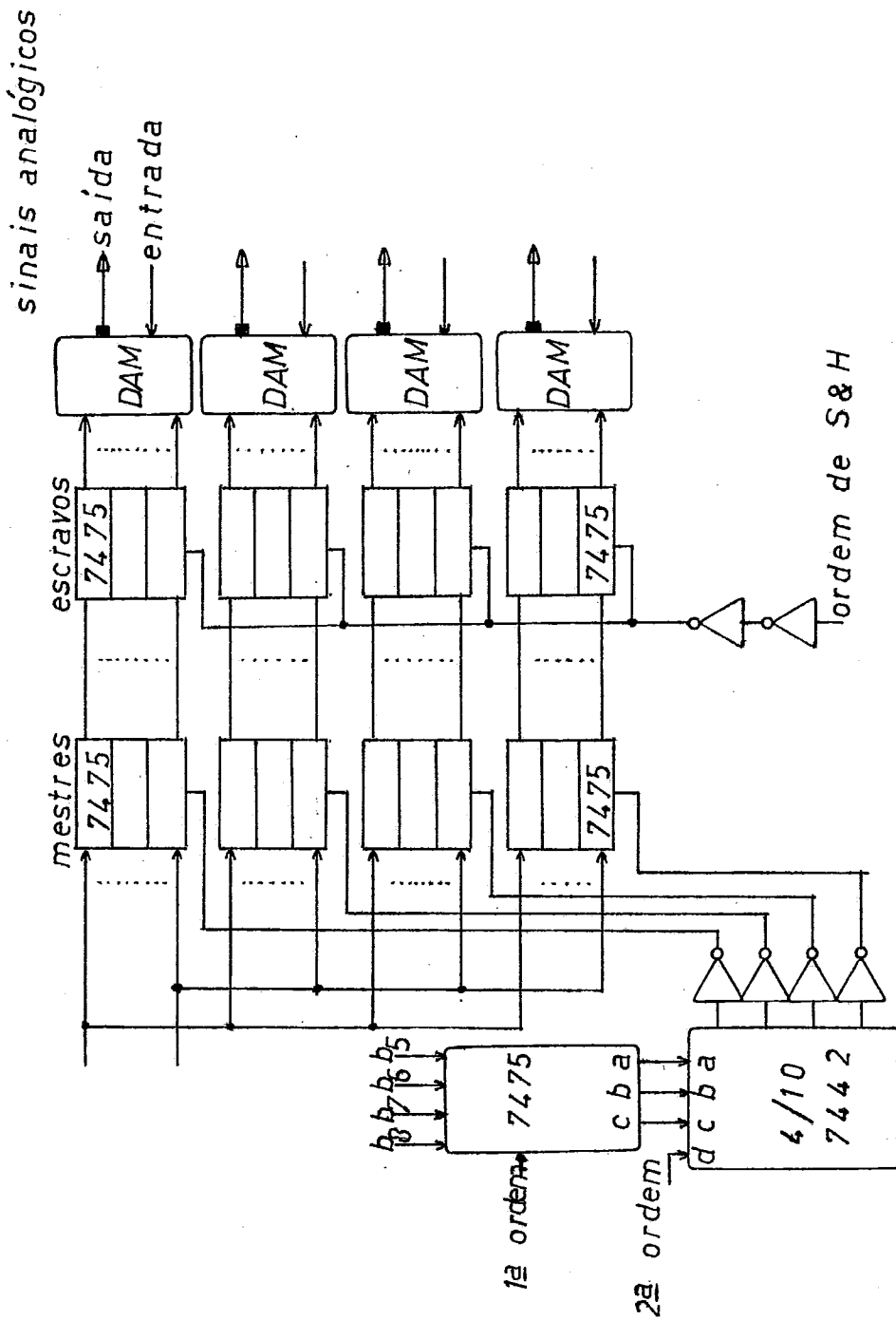


figura 8 - Multiplicadores D/A

IV.3 - OUTROS CANAIS DE COMUNICAÇÃO OPERÁVEIS NA FASE DINÂMICA

O MITRA pode ainda carregar, durante a fase dinâmica, um conjunto de 8 linhas de comando (8 bits) bem como ler a saída de 12 comparadores do computador analógico.

A idéia com as linhas de comando é acionar elementos de lógica sobre o DES-30.

A leitura das saídas dos comparadores visa monitorar, quando necessário, pontos do analógico que não estejam diretamente acoplados ao MITRA pela cadeia de aquisição.

A discussão destas funções, é, no entanto, parte integrante da interface lógica que será discutida no próximo capítulo.

Basicamente veremos que as cadeias de aquisição e restituição são controladas, durante a fase dinâmica, pela interface - lógica (sequenciador) a partir de inicialização na fase inicial. Isto permite aliviar do MITRA-15 a tarefa de sincronismo - na fase dinâmica com o que ganharemos tempo significativo.

V - INTERFACE LÓGICA

É a responsável pela comunicação entre os computadores analógico e digital, bem como pelo controle das cadeias de aquisição e restituição na fase dinâmica.

Os sistemas híbridos disponíveis têm interfaces lógicas com graus de sofisticação muito variáveis.

Em princípio, uma vez que se dispõe de um computador digital, o mesmo poderia se encarregar de todo o controle das comunicações entre os dois computadores, e inclusive pela gerência das cadeias de aquisição e restituição. Esta solução dita por software, tem as vantagens de ser barata e de implementação rápida e facilmente modificável mas apresenta as pesadas desvantagens de perda de velocidade proibitiva na fase dinâmica, e de gasto adicional de memória com programas de sincronização e gerência.

A outra solução possível, desenvolver um hardware capaz de assumir as tarefas de sincronização e gerência das cadeias na fase dinâmica, embora de custo mais elevado, leva a um sistema de melhor performance que a anterior.

No nosso caso foi esta a direção adotada.

V.1 - INSTRUÇÕES E DADOS

A precisão estática do computador analógico é da ordem de 1/1000. Assim, se convertermos para digital com 11 bits o que dará um erro de quantização da ordem de 0,5/1000 e mais 1 bit de sinal não estaremos comprometendo a precisão do sistema global.

Ora a palavra do MITRA tem 16 bits. Isto nos permite utilizar os 4 bits restantes como instrução para a interface ou informação da interface para o MITRA.

A figura 9 mostra como a interface lógica vê os bits do MITRA e também como lhe devolve os resultados.

A grande dúvida é sobre quais quatro bits devem ser usados para instruções: os quatro mais significativos ou os quatro menos significativos. As vantagens e desvantagens de cada uma das escolhas são:

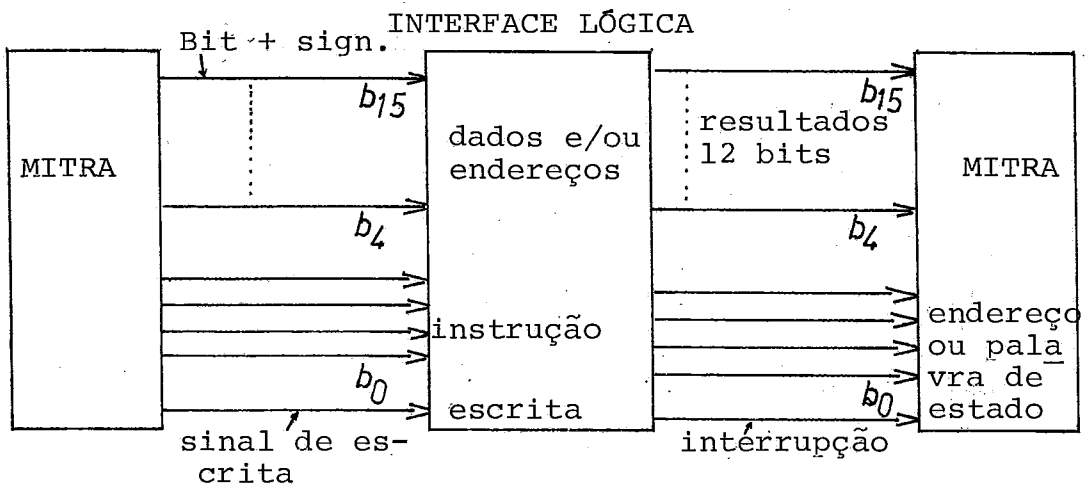


FIGURA 9 - Sinais transferidos entre interface
lógica e MITRA-15

a) uso dos 4 bits mais significativos para instruções:

Vantagem - o bit de sinal do mitra poderia ser o estado do flip-flop de sincronismo que indica novo-passo de amostragem na fase dinâmica. Com isto um simples teste de sinal permite checar tal condição.

Desvantagem - teríamos que deslocar 4 bits para a direita os dados a restituir sobre o MITRA além das operações com máscaras.

Desvantagem - produtos com números deslocados 4 bits para a direita usando operações de ponto fixo perderia muitos significativos.

b) uso dos 4 bits menos significativos para instruções:

Vantagem - as operações em ponto fixo (como o laboratório não possui processador de ponto flutuante por hardware esta é a melhor saída) são feitas sem problemas.

Vantagem - apenas uma operação com máscaras se faz necessária para fazer uma restituição (zeram-se os bits menos significativos).

Desvantagem - o teste da palavra de estado do sequenciador na fase dinâmica se torna um pouco mais demorado.

Partindo das observações anteriores optamos pelo uso dos 4 bits menos significativos para instruções e dos 12 mais significativos para dados.

V.2 - A INTERFACE LÓGICA E SEUS MODOS PARTICULARES

A interface lógica pode ser estudada em partes razoavelmente distintas conforme a fase de uma simulação híbrida. Assim, nas fases inicial e terminal a interface não tem o controle das cadeias de aquisição e restituição mas pode ser acessada em todos os seus registros de escrita e leitura a menos do elemento chamado sequenciador. Por outro lado, durante uma fase dinâmica somente o sequenciador, as saídas dos comparadores, palavras de estado e linhas de comando são acessíveis além do registro de comando. Este registro pode inclusive comandar uma parada da fase dinâmica. Nesta fase o sequenciador controla as cadeias de aquisição e restituição.

Começaremos discutindo a interface lógica nos seus registros e componentes acessíveis nas fases inicial e terminal para posteriormente tratarmos do sequenciador.

Para eliminarmos um dos defeitos do sistema híbrido, que é a deterioração do computador analógico quando acoplado eletricamente a um digital a interface lógica está acoplada ao MITRA com auxílio de acopladores ópticos, o que permite a separação total das terras.

Por outro lado a interface lógica tem terra comum com o analógico. Se isto trazer problemas ao analógico será feito o acoplamento ótico também entre a interface lógica e a interface analógica.

Passemos então à discussão dos vários componentes da interface lógica.

V.3 - ACOPLAMENTO ÓTICO MITRA-15 INTERFACE LÓGICA

Todos os sinais digitais trocados entre o MITRA e a interface lógica passam por acopladores óticos o que permite separar eletricamente o Terra do MITRA-15 do Terra da interface e do analógico. A grande importância desta medida está em que uma vez que não temos condutores perfeitos (resistência nula), é também impossível construirmos um Terra perfeito. Havendo resistência, embora pequena, uma variação brusca de corrente como ocorre no digital todo o tempo provoca oscilações na referência dando ao computador analógico erro significativo (acoplamento em modo comum).

O esquema básico usado é o da figura 10.

Os acopladores óticos são do tipo 4N28 que têm um tempo de resposta de aproximadamente 5 microssegundos.

Descrição:

a saída de cada bit do MITRA é um transistor em coletor aberto, numa lógica em que o usuário tem que fornecer externamente uma alimentação de 24 volts. O transistor em questão pode drenar até 200 mA.

O valor de 560 ohms usado no esquema vem de (observar figura 11):

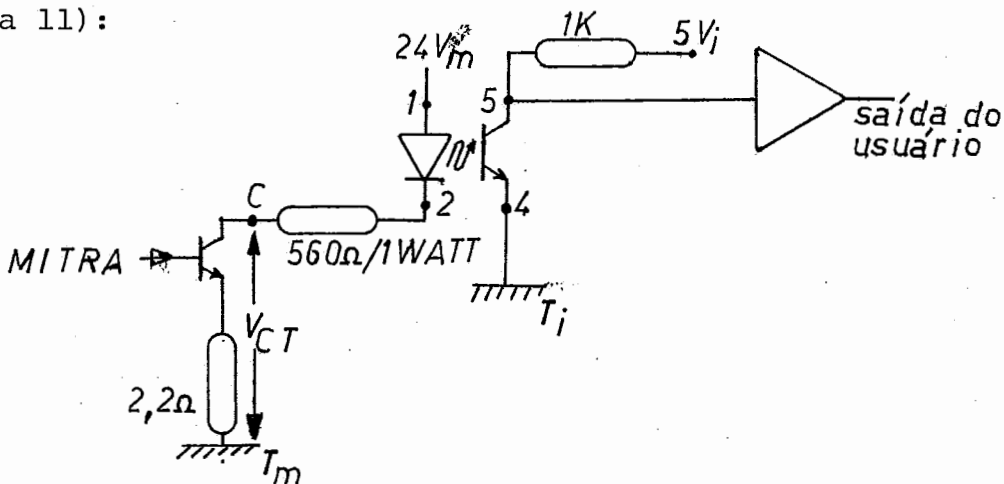


Figura 11 - O acoplamento para 1 bit

$$V_{12} = 1,2 \text{ V (queda de tensão no diodo que emite luz)}$$

$$V_{CT} = 0,4 \text{ V para } I_C = 40 \text{ mA (valor bom para o acoplador)}$$

$$\text{Portanto } V_R = 24 - 1,2 - 0,4 \cong 22 \text{ V}$$

$$\text{De } R = V/I = 22 \text{ V} / 40 \text{ mA} \cong 560 \text{ ohms.}$$

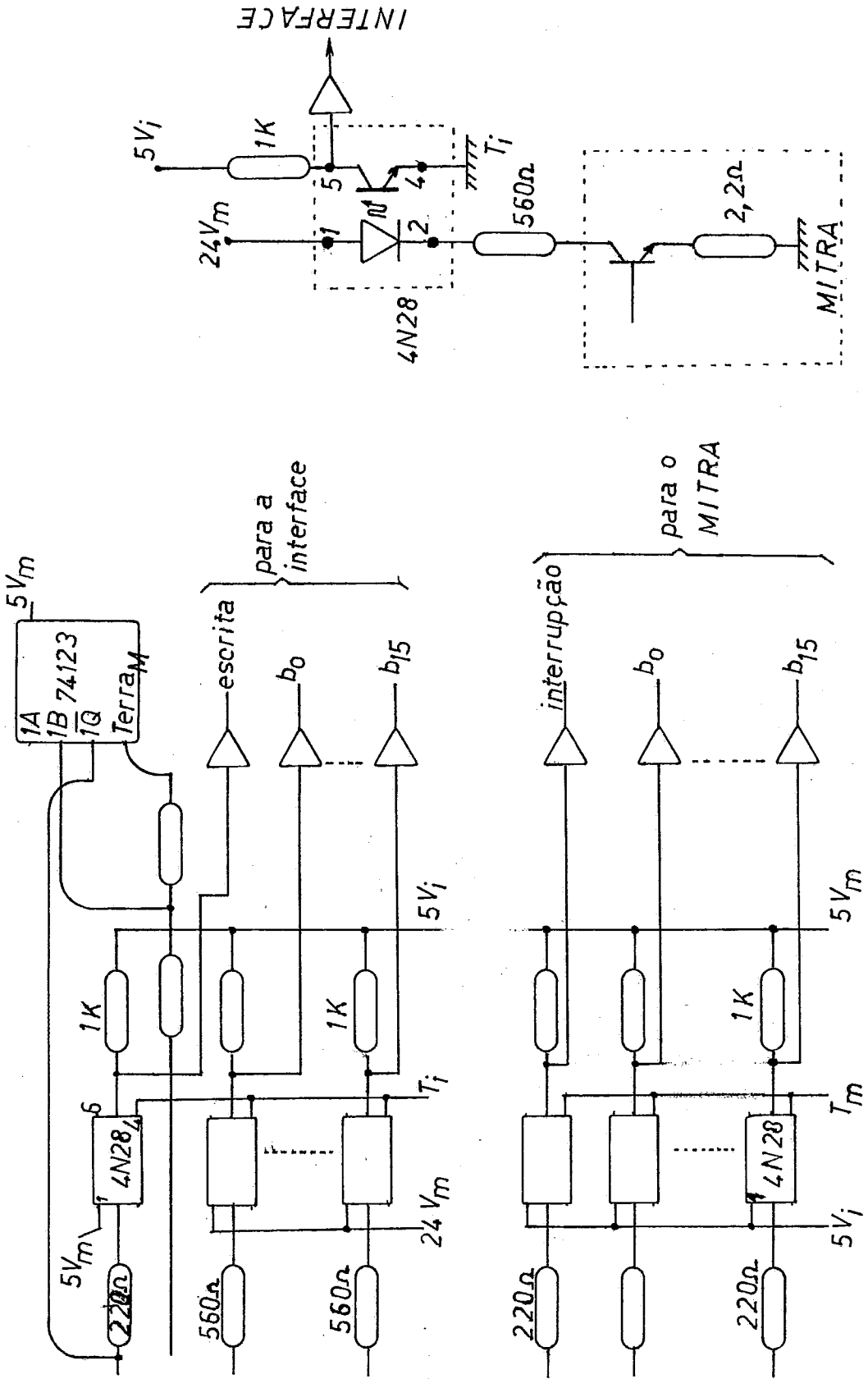


figura 10 - acoplamento ótico

A potência dissipada é: $22 \text{ V} \times 40 \text{ mA} = 880 \text{ mW}$. Assim a capacidade de dissipação da resistência de 560 ohms deve ser de 1 watt.

Na restituição uma análise parecida leva ao valor de 220 ohms / 0,25 watt.

A saída do transistor ótico em ambos os casos é um coletor aberto (daí a resistência de 1000 ohms). Adicionamos ainda um "buffer-driver" TTL em ambos os casos por questões de capacidade de corrente.

O esquema se modifica para o sinal de escrita do MITRA o qual tem duração de 1 microssegundo. Como este tempo não é suficiente para passar pelos acopladores óticos foi adicionado um monoestável cuja função é elevar este tempo para 6 microssegundos (o atraso dos acopladores óticos é não superior a 5 microssegundos).

Na figura 10 observamos ainda um índice em alimentação e terra que têm os seguintes sentidos: m - ligado ao MITRA; i - ligado à interface.

As figuras 10, 11 e 12 do anexo 1 completam o projeto do acoplamento ótico.

V.4- BLOCOS BÁSICOS DA INTERFACE LÓGICA

A figura 12 mostra a composição da interface lógica.

Os blocos aí desenhados são os diretamente envolvidos na fase dinâmica mas que são inicializados na fase inicial. O bloco "OUTROS REGISTROS DE E/S" contém os registros que completam o ferramental de comunicação entre os dois computadores, mas que por terem lógica extremamente simples (leitura de palavras de estado, de afixação de modos, etc) terão uma descrição sucinta.

Passemos agora à descrição da interface lógica bloco a bloco.

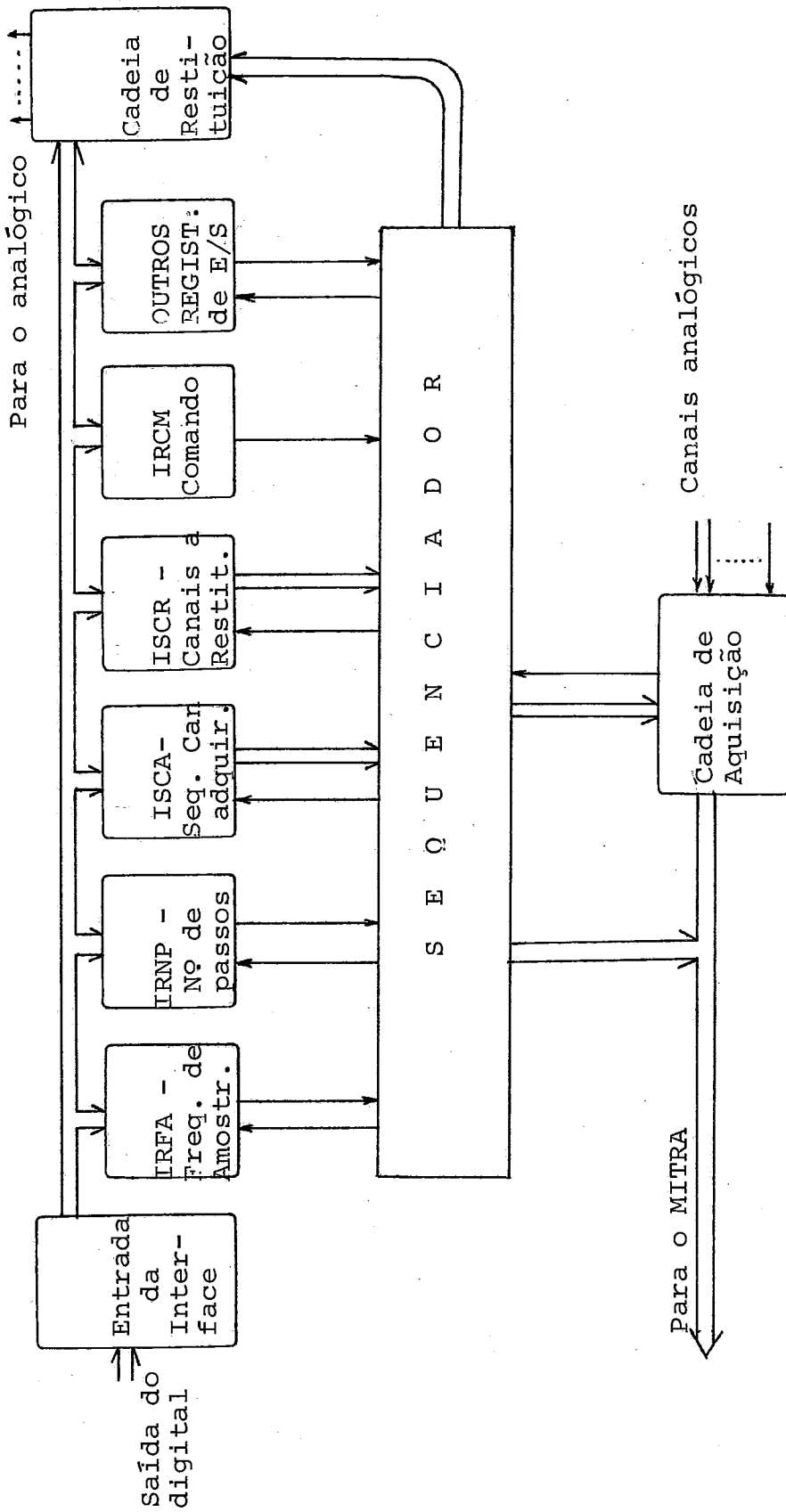


figura 12 - Estrutura da interface lógica

V.5 - ENTRADA DA INTERFACE LÓGICA

Seu esquema a nível de portas está na figura 13.

Numa breve discussão temos:

EDAM - carga de Endereço de DAM. É gerada no registro de comando (IRCM). O registro de comando é acessível ao MITRA em qualquer uma das fases.

Numa primeira ordem de escrita o MITRA acessa o registro de comando com a instrução de que será feita uma carga de multiplicador Digital-analógico.

A interface memoriza então este estado até o próximo pulso de escrita do MITRA quando o DAM endereçado será carregado com os 12 bits de dados do MITRA segundo o discutido em IV.2. Ao final do pulso de escrita do MITRA a ordem CDAM é desativa da permitindo Restituições (na Fase dinâmica) ou ordens de carga dos vários registros nas fases inicial e terminal.

Os endereços destes registros carregáveis na fase inicial e que constituem os bits b_3 , b_2 , b_1 e b_0 do MITRA são:

- 0001 - carga de ISCA (Sequência de Canais a Adquirir)
- 0010 - carga de ISCR (Sequência de Canais a Restituir)
- 0011 - carga do registro de comando do DES-30
- 0100 - carga do registro do Nº de passos de amostragem
- 0101 - carga do registro da frequência de amostragem
- 0110 - carga do registro de comando analógico
- 1000 - carrega o Registro de Comando (EM QUALQUER FASE)

Vemos ainda que fora da fase dinâmica (FD = Fase Dinâmica) o 74123 localizado em FE (endereçamento linha, coluna - na placa de impresso) atrasa o sinal que será gerado pelo integrado 7442 em DA. Isto se faz necessário para satisfazer o modo de carga dos registros ISCA e ISCR conforme veremos na descrição destes blocos.

Por outro lado, na fase dinâmica, (FD = 1) os bits mais baixos 0000 indicam restituição o que minimiza as operações do MITRA em restituições.

O sequenciador, durante a fase dinâmica, é acessado pelo conteúdo 0010 nos bits mais baixos o que nos permitirá posicionar, por comando do MITRA certos flip-flops de sincronismo desta fase dentro do sequenciador.

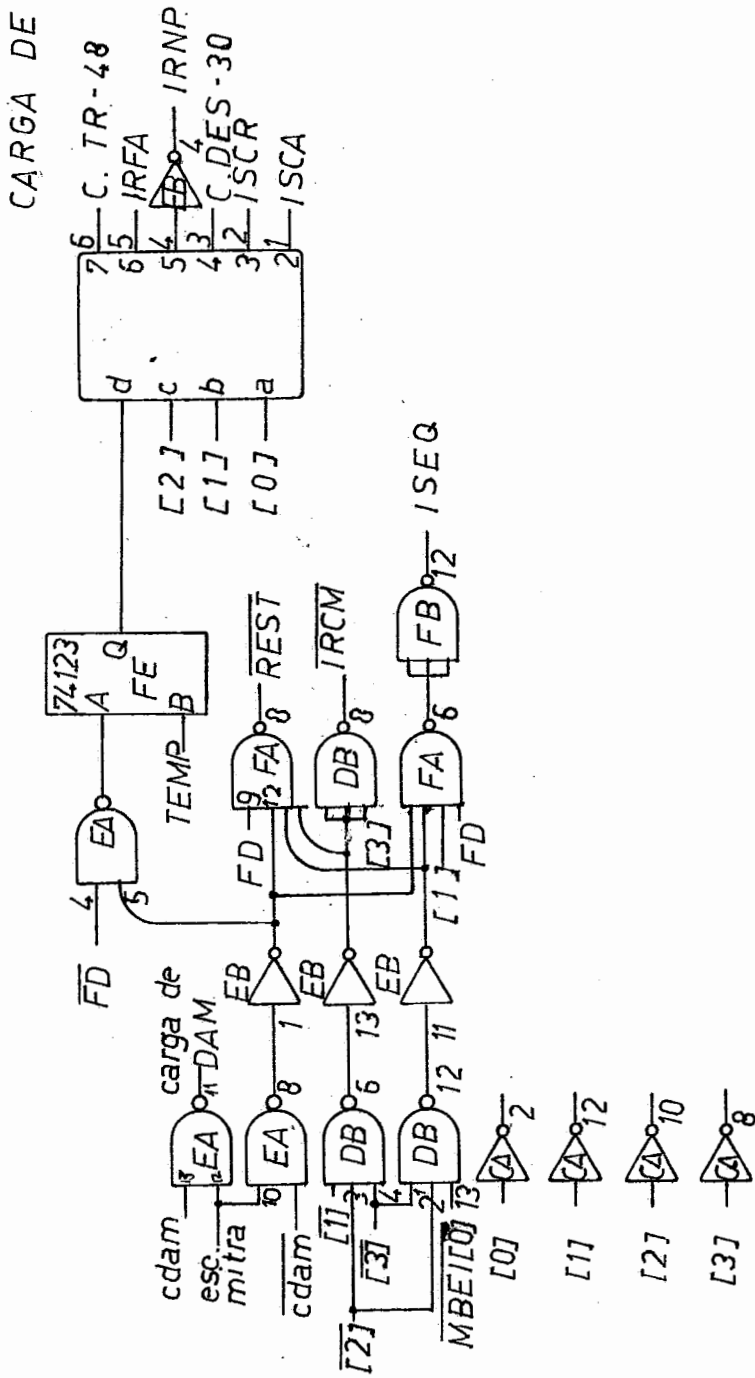


figura 13 - Entrada da interface lógica

A entrada faz parte da placa 01 da interface lógica, mostrada nas figuras 13, 14 e 15 do anexo 1.

Observamos assim que a interface tem na sua Entrada recém descrita o decodificador das instruções do MITRA para a interface.

V.6 - REGISTRO DE COMANDO

Quando o registro de comando é endereçado (isto acontece com $b_3b_2b_1b_0=1xxx$) a palavra do MITRA é interpretada da forma seguinte:

$b_7b_6b_5b_4$: comando solicitado à interface pelo MITRA

$b_{15}b_8$: endereço, conteúdo, etc. que permitem a execução do comando.

A figura 14 mostra o registro de comando detalhado a nível de portas.

Discussão -

O 74123 monoestável em DC, permite que se dê a todos os comandos gerados com o auxílio do registro de comando uma largura idêntica.

O 7442 (decodificador BCD) em CB emite os seguintes comandos, de acordo com $b_7b_6b_5b_4$:

0001 - leitura de potenciômetro manual do analógico.

0002 - Os bits $b_{15}b_8$ contêm o endereço do potenciômetro de interesse em dois dígitos BCD. O analógico estará em POT-SET.

0010 - leitura de amplificador no analógico. Os bits $b_{15}b_8$ têm o endereço do amplificador em BCD. O analógico estará no modo IC (Condição Inicial).

Ambas as leituras acima têm como elemento executor o conversor BCD-binário já descrito anteriormente.

0011 - leitura da palavra de estado do Analógico e DES-30.

0100 - carga das linhas de comando - que só podem ser 8, - ou seja, 8 bits já que dos 16 bits do MITRA, gastam-se quatro para acessar o registro de comando e outros quatro para acessar as linhas de comando.

0101 - Leitura da palavra de estado do sequenciador. Esta

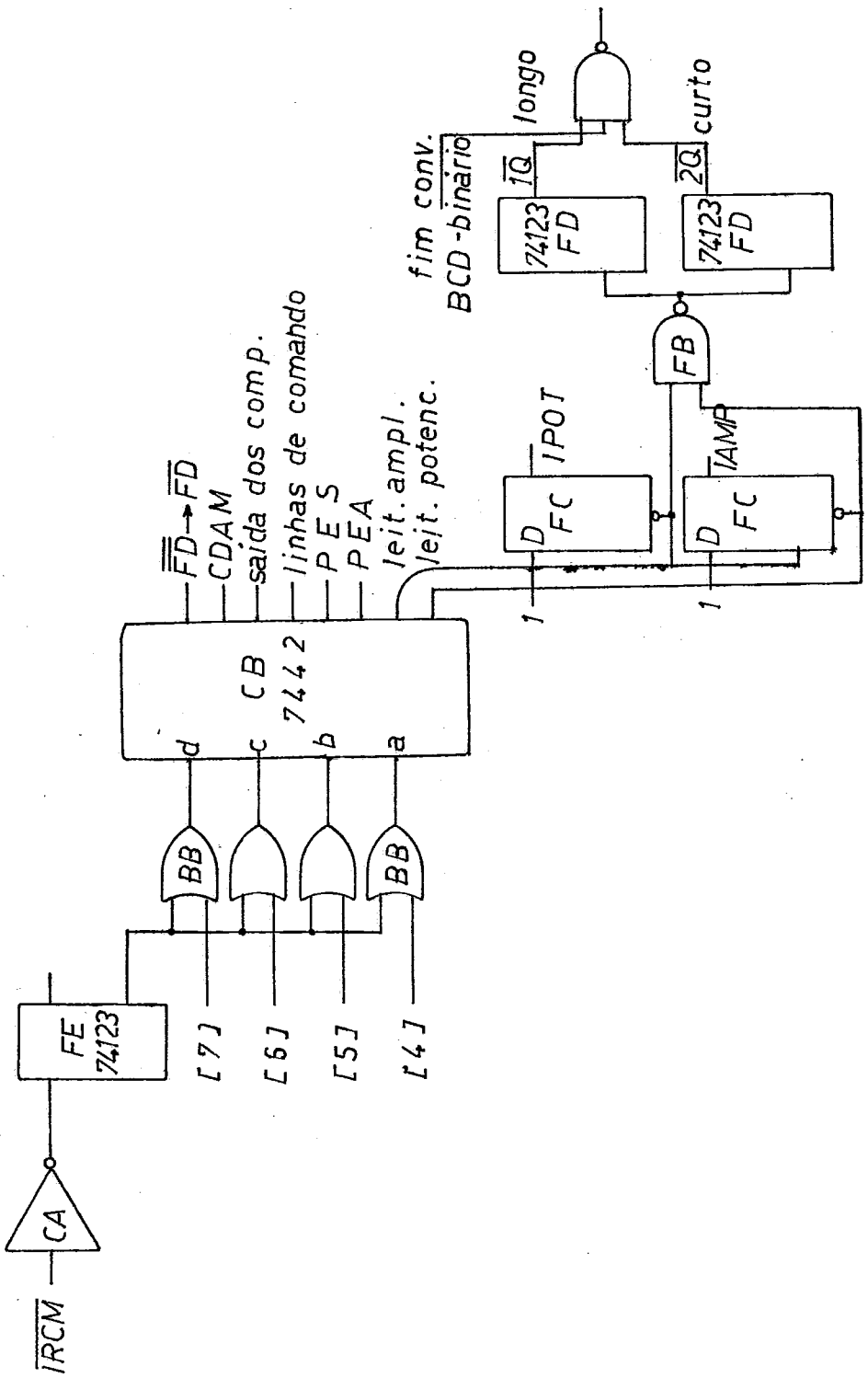


Figura 14 - Registro de comando

palavra de estado ocupará a barra de saída da interface durante todo o tempo na fase dinâmica, exceto quando o sequenciador estiver comandando aquisições (ou estiverem sendo lidas palavras de estado do analógico e DES-30. O próprio MITRA só precisará comandar a leitura da palavra de estado do sequenciador quando precisar determinar uma eventual parada da fase dinâmica.

0110 - Saída dos comparadores sobre o analógico. Podem ser lidas as saídas de até 12 comparadores. Um comparador analógico fornece uma saída binária dependendo de serem iguais ou diferentes as suas entradas analógicas).

0111 - carga de multiplicador digital analógico. É o resultado da primeira ordem do MITRA que levará o endereço do multiplicador e posicionará um biestável para possibilitar a carga do registro mestre no próximo passo.

1000 - comanda inversão do flip-flop que dá o estado da interface quanto à fase dinâmica.

Temos, ainda, que os flip-flops em FC e os monoestáveis em FD permitem o uso do voltímetro digital do analógico em combinação como o conversor BCD-binário já discutido.

V.7 - REGISTRO DE FREQUÊNCIA DE AMOSTRAGEM

A denominação de registro como também em vários outros blocos da interface, não faz justiça a este elemento. Na verdade o que ele faz é dividir por N - onde N é um número de 12 dígitos binários carregado na fase inicial (ou ajuste de parâmetros) - a frequência base sobre o analógico fornecendo a frequência de amostragem.

Para tornar clara a afirmação acima antecipamos a discussão dos elementos de sincronismo da fase dinâmica, por natureza ligados ao sequenciador. Damos então, graficamente, na figura 15 o esquema de sincronismo numa fase dinâmica.

Basicamente, uma fase dinâmica pode ser dividida em p passos de amostragem. Então, dada uma frequência f_b (frequência-base) que está associada a um período base o "registro de fre

quência de amostragem" divide por N o período base definindo a largura do passo de amostragem. As frequências base possíveis são 1 MHz, 1 KHz e 1 Hz.

A figura 16 mostra o projeto deste elemento a nível de portas.

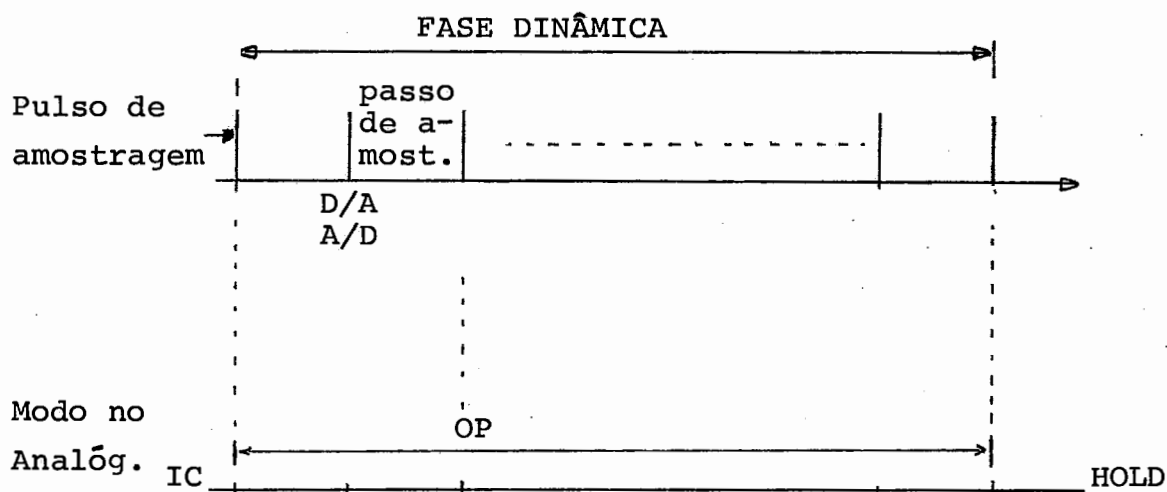


figura 15 - elementos de sincronismo na fase dinâmica.

Observamos que o período base pode ser dividido por um número que varia de 1 a 4095 o que nos permite escolher praticamente qualquer largura de passo de amostragem já que as frequências base são uma progressão geométrica de razão 1000.

O funcionamento do Registro de Frequência de amostragem é o seguinte:

- o registro formado pelos 7475 em BD, BE e BF é carregado com N (12 bits) na fase inicial ou na parte de Ajustamento de parâmetros.

- Quando $FD=1$ (Fase Dinâmica) a frequência f_b aciona o contador formado pelos 7493 (contador assíncrono de 4 bits) - em DD, DE e DF o qual conta em sentido crescente.

- Uma bateria de portas OU EXCLUSIVO compara as 12 saídas do registro BD, BE, BF com as saídas do contador. Quando se estabelece a igualdade o monoestável 74123 em FE dispara o IPAM (Pulso de Amostragem da Interface).

Além disso, 1 na saída da bateria de inversores que são de coletor aberto, zera o contador DD, DE, DF cujo recomeçará a

contagem do tempo de um novo passo de amostragem. Na fase dinâmica é importante que o MITRA, após terminar sua tarefa numérica e restituições espere o mínimo possível pelo novo pulso de amostragem. Assim um processo iterativo de busca do passo de amostragem correto deve fazer parte do software desenvolvido para rodar o programa híbrido. Na discussão do sequenciador veremos que um biestável, B2 permite a determinação deste tempo de uma maneira muito simples.

V.8 - REGISTRO DO NÚMERO DE PASSOS

A função deste elemento é contar o número de passos de amostragem numa fase dinâmica. A figura 17 mostra este registro detalhado a nível de portas.

A carga se faz em 2 ordens vindas do MITRA sendo carregados primeiro os 8 bits mais baixos e posteriormente os 8 bits mais altos. O chaveamento é feito pelos flip-flops tipo D em AF.

Os 74191 (contadores síncronos de 4 bits) são condicionados a contar no sentido descendente. Quando todos atingirem zero o sinal FIM DE FASE DINÂMICA (FFD) será gerado. Observamos ainda que os pulsos contados são aqueles gerados pelo registro de frequência de amostragem. Este registro, bem como o de frequência de amostragem faz parte da placa 01 (figuras 13, 14 e 15 do anexo 1).

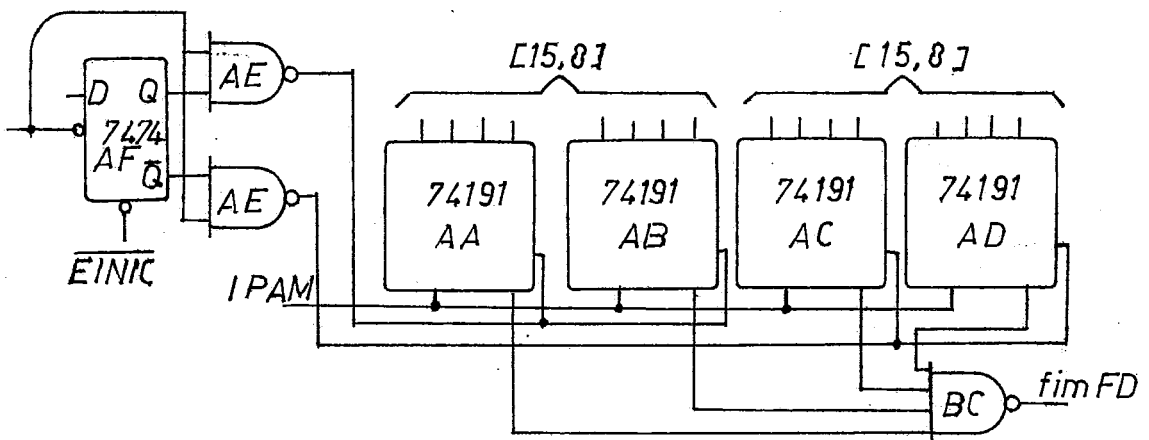


Figura 17 - Registro do Número de Passos de Amostragem

V.9 - SEQUÊNCIA DE CANAIS A ADQUIRIR

É um registro de deslocamento de 32 bits com possibilidade de carga paralela de 8 bits por vez.

É ele que fornece, durante a fase dinâmica, o endereço do canal a adquirir ao multiplexador analógico.

A figura 18 detalha este elemento a nível de portas. Sua lógica sendo um pouco sofisticada vamos discuti-lo em mais de talhe. Como já dissemos, durante a fase inicial ou na parte de ajuste de parâmetros, ele pode ser carregado 8 a 8 bits (byte mais significativo do MITRA) de modo paralelo segundo as regras:

- ordem de carga de ISCA vinda da "entrada da interface" (discutida em V.5) desinibe uma das entradas do monoestável 74123 em BB e ao mesmo tempo estabelece nos registros 7495 (registro de deslocamento de 4 bits) em AA e BA o modo - carga paralela.
- quando o relógio da interface (TEMP) descer, o primeiro monoestável dá um pulso longo (tempo maior do que 2 vezes a largura do comando de carga de ISCA). A subida deste pulso na saída Q dispara o segundo monoestável em BB o qual carrega paralelamente os 8 bits presentes nas entradas do 7495. A saída \bar{Q} do primeiro monoestável zera o contador (7493 em AE) mas mantém bloqueada sua entrada "CLOCK" enquanto estiver baixa. Ao final do pulso deste monoestável a carga paralela foi realizada e são então liberados 8 pulsos de deslocamento para o registro de 32 bits. A porta E em BD que faz $\bar{FD}.8a$ para estes pulsos quando o contador atinge 8 (8a).

Nova ordem de carga vinda do MITRA e decodificada pela entrada da interface permitirá a carga de outros oito bits. Portanto serão necessárias 4 ordens de carga do MITRA para fazer a carga deste registro. Quando o MITRA de sejar adquirir menos de 8 canais na fase dinâmica os não utilizados devem ser carregados com endereço inválido (lxxx - x tanto faz 0 ou 1).

- Na fase dinâmica os deslocamentos são 4 a 4 bits iniciados ou com a ordem de girar endereço ou com informação -

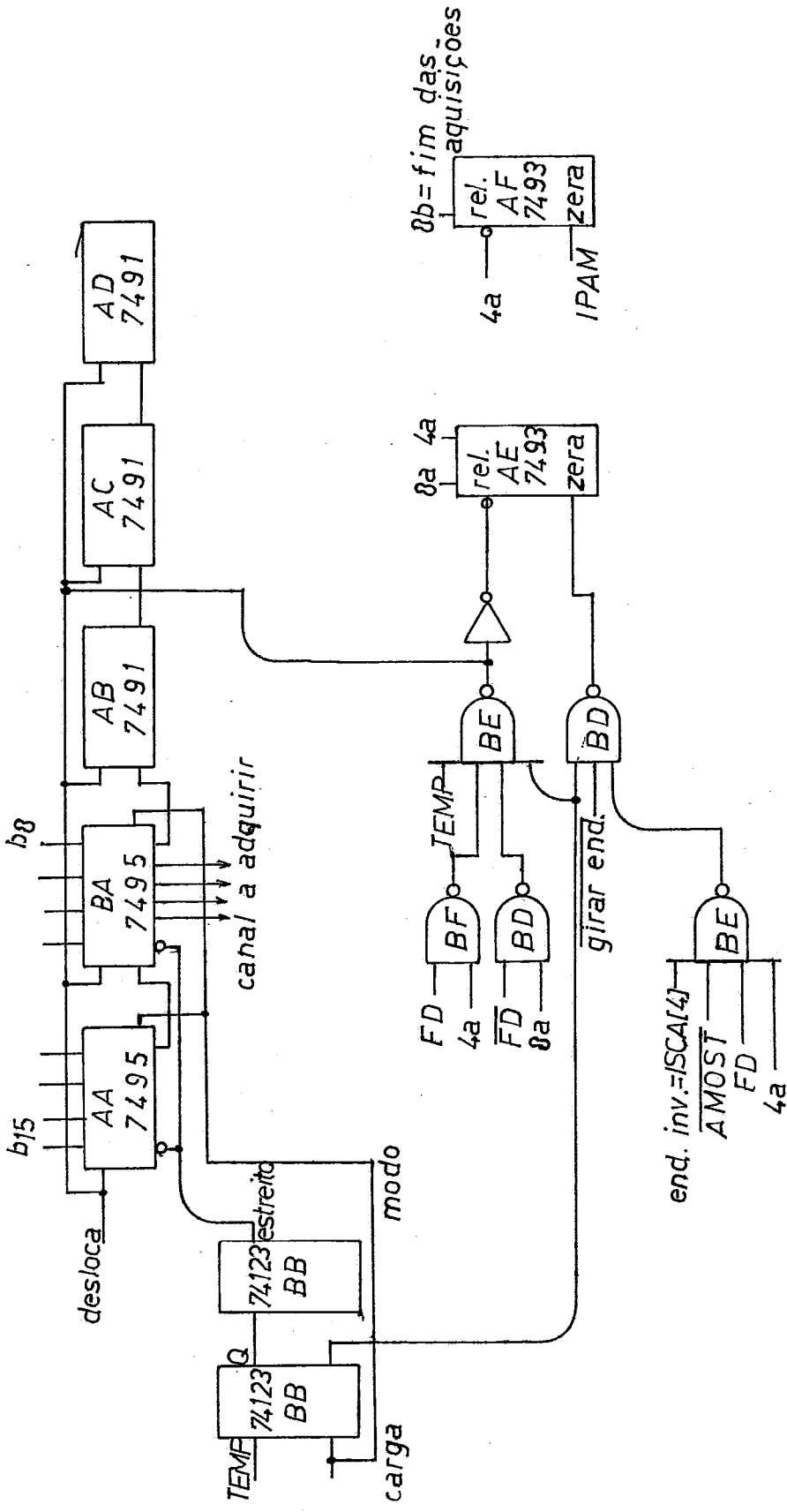


Figura 18 - Sequência de canais a adquirir

de endereço inválido junto com 4a (4 pulsos de deslocamento - gerados a partir da última ordem de deslocar). Isto permite - que após detectar o primeiro canal com endereço inválido, quando for o caso, este elemento gire os endereços, 4 à 4 bits até encontrar o próximo endereço válido. Fica assim posicionada, ao final de cada aquisição, a sequência de canais a adquirir para a próxima aquisição (próximo pulso/passos de amostragem).

O contador em AF é zerado pelo pulso de amostragem (IPAM), e conta até 8 sendo sua entrada de relógio a saída $\overline{4a}$ do contador em AE. Isto corresponde a 8 giros de endereço de canal a adquirir. Assim sendo, do ponto de vista da interface, o final de uma sequência de aquisição ou se dá por identificação de endereço inválido ou por contagem de 8 canais adquiridos - que é o total de canais disponíveis.

Os integrados 7491 em AB, AC e AD são registros de deslocamento de 8 bits de entrada e saída série. Este elemento está incluído nas figuras 16, 17 e 18 do anexo 1.

V.10 - SEQUÊNCIA DE CANAIS A RESTITUIR

Tem funcionamento muito parecido com o registro de sequência de canais a adquirir. A idéia, também neste caso, é tirar do MITRA, durante a fase dinâmica, a tarefa de fornecer endereços de canais a restituir.

O esquema a nível de portas está na figura 19.

A parte de carga paralela é absolutamente idêntica à do registro de sequência de canais a adquirir.

Na fase dinâmica o funcionamento é mais simples já que a ordem de escrita do MITRA funciona como um sinal de sincronismo.

Assim a primeira ordem de restituir decodificada pela entrada da interface na fase dinâmica (MITRA manda zero nos 4 - bits de mais baixa ordem) posiciona o estado restituir num - flip-flop tipo D. Este permanece no estado restituir até que o MITRA complete as restituições o que ocorrerá quando o flip flop B2 do sequenciador for zerado.

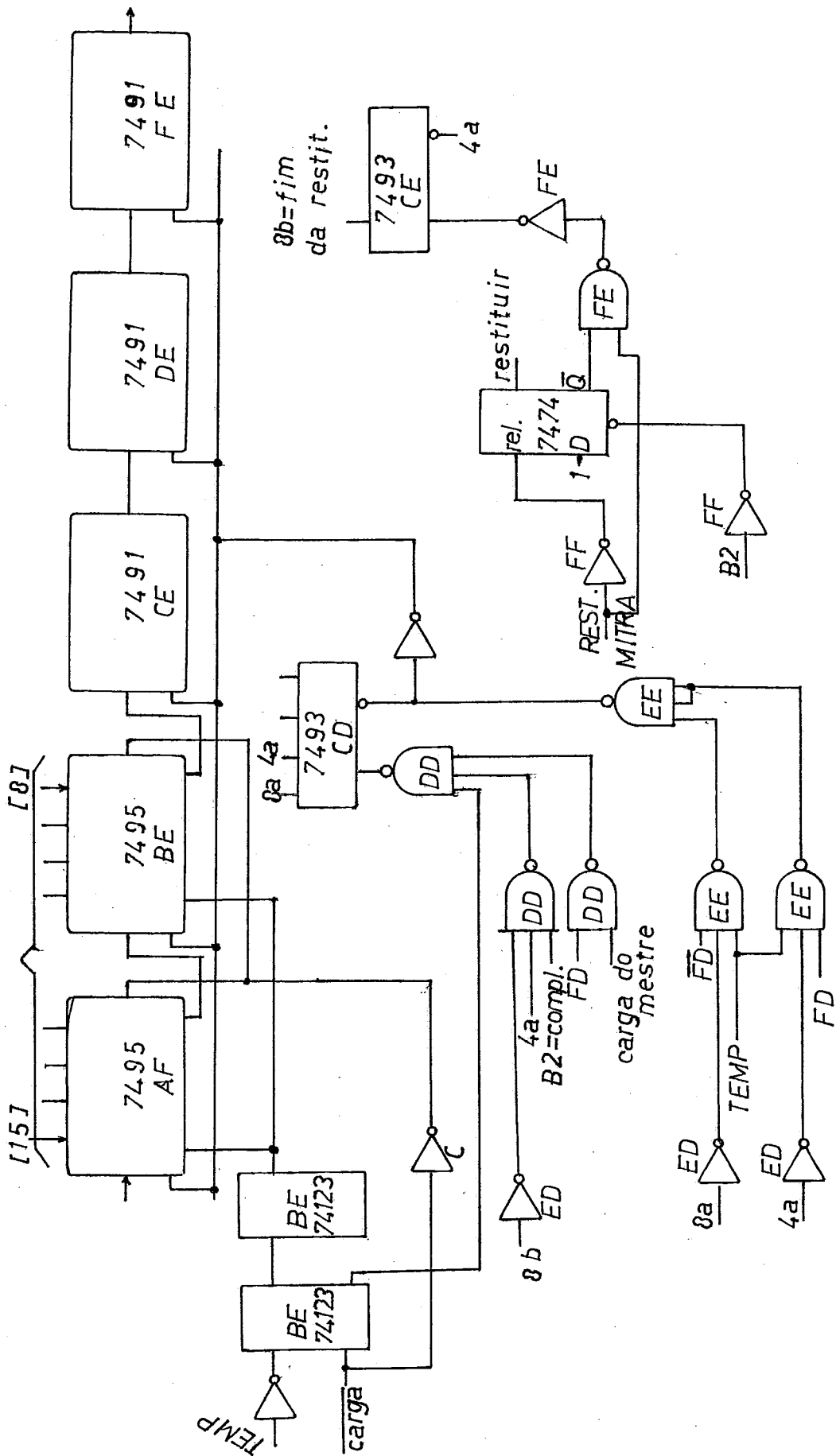


Figura 19 - Sequência de Canais a Restituir

A ordem "Carga do mestre" atua nos registros mestres da cadeia de restituição (IV.2). Neste caso o MITRA é o responsável pelo nº de canais restituídos e quando ele dá por finda a restituição, se o nº de canais restituídos for menor do que 8 este dispositivo gira o registro de 32 bits, 4 a 4 bits, até completar 8 canais.

As figuras 19, 20 e 21 de anexo 1 completam a discussão deste elemento.

V.11 - SEQUENCIADOR

Dada a impossibilidade de colocar numa mesma placa de circuito impresso os registros de Sequência de canais a adquirir, Sequência de Canais a Restituir, e sequenciador optamos por dividir o mesmo em duas partes.

A primeira é sequenciador na aquisição e a outra - sequenciador na restituição.

Sendo o sequenciador uma máquina sequencial razoavelmente complicada (do ponto de vista de projeto) daremos ênfase à técnica usada na sua síntese. Tal técnica (RICHARDS⁴) vem explanada em mais detalhes no anexo 2.

Inicialmente, um diagrama de blocos, composto de condições funções e desvios que resolvam o problema, é feito.

No caso do controle da cadeia de aquisição o encadeamento natural, mostrado no diagrama de blocos da figura 20 é:

- FD=1 ou seja - Fase Dinâmica lançada - o sequenciador-comanda OPERATE sobre o analógico e gera INIC (função de inicialização de alguns blocos da fase dinâmica).

Os biestáveis B1 e B2 assumem a partir deste instante papel de destaque no sincronismo dos passos de amostragem, obedecendo à seguinte lógica:

B1 - colocado em 1 pelo pulso de amostragem (IPAM) é zerado pelo MITRA quando este termina de ler as amostragens.

B2 - zerado pelo pulso de amostragem é colocado em 1 pelo MITRA quando este termina as restituições.

Se B2 ainda estiver em zero quando da emissão de um novo pulso de Amostragem (IPAM) então o passo de amostragem esta

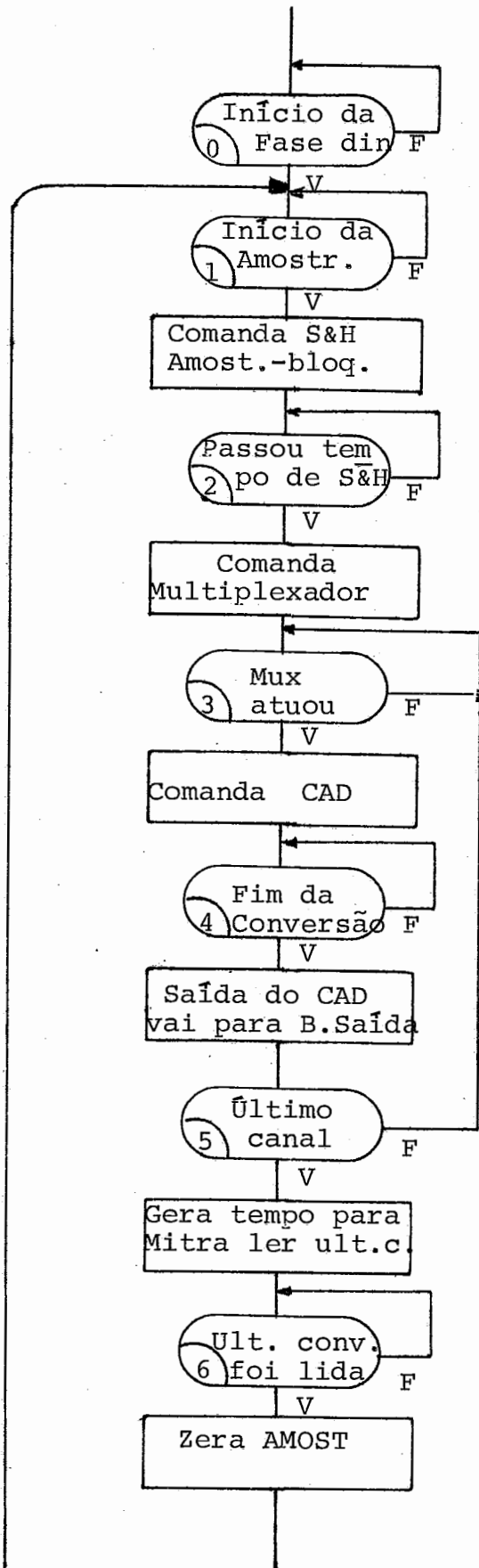


Figura 20 - blocos do sequenciador na aquisição

rã insuficiente para a tarefa digital.

Isto provocará a imediata parada da Fase Dinâmica para - que um novo valor de N seja carregado no Registro de Frequência de Amostragem. Este valor de N deverá ser maior do que o valor anterior e uma idéia para encontrar o valor de N ótimo é a utilização de pesquisa binária.

Para melhor entender o diagrama de blocos apresentado na figura 20 chamamos a atenção para a técnica usada para implementá-lo, e que constitui a figura 21.

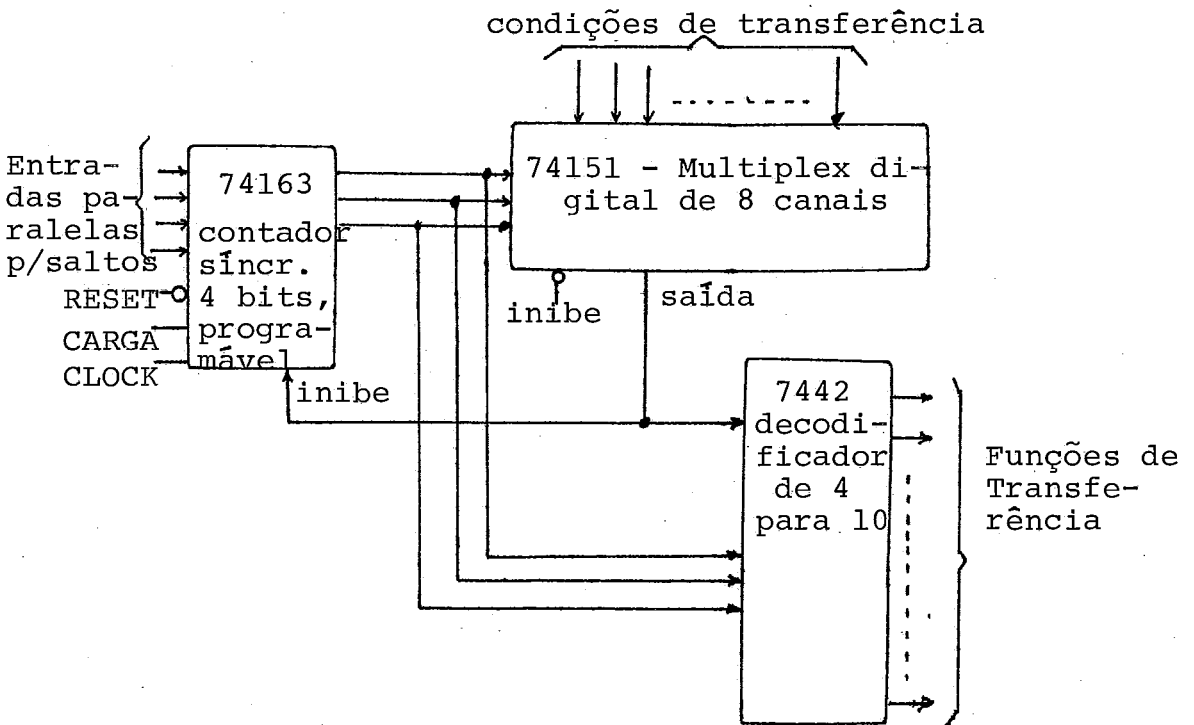


figura 21 - blocos básicos para projeto do sequenciador

As entradas paralelas do contador permitem com o auxílio da entrada "LOAD" saltos. As condições de transferência dentro das elipses no diagrama atuam nas entradas do multiplex. O estado do contador (numeração das elipses) põe na saída do multiplex a entrada correspondente. Quando esta vai para 1 o contador é liberado para contar o próximo pulso e o decodificador simultaneamente gera a função de transferência. A figura 30 mostra a implementação do sequenciador na aquisição além de FD (um biestável) e palavra de estado do sequenciador.

Observe-se que o multiplex 74151 quando tem na entrada selecionada o valor 1 permite ao contador o avanço para o próximo

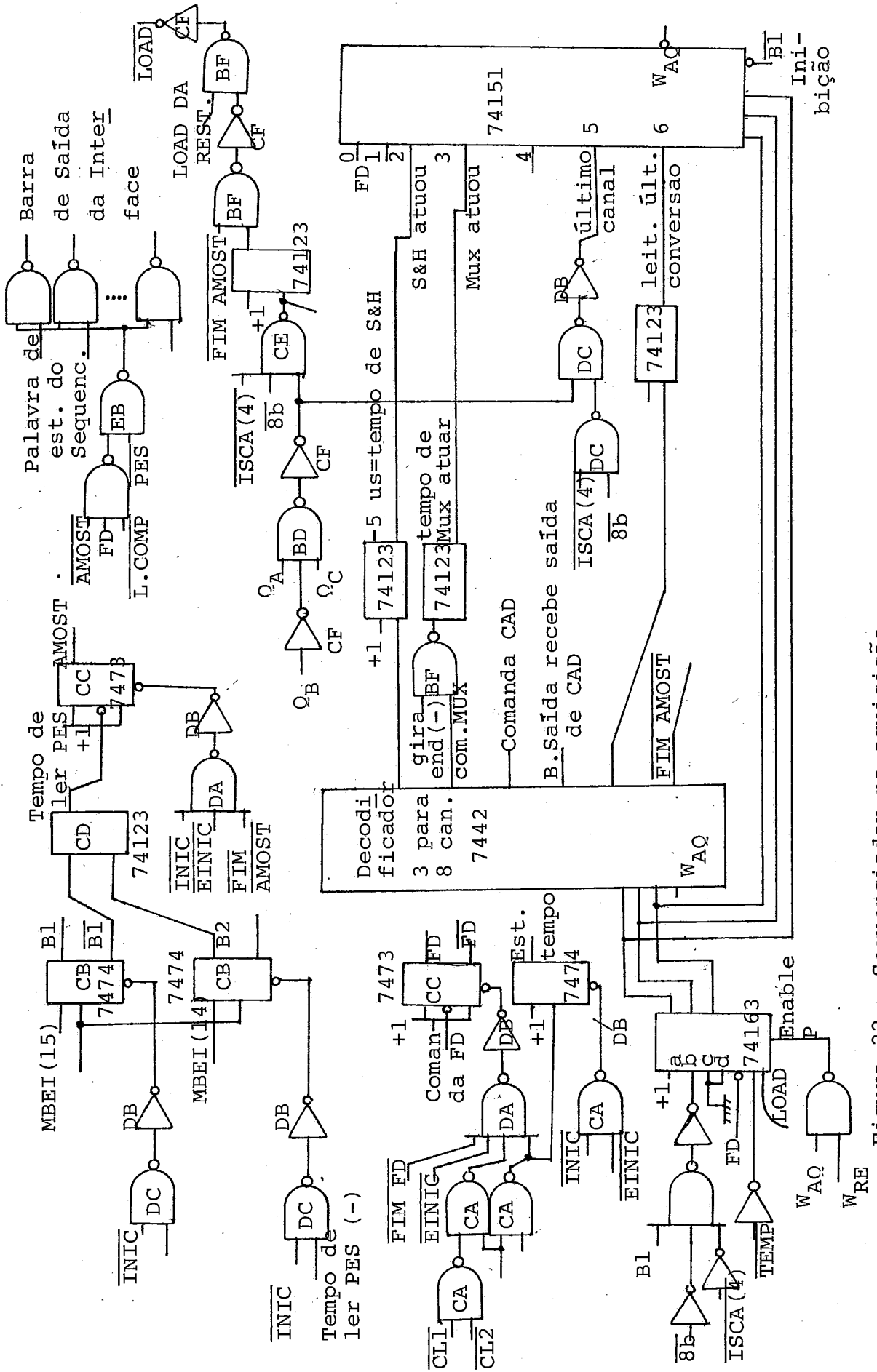


Figura 22 - Sequenciador na aquisição

mo estado quando receber um pulso de relógio. Permite também a geração da função pelo decodificador 7442.

Em alguns casos este sinal aciona um monoestável que gera um atraso ajustável necessário a operações como amostrar-bloquear (S&H), atuação do multiplex, etc.

Observamos que a função FD é do tipo liga - desliga - liga, ou seja, o biestável FD muda de estado a cada comando em sua entrada de relógio.

O estouro de tempo ocorre quando IPAM (pulso de amostragem gerado pelo Registro de Frequência de Amostragem) é gerado com B2 ainda em zero, ou seja, o MITRA não teve tempo para terminar as restituições. A palavra de estado do sequenciador (PES) ocupa a barra de saída da interface (IBSI) durante toda a fase dinâmica exceto durante a gerência de aquisições pelo sequenciador.

O diagrama da figura 23 mostra o controle da fase dinâmica do ponto de vista do MITRA.

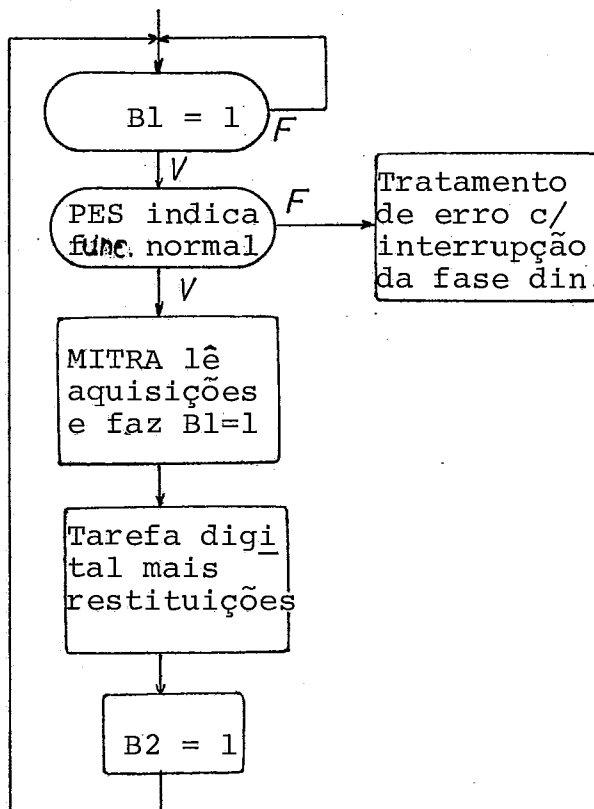


Figura 23 - Atuação do MITRA durante a Fase Dinâmica

O diagrama de tempos da figura 24 completa a discussão do

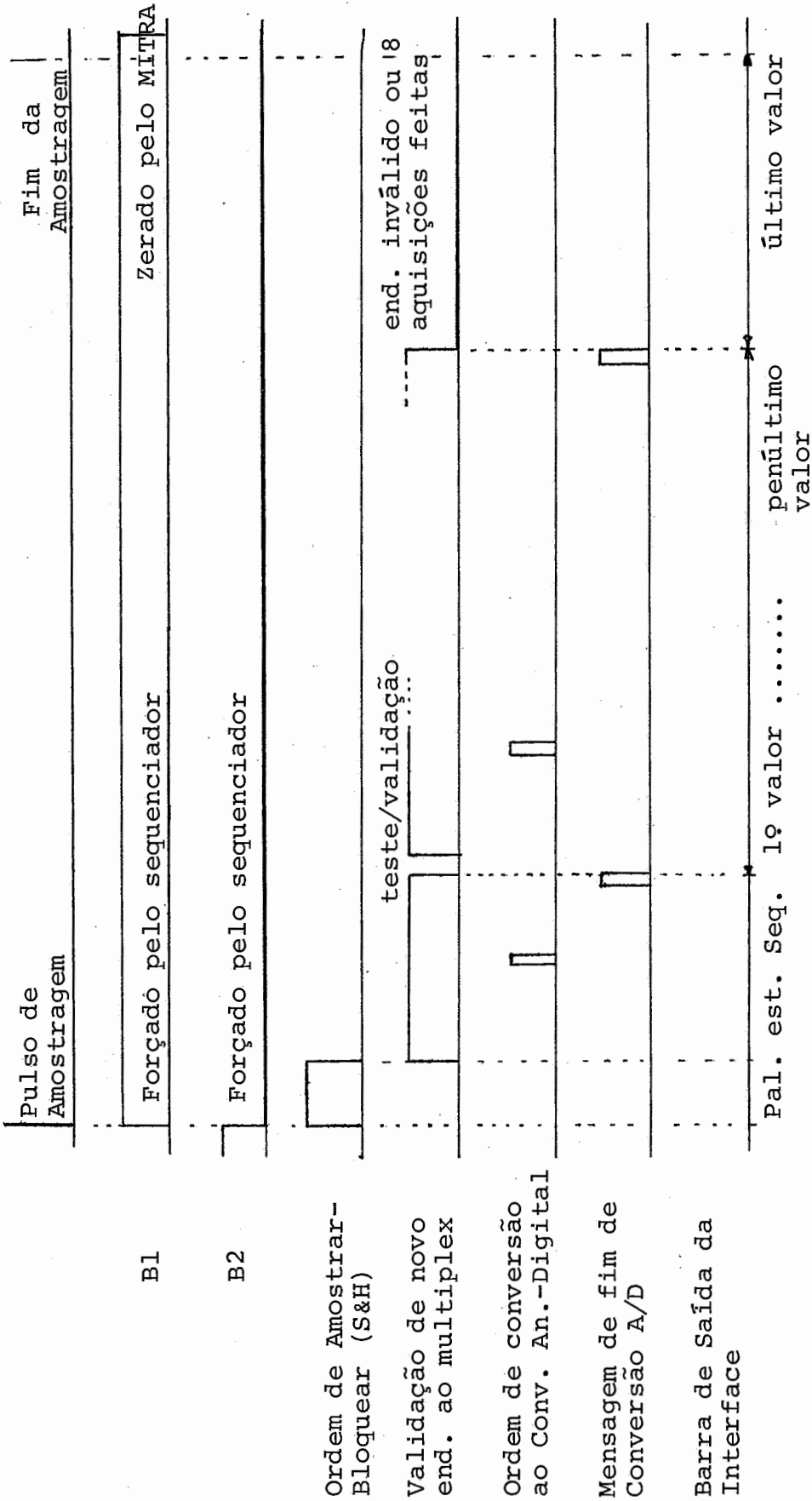


Figura 24 - Diagrama de tempos do sequenciador nas aquisições

sequenciador na aquisição.

Observamos que o biestável B1 que permanece em 1 desde o pulso de amostragem, até o final das aquisições, é quem permite o uso de um só contador do tipo 74163 para os dois ciclos do sequenciador (aquisição e restituição). Isto é feito usando ora B1 ora $\overline{B1}$ na entrada dos multiplexadores tipo 74151 - (entrada de inibição).

A tarefa do sequenciador na restituição é bastante facilitada pelo fato de não precisar gerar atrasos especiais (só há um, para permitir que se gire o endereço), e o MITRA contribui para a sincronização com suas ordens de escrita.

Como já dissemos acima o contador programável é o mesmo - das aquisições. Assim é que na figura 22 percebem-se:

- a entrada W_{RE} (W da restituição, onde W é a saída barrada do 74151).

- LOAD da cadeia de restituição.

A figura 25 mostra o diagrama de blocos deste módulo.

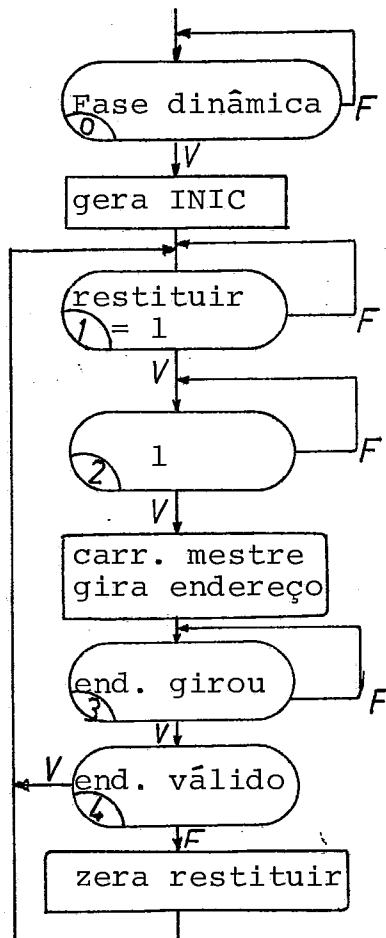


figura 25 - diagrama de blocos do sequenciador na rest.

A figura 26 mostra a restituição a nível de portas. O chaveamento do contador síncrono, como já disséramos antes, é obtido com B1 que vale 1 durante as aquisições e vale zero durante as restituições.

O sequenciador na restituição faz parte das figuras 19, - 20 e 21 do anexo 1.

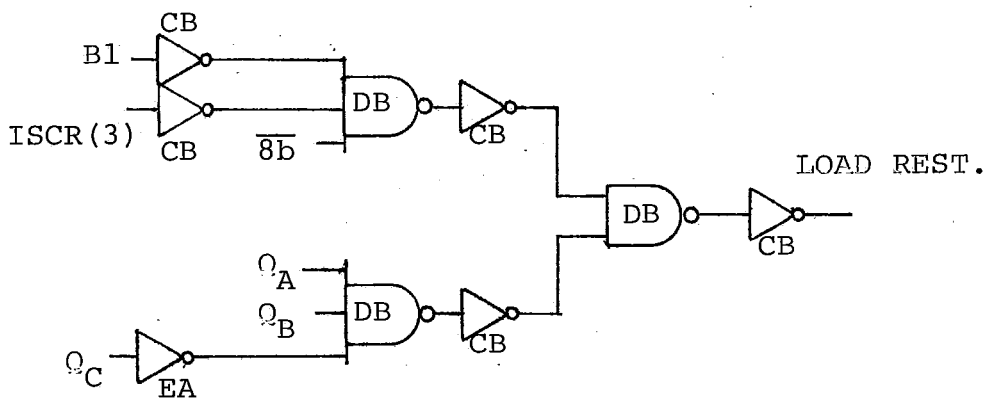
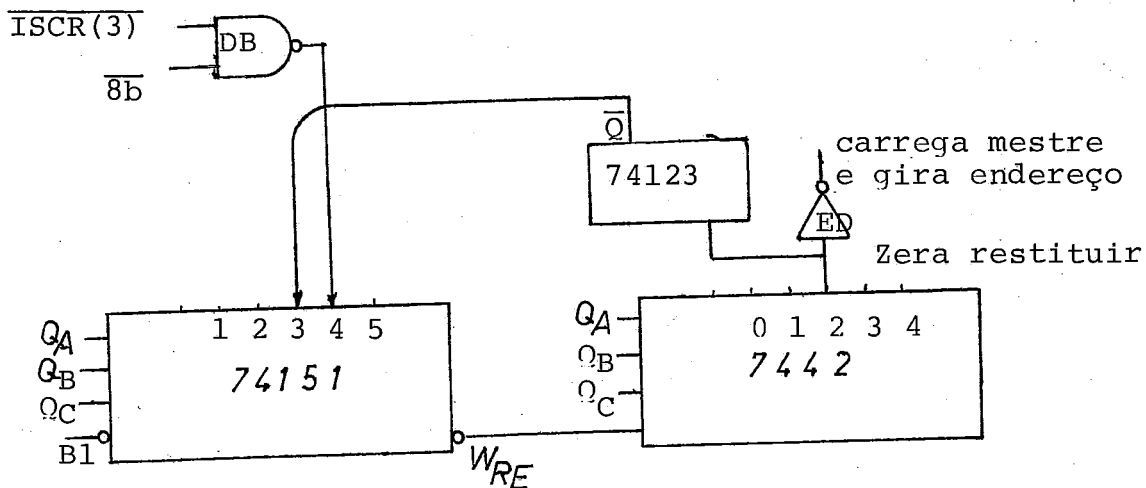


figura 26 - Sequenciador na restituição

V.12 - OUTROS REGISTROS

Discutiremos agora os últimos elementos da nossa interface lógica.

V.13 - REGISTRO DE COMANDO DO ANALÓGICO E DO DES-30

Só podem ser carregados nas fases inicial e terminal uma-vez que na fase dinâmica o único modo possível é OPERATE sobre o analógico e RUN sobre o DES-30.

A lógica é extremamente simples e vem detalhada na figura 27.

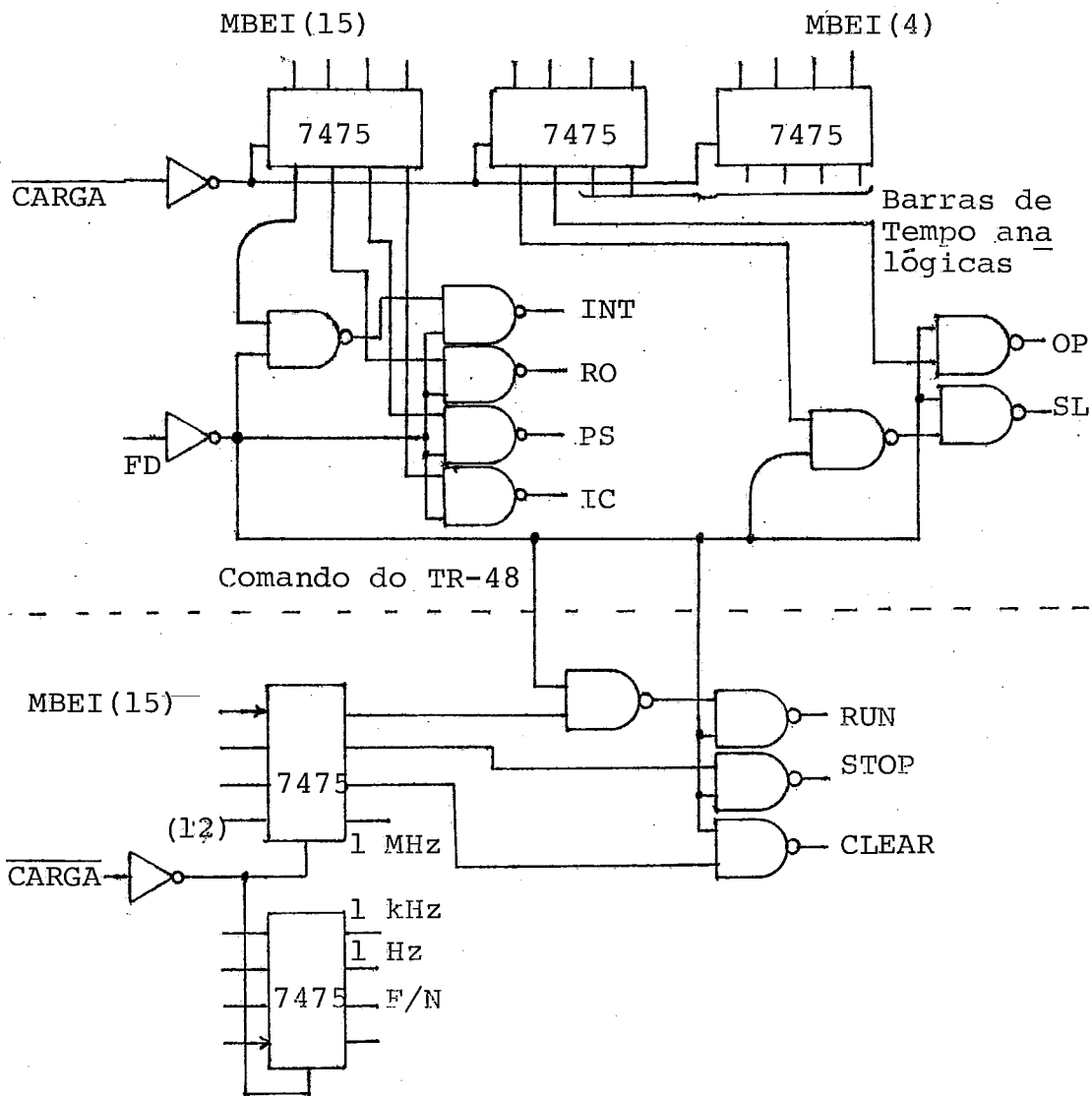


Figura 27 - Registro de Comando do TR-48 e Registro de comando do DES-30

V.14 - LINHAS DE COMANDO

São disponíveis 8 bits de comando. Podem ser carregados - inclusive na fase dinâmica já que tal comando é gerado pelo - registro de comando na interface lógica, a partir da ordem de escrita do MITRA.

Tais bits de comando podem ser usados para comandar uma o peração sobre a parte digital do analógico (DES-30). Alguns - casos há, em que isso será vantajoso por questões de velocida de.

A figura 28 detalha tal registro.

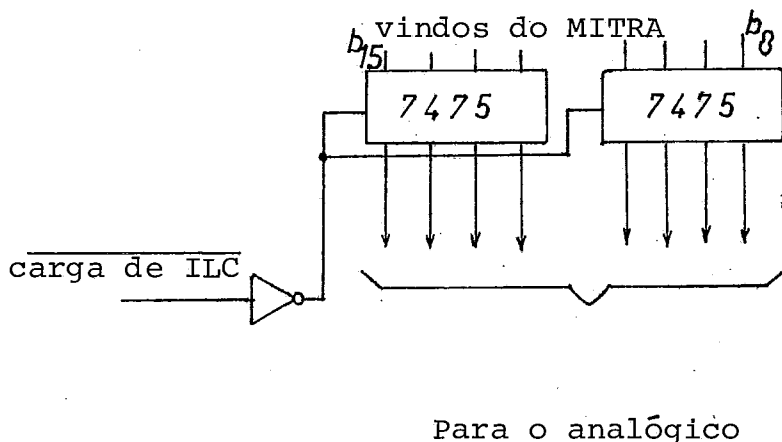


figura 28 - linhas de comando

V.15 - LEITURA DAS SAÍDAS DOS COMPARADORES

Também pode ser comandada em qualquer uma das fases. O MITRA comanda a leitura e a adquire num intervalo de tempo - bem definido.

A figura 29 mostra a idéia detalhada a nível de portas. A simplicidade da coisa dispensa maiores comentários.

V.16 - PALAVRA DE ESTADO DO ANALÓGICO E DES-30

O esquema para fazer tal leitura é o mesmo que para dos comparadores. Um esquema especial deteta saturação em um qual

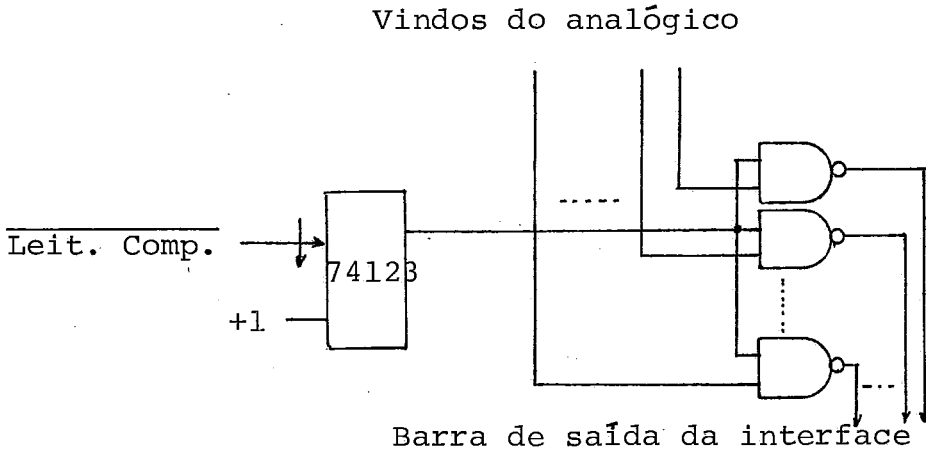


Figura 29 - Saídas dos comparadores

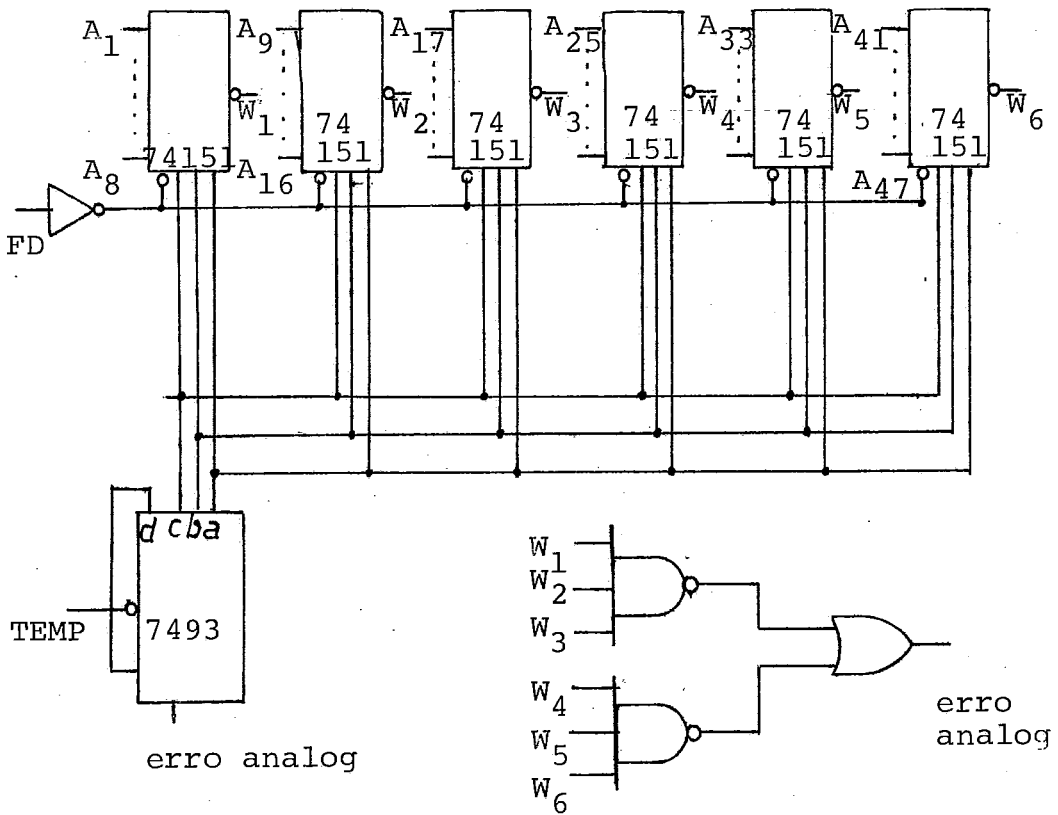


figura 30 - erro analógico e palavra de estado TR-48,DES-30

quer dos 47 amplificadores. O esquema é o seguinte: durante toda a fase dinâmica seis seletores do tipo 74151 (multiplex-de 8 canais) recebem em suas entradas os sinais de saturação-de amplificadores gerados pelo analógico; um contador decimal varre as 48 linhas a cada 8 pulsos do relógio da interface. Uma qualquer que apresente sinal de saturação bloqueia o conta-dor e o decodificador continua a apresentar o endereço do am-plificador saturado.

A figura 30 mostra o esquema.

A palavra de estado do analógico e DES-30 dá o estado de cada um dos modos dos dois.

Para concluirmos este capítulo chamamos ainda a atenção - para o fato de que as entradas digitais do DES-30 bem como as saídas dos comparadores do voltímetro digital no analógico - não são sinais TTL com o que se faz necessária uma compatibilização. No DES-30 esta compatibilização é de inversão e de correntes já que o mesmo funciona com lógica negativa (1 lógi-co \approx 0 volts e zero lógico \approx 3,6 volts). As saídas dos com-paradores trabalham com lógica positiva mas há problemas com a capacidade de corrente.

Para completar chamamos a atenção para o fato de que toda a interface lógica já está com os circuitos impressos prontos e que a parte do sequenciador teve uma montagem em wire-wrap, de teste.

Uma incoerência que provavelmente precisará ser corrigida no futuro está em que no projeto da cadeia de aquisição (IV.1) os amostradores bloqueadores não são do tipo diferencial embora o multiplexador analógico o seja (MXD-807).

Como foi citado no texto o "fundo da cesta" queríamos ape-nas acrescentar que o mesmo também constitui uma placa de cir-cuito impresso (figura do anexo 1). Um importante cuida-do foi tomado em relação ao fundo da cesta que é impedir o mais possível o fluxo de correntes altas pelo mesmo (para evi-tar acoplamento por indução paralela, que depende do nível da corrente). Isto se faz colocando drenos de correntes em todos os pontos de placa que puxem corrente alta e que estejam em contato direto com o fundo da cesta.

VI - IDÉIAS ADICIONAIS SOBRE O FUNCIONAMENTO DO COMPUTADOR HÍBRIDO AQUI PROJETADO

Foge ao escopo deste trabalho apresentar e defender uma estrutura de software para o computador híbrido aqui projetado. Seria no entanto estranho calarmos completamente sobre este assunto já que ele é tão importante quanto o hardware aqui apresentado.

Coloquemos então algumas idéias que possam servir de ponto de partida para a discussão deste software.

VI.1 - OPERAÇÕES ARITMÉTICAS

A configuração de MITRA-15 disponível no laboratório não possui um processador de ponto flutuante por hardware. Por outro lado as operações de ponto flutuante por software são excessivamente lentas para a fase dinâmica. A melhor saída no caso é escrever subrotinas de ponto fixo em assembler para tratar os números que são envolvidos no ciclo híbrido. Serão números de uma palavra do MITRA porém tendo como significativos apenas os 12 bits de ordem mais alta. A vírgula (ponto fixo) estará à esquerda. Fazemos aqui a observação de que as operações aritméticas realizadas pelo analógico são também normalizadas. Tanto assim que o produto analógico de 5 V com 5 V dará 2,5 V ao invés de 25 V que saturaria o amplificador operacional de saída. Portanto tais rotinas tem que levar em conta este fato.

VI.2 - AQUISIÇÕES E RESTITUIÇÕES

As operações do lado do MITRA para adquirir dados podem ser observadas na sequência de passos abaixo:

P1 - Lê palavra de Estado do Sequenciador (está na Barra de saída da interface).

Se B1 = 0 volta a P1.

P2 - Funcionamento normal? Se não, sai da fase dinâmica.

Posiciona canal anterior.

P3 - Calcula endereço de memória para armazenar a aquisição.

- P4 - Adquire canal
- P5 - Se endereço do canal não mudou volta a P4.
Coloca canal em canal anterior, grava o conteúdo na memória, incrementa nº de canais lidos.
- P6 - Se número de canais lidos for menor que o número de canais a ler, volta a P3.
- P7 - Zera B1.
- ⋮

entra no cálculo da tarefa digital

VI.3 - RESTITUIÇÕES

Os passos, para o MITRA são os seguintes:

Inicializa Número de canais a restituir, endereço externo, etc.

- P1- Calcula endereço de memória a ser restituído.
- P2- Incrementa número de canais restituídos
- P3- Lê dado da memória
- P4- Mascara 4 bits menos significativos tornando-os todos nulos (faz um E com HFFF0)
- P5- Escreve na entrada da interface
- P6- Se número de canais restituídos for menor que número de canais a restituir volta a P1.
- P7- Faz B2 = 1.

Entra no ciclo de espera de novo pulso de amostragem, que aparece no começo das aquisições (VI.2).

VI.4 - SOFTWARE DE CONTROLE

Quanto aos programas necessários para controlar toda uma simulação híbrida (COURTIAT¹) constituem eles próprios material mais do que suficiente para uma tese de mestrado.

O caminho clássico é estender uma linguagem de alto nível como o FORTRAN-IV dando-lhe condições de controlar uma simulação híbrida. Dois são os caminhos possíveis: adicionar ao For

tran verdadeiras instruções híbridas - o que acarreta a escrita de um novo compilador, coisa pouco defensável do nosso ponto de vista; a escrita de subrotinas ou funções que sejam chamadas em Fortran (podem ser escritas em FORTRAN ou ASSEMBLER) e que sejam capazes de realizar as diversas operações. Assim todo o programa híbrido termina sendo um programa fortran.

No entanto isto pode levar a um código objeto demasiado lento na parte relativa à fase dinâmica e vale a pena criar um software especial para esta fase (COURTIAT²). Na solução da referência anterior este software - Linguagem de descrição e supervisor de fase dinâmica - faz "swap" com o programa híbrido.

Passaremos a discutir agora os possíveis erros do ciclo híbrido bem como as maneiras de contornar os que não sejam aleatórios.

VII - ANÁLISE DE ERROS

Trataremos neste capítulo dos vários erros que surgem no ciclo híbrido.

Há duas categorias de erros:

- erros que são inerentes a cada um dos componentes
- erros híbridos surgidos do funcionamento dos dois computadores em paralelo.

VII.1 - ERROS DOS DIVERSOS ELEMENTOS

Um sistema híbrido conta basicamente com os elementos mostrados na figura 31.

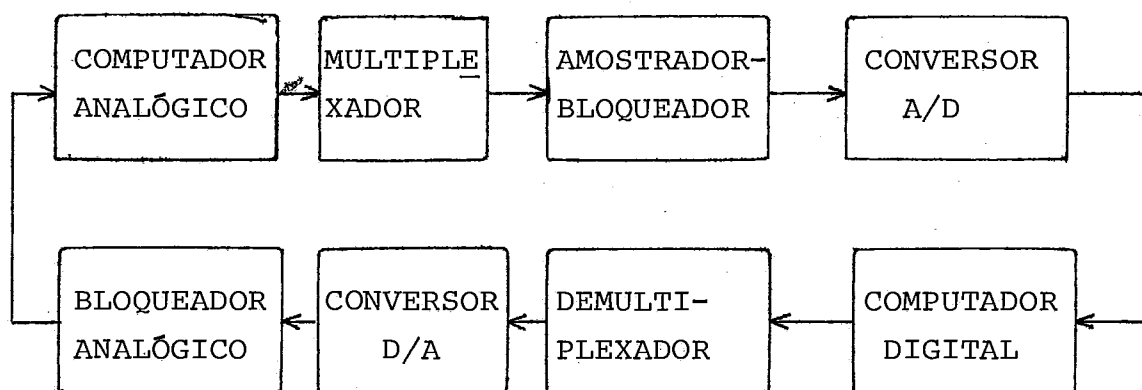


Figura 31 - Componentes do ciclo híbrido

Uma vez que nenhum dos elementos se comporta de forma ideal erros são introduzidos em todos os pontos do ciclo híbrido.

A tabela 4 cita os mais importantes .

Estes erros podem ser diminuídos em maior ou menor grau e em geral seu nível representa um compromisso entre performance desejada e custo tolerável.

Alguns, no entanto são sistemáticos e por isso podem ser compensados.

ELEMENTO	ERRO(S) INTRODUZIDO(S)
COMPUTADOR ANALÓGICO	erros dos amplificadores operacionais: deriva, off-set, defasagem
MULTIPLEXADOR	falta de sincronismo entre as várias vias, acoplamento de modo comum, acoplamento entre os diversos canais
AMOSTRADOR BLOQUEADOR	erros ligados ao tempo de abertura do amostrador, instabilidade em frequência, deriva
CONVERSOR A/D	erro de quantização
COMPUTADOR DIGITAL	erros de arredondamento e truncamento (compromisso precisão/tempo de execução)
DEMULTIPLEX	erros de sincronismo entre os canais
CONVERSOR D/A	erros de quantização e deriva
BLOQUEADOR ANALÓGICO	deriva

Tabela 4 - erros inerentes aos vários blocos do ciclo híbrido

Assim o erro de sincronismo no multiplexador analógico é eliminado usando-se uma bateria de amostradores-bloqueadores antes do mesmo. O erro de sincronismo do demultiplexador é anulado pelo uso dos registros duplos (mestre-escravo) antes do conversor D/A.

O erro de acoplamento em modo comum é diminuído separando a terra do computador digital da terra do computador analógico com o uso dos acopladores óticos. Uma diminuição do erro devido a modo comum é também conseguida usando-se elementos diferenciais antes do conversor na cadeia de aquisição.

Como os conversores usados (11 bits + sinal) têm precisão superior à precisão estática do analógico (a precisão dinâmica é menor) os erros de quantização são irrelevantes.

Os demais erros formam um ruído aleatório cuja amplitude deve ser limitada a não mais que 20 mV. Da parte do usuário - resta o compromisso de calcular fatores de escala bons no sentido de evitar que suas variáveis analógicas passem todo o tempo próximas de zero volts, quando o erro dos componentes analógicos em geral é bastante grande (na verdade o que temos é um problema clássico de ^{relação} sinal-ruído. Já que o ruído não pode ser eliminado é mister manter-se alto o sinal em módulo).

VII.2 - ERROS HÍBRIDOS

Tais erros são de natureza teórica e assim sendo podem receber um tratamento matemático do qual resulte uma compensação. Provêm da combinação dos modos de funcionamento dos dois computadores e surgem principalmente na simulação híbrida paralela. Neste tipo de simulação híbrida o digital gera funções sobre o analógico (funções não lineares ou multi-variáveis) a partir de variáveis amostradas. Tal procedimento é esquematizado na figura 32 onde:

$u(t)$ e $u^*(t)$ são os vetores de entrada - (contínuo e amostrado)

$v(t)$ e $v^*(t)$ são os vetores de saída - (contínuo e amostrado).

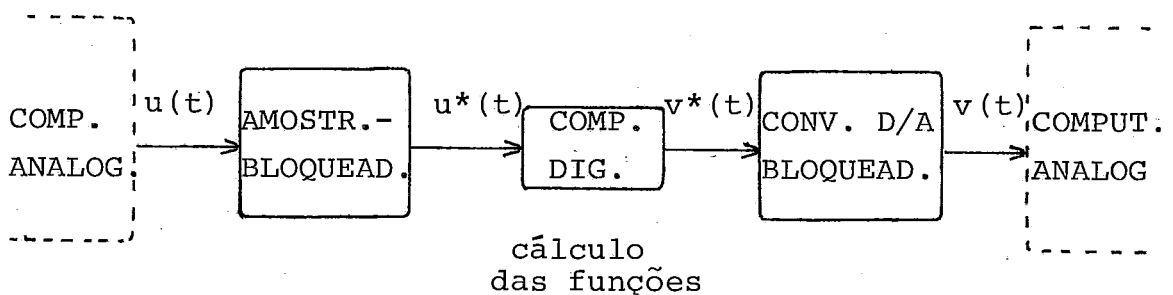


figura 32 - Geração de funções de várias variáveis

Dois tipos de erro (BEKEY³) podem surgir:

- erros devidos a uma escolha infeliz da frequência de amostragem que em certos casos pode deteriorar completamente o vetor de entrada $u(t)$

- erros na determinação e reconstituição do vetor de saída $v(t)$.

VII.3 - ERROS DE AMOSTRAGEM

Já que o computador digital só trata valores discretos é impossível fugir às amostragens num sistema híbrido. Elas são feitas, em geral, de uma maneira síncrona, e regularmente espaçadas no tempo. A frequência de aquisição (amostragem) deve satisfazer ao teorema de Shannon e ser também suficiente para a tarefa numérica. Como, na prática não existe o filtro-passa-baixa ideal a frequência de amostragem deve ser bem superior ao dobro da frequência da mais alta componente de Fourier do sinal a amostrar.

No caso do nosso sistema híbrido a idéia é escolher uma frequência tal que o MITRA após terminar a tarefa numérica e adquirir e restituir dados espere o menos tempo possível. Lembremos que tal é fácil a partir dos biestáveis B1 e B2 do sequenciador que permitem determinar com precisão o tempo de cálculo da tarefa digital.

VII.4 - ERROS NA DETERMINAÇÃO E RECONSTITUIÇÃO DO VETOR DE SAÍDA $v(t)$

Sejam $T = T_a$ (T_a = passo de amostragem) e chamemos U_i o vetor representando as amostragens adquiridas simultaneamente nos diferentes canais no instante $t = iT$ e V_i o vetor representando os valores das funções calculadas pelo digital a partir das aquisições U_i . Devido ao tempo necessário para a execução da tarefa digital, somente no instante $(i+1)T$ é que podemos restituir tais valores (V_i). Um erro sistemático, devido ao atraso T , surge então ao nível da determinação dos valores discretos a restituir sobre os conversores D/A, conforme mostram as figuras 33 e 34.

O erro está em que são na verdade geradas funções retardadas de T segundos ($V(t-T)$) em relação ao vetor de saída $V(t)$ desejado.

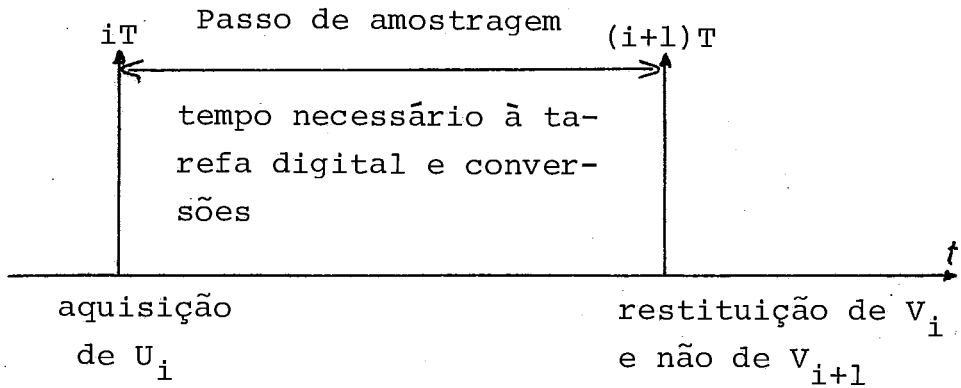


Figura 33 - erros ligados ao atraso T

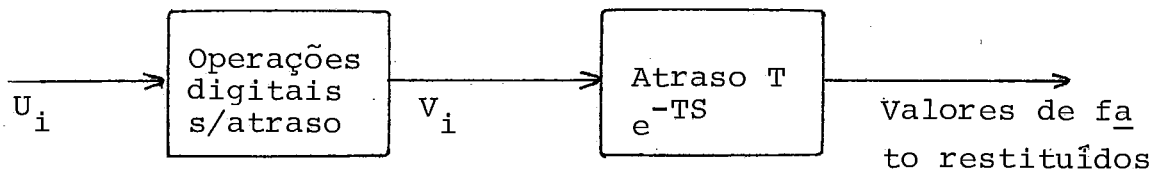


figura 34 - Esquema equivalente no domínio da frequência

Um outro erro sistemático aparece ao nível da reconstituição das funções contínuas a partir dos valores discretos V_i restituídos em paralelo através dos conversores D/A a cada pulso de amostragem. Este erro está associado ao tipo de bloqueador analógico utilizado. Se nenhum dispositivo adicional é encadeado em série com o conversor D/A então este manterá o sinal convertido até o próximo pulso de amostragem. Assim sendo ele estará funcionando como um bloqueador de ordem zero.

Desta forma as funções realmente fornecidas ao analógico, são funções em forma de escada, atrasados de T em relação à curva ideal. A figura 35 mostra as duas curvas, a ideal e a efetivamente gerada.

Na figura 36 o erro equivalente é mais uma vez mostrado - só que agora no domínio da frequência.

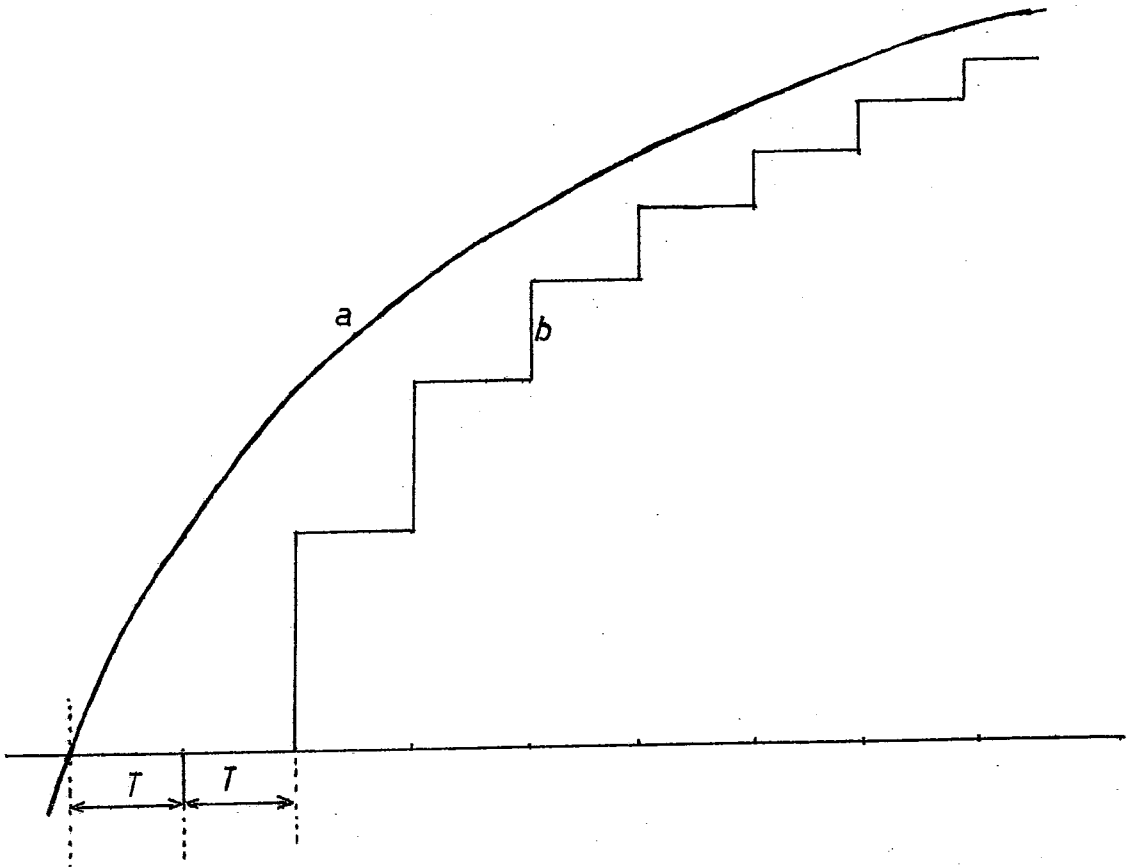


Figura 35 - a - curva ideal, b - curva gerada

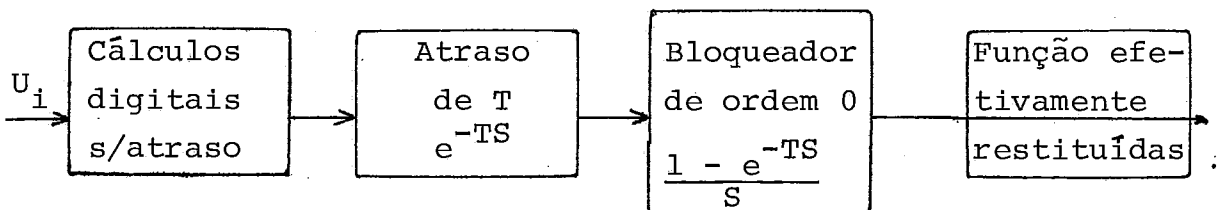


Figura 36 - erros híbridos associados à curva b

A importância do atraso T deve ser julgado em função da escala de tempo escolhida sobre o analógico. Uma abordagem simples para reduzir tais erros é a de tornar bem lento o pro

cesso sobre o analógico, bem como simplificar ao máximo as funções e cálculos do digital. Todavia esta abordagem é pobre pois elimina as vantagens da proposta híbrida, tanto a nível da velocidade de cálculo do analógico quanto da capacidade do digital de gerar funções complicadas, se bem que isto implique em tempo longo de cálculo.

Em oposição aos erros anteriores estes são sistemáticos e previsíveis. Assim sendo o usuário pode lançar mão de compensações destes erros, o que lhe permitirá tirar proveito integral das vantagens do sistema.

VII.5 - COMPENSAÇÃO DO ATRASO T INTRODUIDO PELO TEMPO DE EXECUÇÃO DA TAREFA DIGITAL

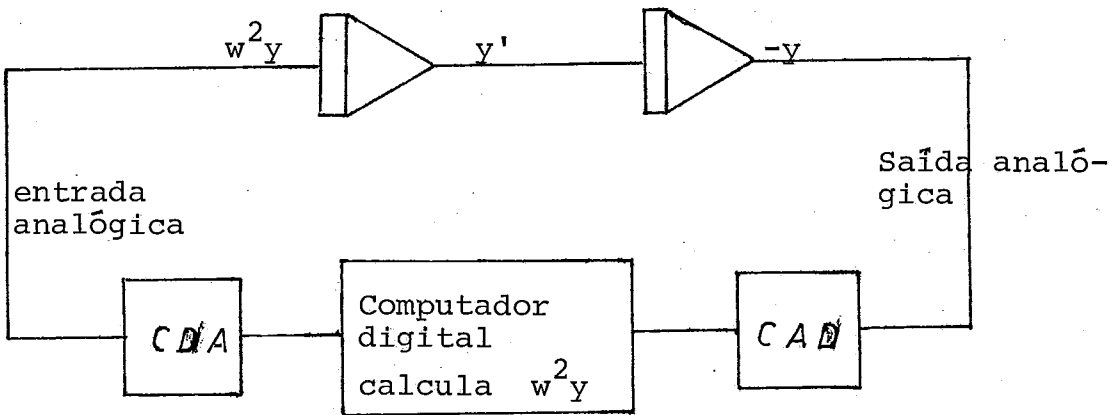
A abordagem consiste em fazer uma previsão do valor a restituir no instante seguinte. Faz-se necessário, então, introduzir no ciclo híbrido um elemento cuja função de transferência aproxime a do preditor ideal e^{TS} .

Desprezando os termos de ordem superior a 1 no desenvolvimento em série de e^{TS} , escolhemos como preditor ideal o que tem curva de transferência $1 + TS$.

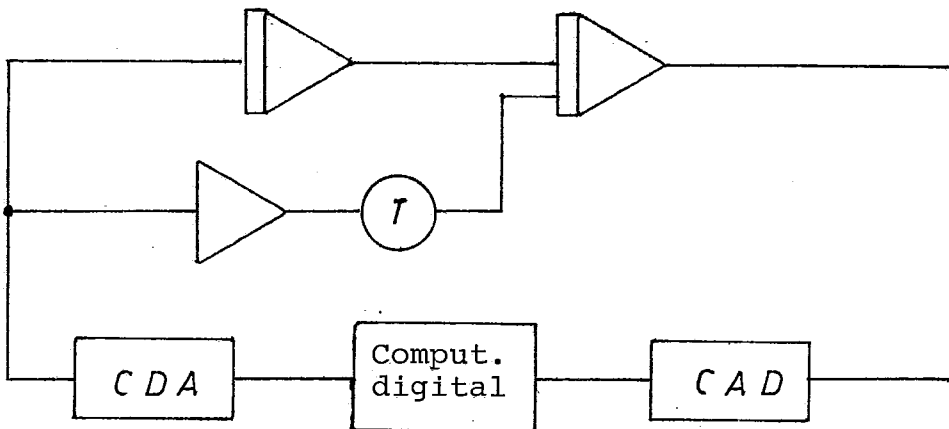
Dois métodos podem ser utilizados para realizar tal compensação:

- um método analógico
- um método digital.

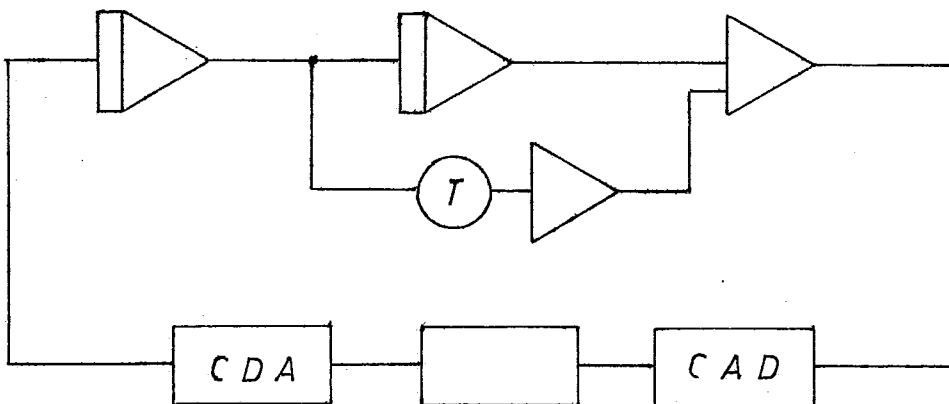
O primeiro método consiste em somar à entrada analógica $V(S)$ o sinal $T.S.V(S)$ ou somar à saída analógica $U(S)$ o sinal $T.S.U(S)$. Como a operação $T.S$ é uma derivada, o que amplia o ruído, ela não deve aparecer explicitamente. Será em geral - possível encontrar diretamente os valores derivados no subprograma analógico. Este método é ilustrado de forma simples na solução híbrida da equação diferencial $d^2y/dt^2 + w^2y = 0$. Nesse caso a tarefa numérica se resume no cálculo de w^2y . A figura 37 mostra a solução e as compensações de atraso primeiro na entrada analógica e depois na saída analógica.



Esquema para solução de $\frac{d^2y}{dt^2} + w^2y = 0$



Compensação sobre a entrada analógica



Compensação sobre a saída analógica

Figura 37 - Compensação analógica do atraso T

O segundo método consiste em compensar digitalmente o atraso T . O vetor derivada $(dV/dt)_i$ pode ser aproximado por $V_i - V_{i-1}/T$, sendo V_{i-1} os valores calculados no passo de amostragem precedente. O vetor restituído no instante $t=(i+1)T$ será assim igual a $2V_i - V_{i-1}$, desde que aceita a hipótese de que o passo de amostragem é idêntico ao atraso introduzido pela execução da tarefa digital. Esta compensação é uma extrapolação linear que em geral é mais que suficiente para corrigir o atraso. Extrapolações mais complexas, levando em conta um grande número de valores adrede adquiridos podem ser também implementadas. Entretanto elas representam um contra-senso já que aumentando o tempo T necessário à execução da tarefa digital elas agravam o erro que pretendem corrigir.

VII.6 - COMPENSAÇÃO NA RESTITUIÇÃO DO SINAL CONTÍNUO

A reconstituição de um sinal contínuo a partir de uma série de valores discretos, através de um filtro passa-baixa apresenta duas dificuldades:

- o filtro passa-baixa ideal não pode ser construído, tão somente aproximado, e uma boa aproximação atinge custos muito elevados
- toda modificação do passo de amostragem T_a leva a uma modificação nos parâmetros do filtro.

Um bloqueador analógico é um filtro que realiza uma extrapolação polinomial do sinal a partir do conhecimento dos valores anteriores. Quanto maior a ordem do polinômio melhor será a precisão obtida, mas também mais difícil e cara a realização do bloqueador. Por esta causa bloqueadores de ordem superior a 1 não são em geral usados.

Consideraremos os bloqueadores de ordens 0 e 1, bem como os bloqueadores a correção parcial de velocidade, intermediários entre os dois anteriores.

Sejam então $f(t)$ e $f_k(t)$ as saídas respectivamente dum conversor D/A e dum bloqueador analógico a ele associado.

Temos:

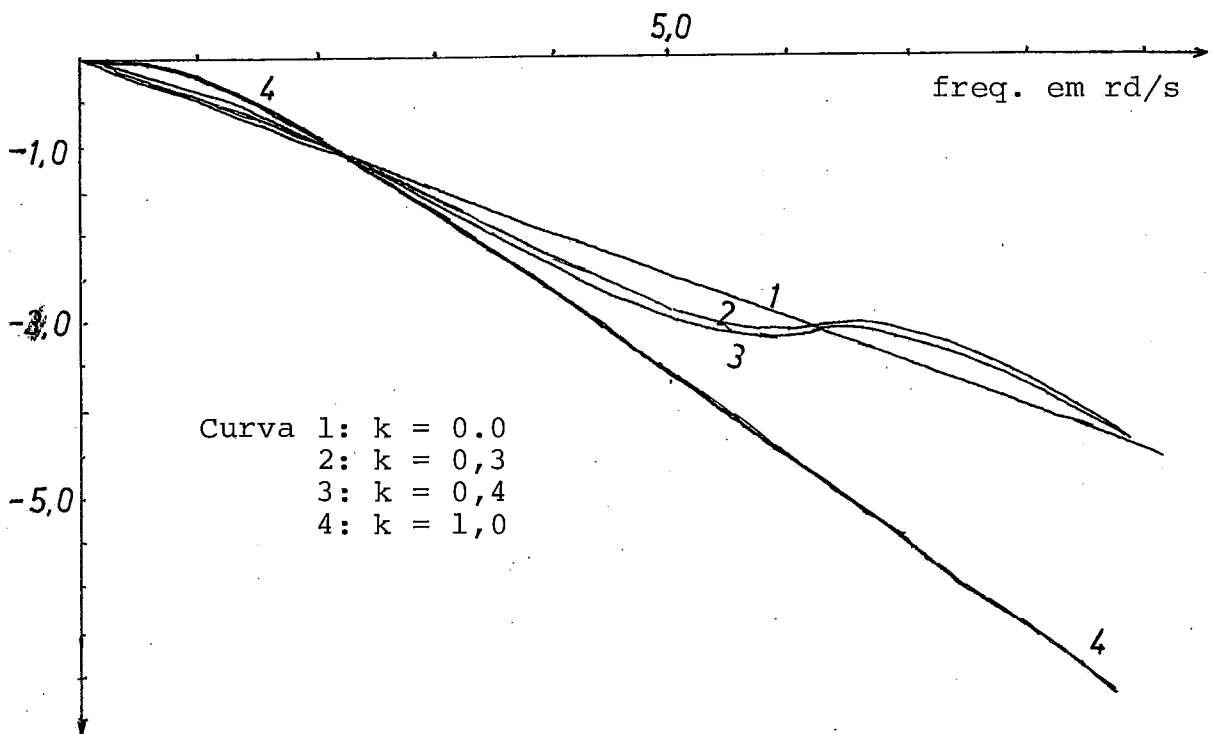
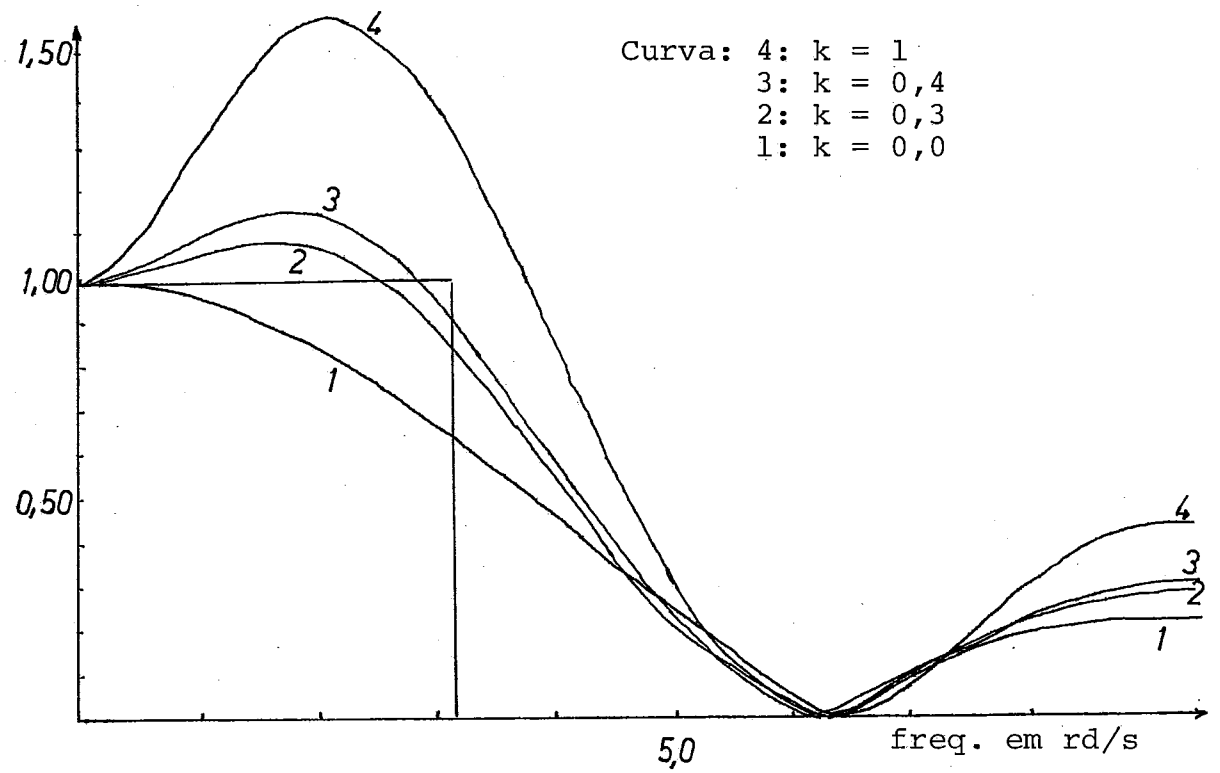


figura 38 - curvas de amplitude e fase de bloqueadores

$$f_k(nT + \theta) = f(nT) + \frac{k\theta}{T} (f(nT) - f((n-1)T))$$

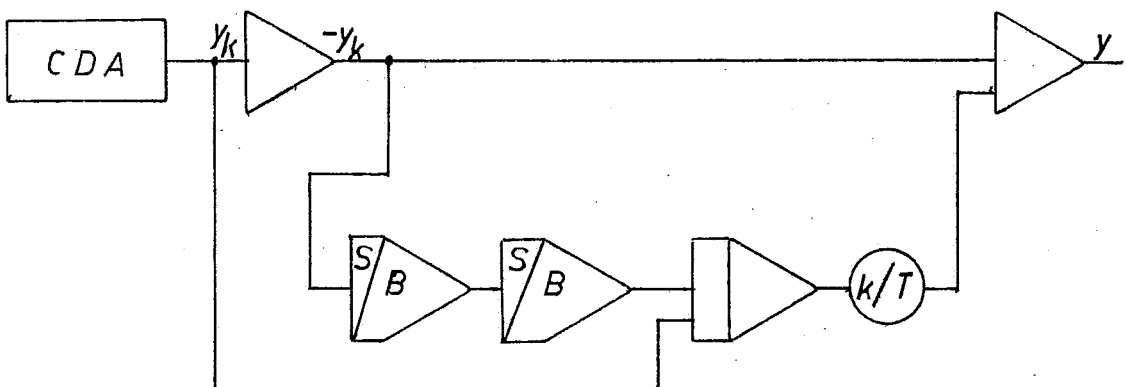
$$\text{com } 0 \leq k \leq 1 \quad \text{e} \quad 0 \leq \theta \leq T$$

A função de transferência deste bloqueador sendo:

$$F_k(s) = \frac{1}{s} (1 - e^{-sT}) (1 - k e^{-sT} + \frac{k}{sT} (1 - e^{-sT}))$$

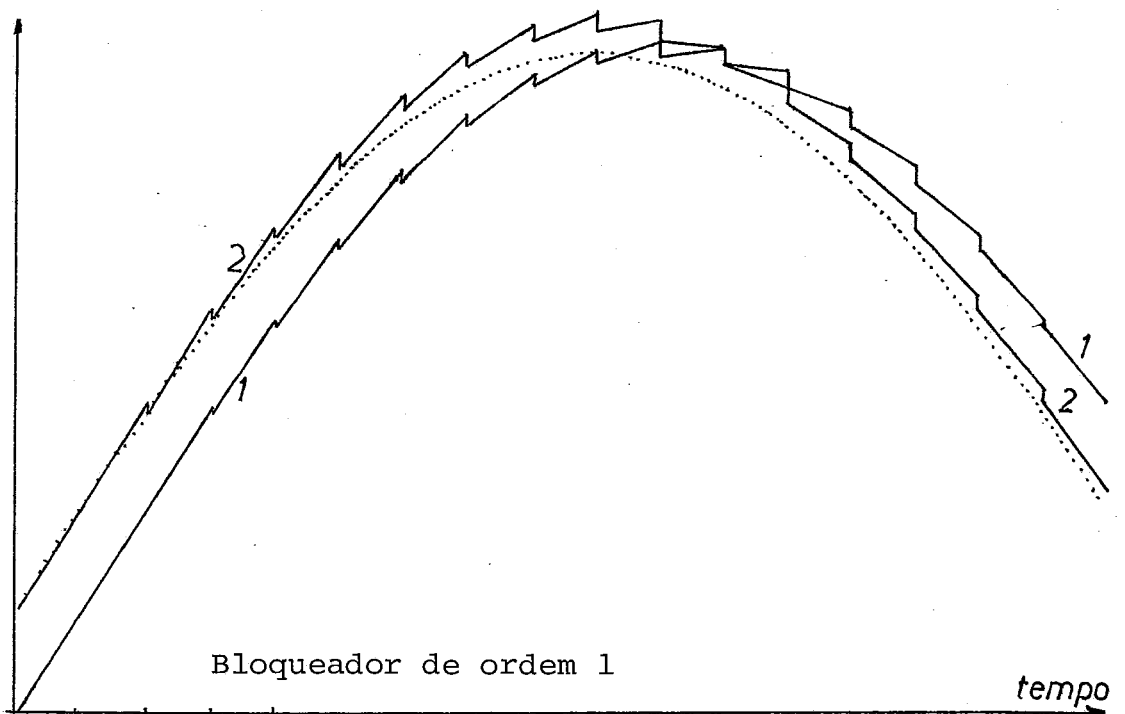
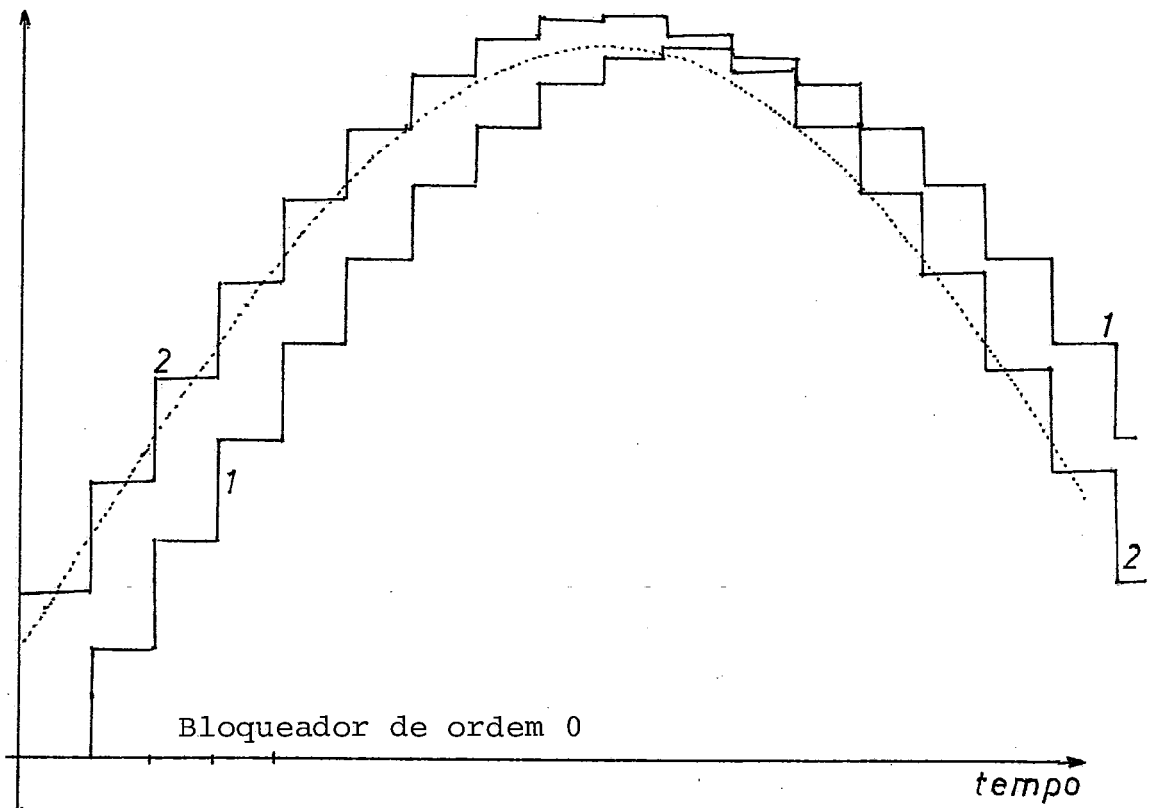
podemos obter a forma geral de sua resposta harmônica $F_k(j\omega)$ e então as curvas de amplitude e fase para os diferentes valores do coeficiente k . Estas curvas são mostradas na figura 38 para $k = 0, 0,3, 0,4$ e 1 .

Para a faixa de frequência de nosso interesse (ao menos a faixa $(0, \pi/T)$ pois supomos que o teorema de Shannon seja verificado) nós vemos que o bloqueador de ordem 1 dá uma defasagem inferior ao bloqueador de ordem 0, porém deforma mais o sinal. Um compromisso razoável consiste no uso de um bloqueador a correção parcial de velocidade no qual o valor de k é vizinho de 0,3. A figura 39 apresenta uma realização deste tipo de bloqueador analógico.



$$y(kT + \theta) = y_k + \frac{k\theta}{T} (y_k - y_{k-1})$$

Figura 39 - Bloqueador analógico a correção parcial de velocidade



curva 1 - sem compensação

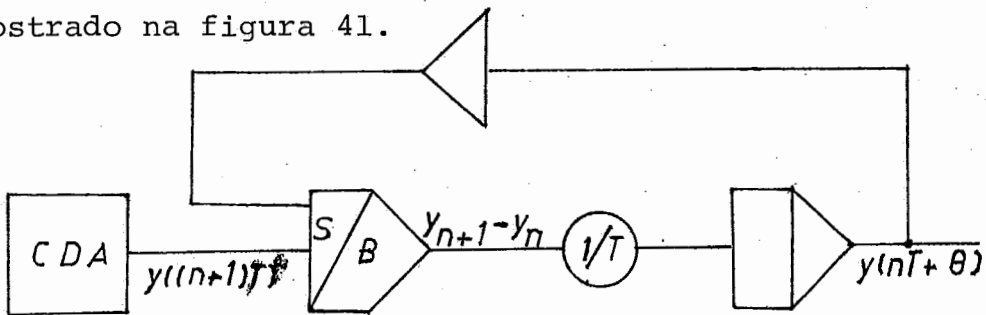
curva 2 - compensação do atraso T e da defasagem do bloqueador

Figura 40 - Comparação de curvas com e sem compensação

Vimos assim que os bloqueadores analógicos introduzem uma defasagem variável de acordo com o valor do coeficiente k . Este erro é da mesma natureza que o atraso introduzido pelo tempo de execução da tarefa digital T e então pode ser compensado usando a mesma técnica. O preditor a aproximar não será mais e^{TS} mas $e^{(T + \tau)S}$ sendo τ a defasagem suplementar introduzida pelo bloqueador analógico. A idéia é ilustrada na figura 40.

Até o presente momento tratamos dos erros híbridos no caso de uma simulação híbrida paralela. No entanto os erros devidos ao bloqueador analógico podem também ser produzidos no caso de uma simulação híbrida série em relação às funções multi-variáveis geradas pelo digital.

Como no entanto, os valores a restituir são conhecidos antes da fase dinâmica podemos fazer uma aproximação do tipo interpolação polinomial para corrigir o erro. Uma interpolação linear é em geral suficiente. Um interpolador linear analógico é mostrado na figura 41.



$$y(nT + \theta) = y(nT) + \frac{\theta}{T}(y((n+1)T) - y(nT)) \quad 0 \leq \theta \leq T$$

Figura 41 - Esquema dum interpolador linear analógico

Vimos, até o momento, os vários erros que podem aparecer no curso de uma simulação híbrida. Separamos os erros introduzidos pelos componentes dos erros teóricos, advindos da de frontação de modos de funcionamento do analógico e do digital e apresentamos métodos para compensação dos últimos.

Todavia as análises teóricas não terminam neste ponto. A partir duma extensão da análise de sensibilidade aos sistemas híbridos (BEKEY³) podemos analisar a influência dos erros subsistentes bem como sua acumulação na solução dum problema-particular. Entretanto sua implementação é em geral complicada e na maioria dos casos tão difícil quanto o próprio problema.

VIII - CONCLUSÃO

Vimos assim que a inexistência de dispositivo de acesso direto à memória por parte do computador digital foi contornada adicionando inteligência à interface. Esta inteligência adicional são os registros especiais da interface que armazenam a Sequência de Canais a Adquirir e a Restituir - cu seja ISCA e ISCR. Tais registros, armazenando os canais analógicos de interesse para uma fase dinâmica, livram o MITRA da tarefa de a cada aquisição/restituição ter que passar endereço de canal o que comprometeria em muito a velocidade máxima de aquisições/restituições.

A impossibilidade de alterarmos as placas de saída do MITRA implicou na escolha de resolução de 12 bits, ocupando 4 bits da palavra do MITRA para instruções à interface.

O sequenciador, elemento especializado em sincronizações cuidadas mesmas durante toda a Fase Dinâmica restando ao MITRA, unicamente, as tarefas de posicionar B1 e B2 ao final das aquisições e restituições, respectivamente.

Parece-nos assim que este projeto de interface (Lógica e Analógica) se acrescido dos Multiplicadores Digital-Analógicos levará a um Computador Híbrido de possibilidades razoáveis.

R E F E R Ê N C I A S B I B L I O G R Á F I C A S

1. COURTIAT, Jean Pierre - Etude et Réalisation d'un Système Hybride MITRA-15 - EAI 680, 1976, 136 p.
2. COURTIAT, J. P. & BOURDEAU C. - A user-oriented Synchronization System for a Hybrid Problem. Proceedings of the AICA Symposium of Simulation Languages for Dynamic Systems. Publicado nos Anais da AICA, vol. 17, out. 1975, pag. 300 a 302
3. BEKEY, G. A. & KARPLUS, W. J - Hybrid Computation. John Wiley, 1968
4. RICHARDS, Charles L. - An Easy Way to Design Complex Program Controllers
5. GROSSMAN, Harry e outros - The Printed Circuit Board Bus Bar: A Distributed Parameter System. Application Note # 1984 of Rogers Corporation)
6. KARPLUS, W. J & VIDAL J. - Characterization and Evaluation of Hybrid (Analog-Digital) Systems (Proc. of IFAC Tokyo Symposium 1965, pp. 211- 217)
7. HAMBURY, J. N. & BARNEY, G. C. - The Hybrid in Control (6th international hybrid computation meetings)
8. FRANKLIN, M. A. & STRAUS, J. C. - Automatec programming of analog hybrid computers - a review (copyright 1972 by simulation councils, Inc. January 1972)
9. KUROKAWA, K. - All-IC hybrid computer eliminates the patchwork prom programing, Electronics, Março 1969 pag. 100 - 107

10. STEIN, M. - Automatic digital programming of analog computers, IEEE Trans. of E.C. Abril 1963
11. KORN, G. A. - New Techniques for continuous-system Simulation; Simulation, vol. 18, junho 1972, pag. 8 a 15
12. KORN, G. A. & KORN, T. M. - Electronic Analog and Hybrid Computers, segunda edição, McGraw-Hill, Nova Iorque, 1972
13. LANDAUER, J. P. - Program Generation System for Modern Hybrid Computers; EAI - Application Note
14. RUBIN, A. I. - Multi-variable Function Generation for Hybrid Computers; Proc. of Special Symposium on Advanced Hybrid Computing, São Francisco, Calif. Julho de 1975
15. KARPLUS, W. J. - The Changing Role of Analog and Hybrid Computer Systems; Information Processing 68 - North-Holland Publishing Company - Amsterdam - 1969
16. EAI, Hybrid Computer Analysis of Electrocardiographic Data, Boletim Nº ALHC 64031, 1964

ANEXO 1 - DISTRIBUIÇÃO E INTERLIGAÇÕES DOS COMPONENTES NAS PLACAS DE CIRCUITOS IMPRESSOS

Após o projeto de um elemento qualquer a nível de portas, conforme mostrado no texto, seguem-se as tarefas de distribuir seus componentes em placas de circuitos impressos.

Dado o grande número de interligações necessárias na lógica de circuitos digitais praticamente todos os impressos de digitais conduzem necessariamente a uma solução em dupla face, ou seja, ligações em ambos os lados da placa de impresso.

Porém a técnica de dupla face se levada ao extremo de fazer ligações totalmente em uma das faces para cada interconexão leva ainda a problemas de difícil solução além da desvantagem de apresentar soldas também do lado do componente. Isto torna muito difícil retirar o componente para uma substituição que se faça necessária. A saída é fazer todas as soldas numa mesma face (lado das soldas) fazendo interligações de uma para outra face através de furos e alguma forma de contato metálico através destes furos. A técnica mais sofisticada é a de furos metalizados em que ^{se} depõe cobre nos furos para os quais se quer contato entre as faces. Sendo porém extremamente cara tal técnica só é aconselhável para produção em quantidade significativa, jamais para um protótipo como é o caso a enquadrar-se para o nosso sistema híbrido. A saída mais usada neste caso e também aqui adotada é desenhar o impresso como se fora para furos metalizados (todos os pontos são acessíveis numa espécie de matriz X-Y) e passar um fio metálico soldando-o de ambos os lados.

Uma outra coisa importante em relação aos desenhos deste anexo é que se observa que ficam no ar os pinos de V_{CC} e Terra. A razão é que a distribuição de V_{CC} e Terras é feita através de barras de ligação conforme descrito no anexo 2.

As figuras que constam deste anexo não completam o quadro de desenvolvimento de um circuito impresso completo. Na verdade há um desenho intermediário entre o 1º, que contém a distribuição e interligações e os impressos para as duas faces - em duas figuras distintas (vide figuras 1, 2 e 3). Este desenho intermediário contém em 2 cores as ligações nas 2 faces.

ANEXO 2 - TÉCNICAS ESPECIAIS APLICADAS NESTE TRABALHO
CONCEITOS BÁSICOS EM CONVERSÃO A/D E D/A

Discutiremos aqui, de forma sucinta, uma técnica muito interessante e recente de projeto de máquinas sequenciais, uma técnica de distribuição de terras e V_{CC} em placas de impressos; as idéias fundamentais em conversão digital-analógico e analógico digital.

1 - UMA TÉCNICA DE PROJETO DE MÁQUINAS SEQUENCIAIS A PARTIR DE BLOCOS MSI (INTEGRAÇÃO EM MÉDIA ESCALA)

A idéia (RICHARDS) é projetar uma máquina sequencial dada a partir dos blocos abaixo (figura 1).

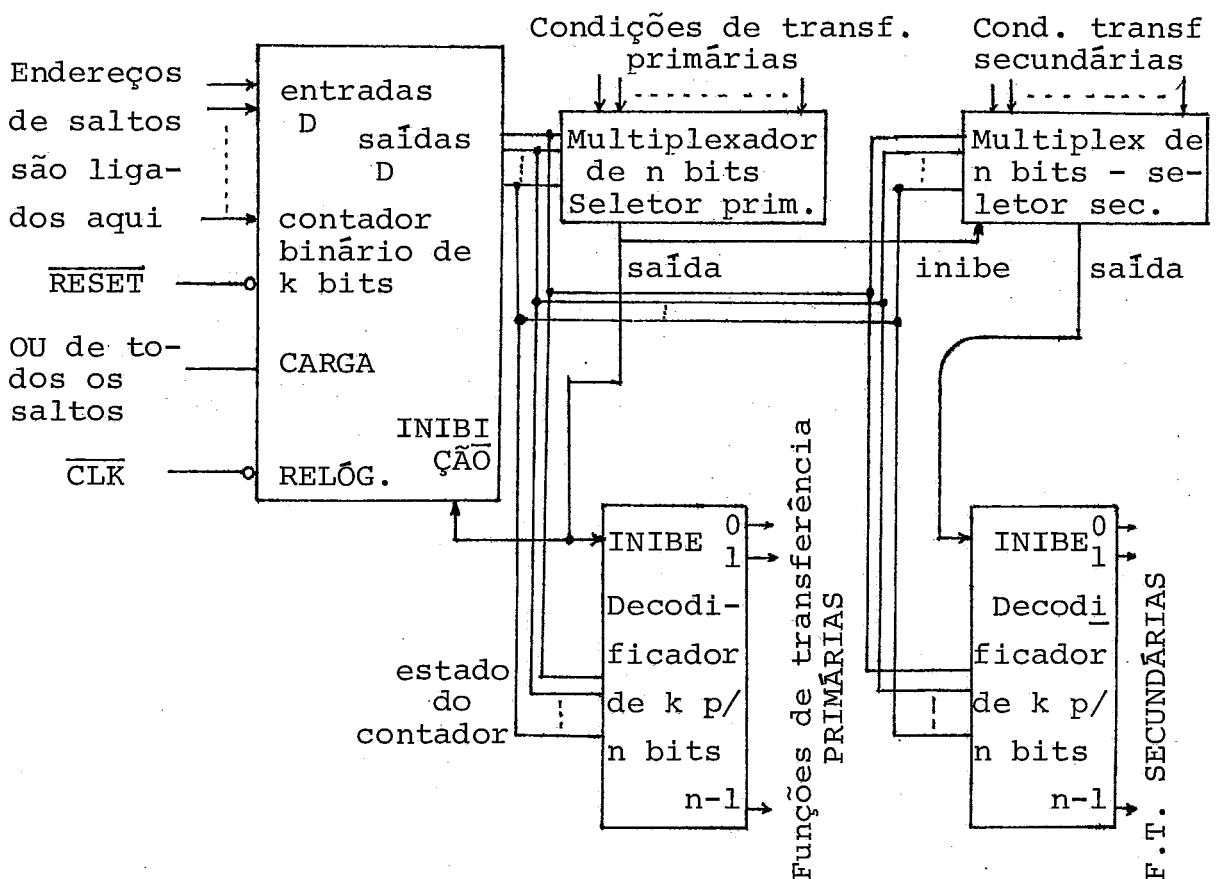


Figura 1 - Blocos básicos para síntese de sequenciais

Vemos assim que um contador programável (pode receber carga - paralela) de k bits, um multiplexador de n bits e um decodificador de n bits são os blocos básicos para implementação de máquinas sequenciais usando esta técnica. Os números k e n estão ligados pela relação $n = 2^k$.

A adição de novos multiplexadores e decodificadores como mostrado na figura 1 permite um tratamento de prioridades. Para a realização de saltos monta-se um combinacional na entrada do contador que dê o estado do salto a partir do estado de origem e posicionando a entrada CARGA (Carga paralela).

A figura 2 mostra o que é uma condição de transferência e uma função de transferência.

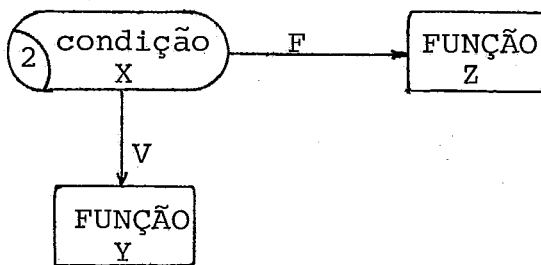


Figura 2 - Condição de transferência e funções de transf.

O número (2) dentro da elipse de teste é o estado atual do contador (da máquina sequencial, por extensão). A condição de transferência pode ter como implementação física um dispositivo de 2 estados como um flip-flop, um pulso, uma chave a termostato, etc. A função de transferência pode iniciar ou parar um processo. Por exemplo, a função Y pode disparar um contador ou dar partida em um motor.

Além da simplicidade no projeto esta técnica permite obter velocidades muito boas para o controlador assim desenvolvido. Por outro lado a sincronização imposta pelo contador programável permite um projeto livre de "hazards".

Um exemplo significativo de uso desta técnica é o projeto do sequenciador da interface lógica.

2 - DISTRIBUIÇÃO DE V_{CC} E TERRA

Os circuitos digitais atingiram tempos de comutação menores que 10 ns mesmo para a lógica TTL. A comutação de 0 para 1 (e vice-versa) num componente implica uma grande variação de impedância num intervalo muito pequeno de tempo. Quando a mudança é de 1 para 0 a impedância cai bruscamente o que equivale a uma solicitação brusca de aumento de corrente.

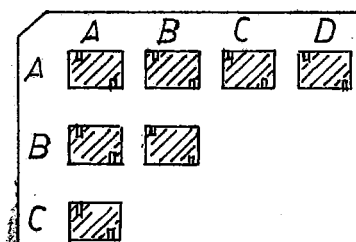
Ora, as linhas de alimentação têm capacitâncias, resistências e indutâncias parasitas distribuídas que atrasam tal fornecimento de corrente a partir da fonte, a despeito da velocidade de resposta desta (há que ser grande). O efeito desta atraso na alimentação é uma queda da tensão V_{CC} no local onde ocorreu a comutação.

Em TTL esta queda pode atingir até um Volt, ou seja 20% da alimentação o que pode provocar mudanças de estado por deficiência de alimentação (aleatória).

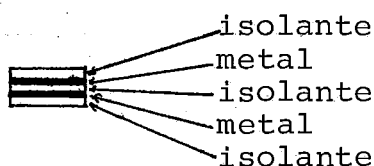
A solução clássica para este problema é adicionar ao circuito capacitores (≈ 10 kpF) entre V_{CC} e Terra para cada integrado ou grupo pequeno de integrados. Este capacitor armazena energia e as fornece nas comutações impedindo queda de tensão significativa na alimentação.

A solução adotada para a maioria das placas de impresso - na tese é proposta (ROGERS) como solução para este problema, eliminando os capacitores de "BY-PASS" e simplificando o próprio impresso. Uma das variantes é o uso de uma placa plana - inteiriça para V_{CC} e outra para Terras, acopladas através de um dielétrico, formando assim um capacitor de "by-pass" único.

A figura 3 ilustra a idéia.



a) Vista frontal



b) vista lateral

Figura 3 - Barra de distribuição de Terras e V_{CC}

3 - ALGUNS DADOS SOBRE CONVERSÃO D/A E A/D

A conversão digital-analógica é a mais simples e pode usar dois esquemas básicos:

- a) Conversor D/A por fonte de corrente com resistências ponderadas

Um conversor deste tipo é visto na figura 4. A rede resistiva R-2R-4R etc. é normalmente construída por deposição de filmes finos de níquel-cromo sobre um substrato isolante e de construção tecnológica simples (a geometria garante a proporcionalidade). Posteriormente são calibradas para corrigir e eventuais desvios (com laser ou com jato de areia). A chave para cada bit é muito simples. O único problema com esta técnica são os valores de resistência atingidos nos bits menos significativos quando se precisa resolução grande. Isto impede que na prática conversores de mais de 8 bits sejam feitos usando esta técnica.

Com relação à figura 4 chamamos ainda a atenção para o fato de que o conversor D/A não tem uma ordem de conversão.

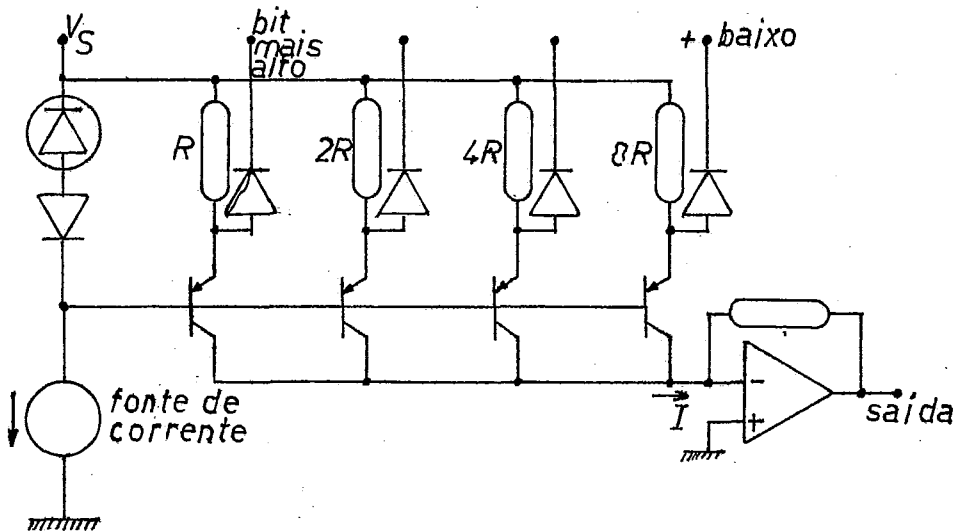


Figura 4 - Conversor D/A por rede resistiva ponderada com fonte de corrente

Uma maneira de contornar o problema do valor final do resistor para o bit mais significativo é mostrada na figura 5.

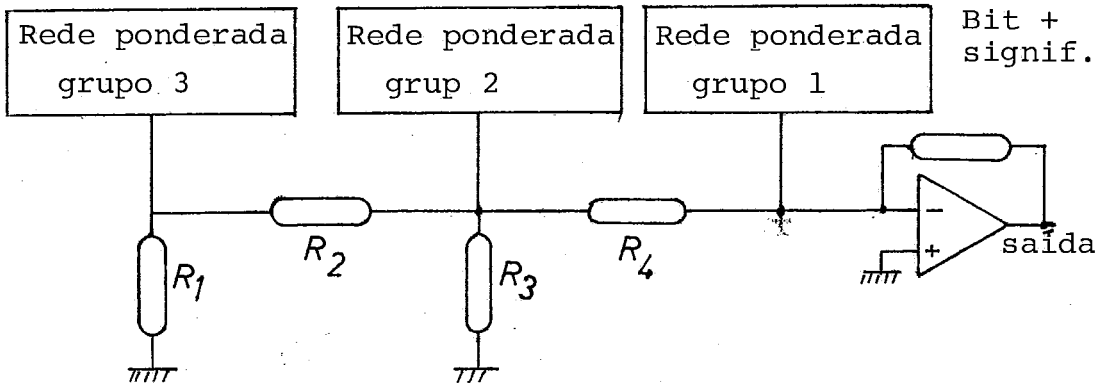


figura 5 - Grupos de resistores ponderados, idênticos, para obter grandes resoluções

Se cada grupo possuir 4 chaves de corrente então os divisores resistivos (R_1 , R_2 e R_3 , R_4) devem reduzir as correntes dos grupos 2 e 3 a $1/16$ do seu valor original.

Uma outra solução de rede resistiva é mostrada na figura 6.

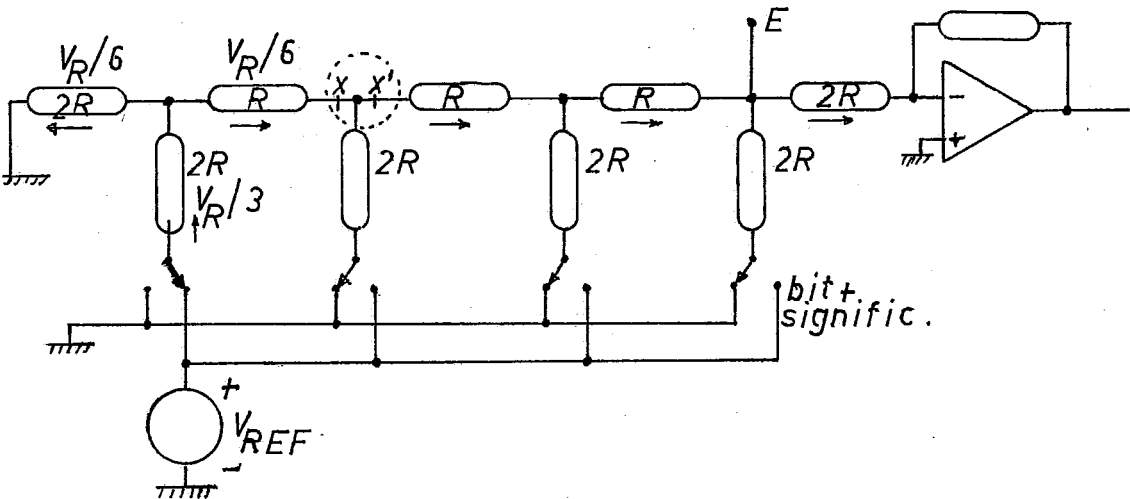


Figura 6 - Conversor D/A com rede R-2R

A parte inferior de cada resistância "vertical" é chaveada entre V_R e Terra. O princípio de funcionamento é a divisão da corrente nos nós R-2R. Olhando-se de x para a direita vemos uma resistância R e para a esquerda vemos uma resistância $2R$. Olhando-se de x' para a direita vemos uma resistância $2R$ e para a esquerda vemos R .

Assim o chaveamento para V_R produz no primeiro nó da rede uma corrente $V_R/3$ que se divide em duas partes iguais, uma indo para a esquerda e outra para a direita. Esta divisão ocorrerá também nos nós seguintes da rede. Assim, mais à esquerda temos o bit menos significativo

A saída pode ser uma corrente na entrada do amplificador-operacional ou uma tensão no ponto E.

Este esquema, excelente do ponto de vista da confecção da rede resistiva apresenta problema na implementação das chaves eletrônicas que ligam $2R$ à Terra ou a V_R conforme o bit em questão valha 0 ou 1.

Observamos ainda que V_R aparecennormalmente com o valor - 6,3 volts que é a tensão na qual o coeficiente de temperatura dum Zener é zero.

b) Conversão analógico-digital

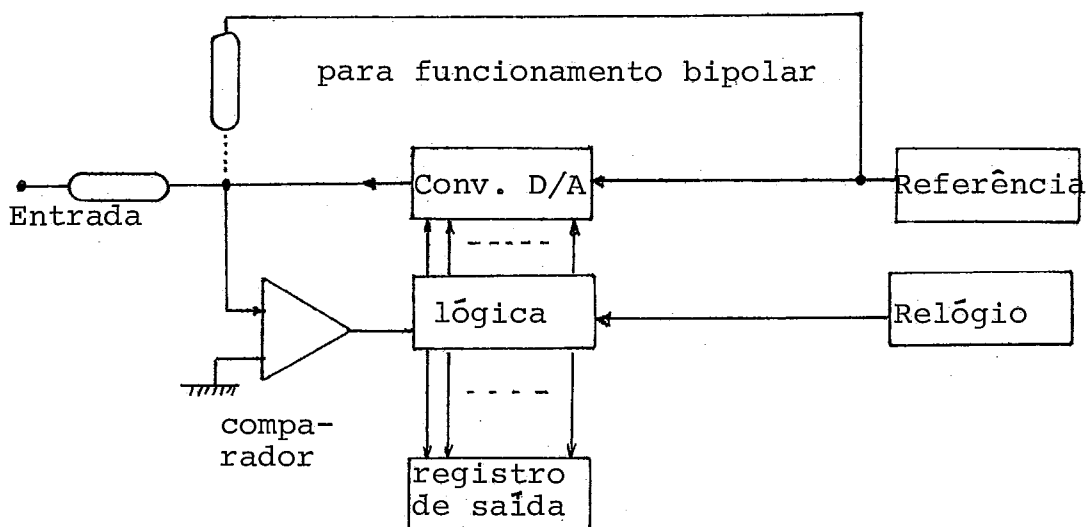
O problema é bem mais complicado e há várias técnicas possíveis. Discorreremos rapidamente sobre cada uma delas demonstrando um pouco mais na técnica de projeto do conversor usada na tese. São os seguintes:

- por contador - um contador conta a partir de zero e sua saída é comparada ao sinal analógico a converter. Quando surge a igualdade o contador é bloqueado e o número que apresenta em sua saída é o resultado da conversão. Embora simples e preciso apresenta as desvantagens de ser lento e com tempo de conversão dependente do valor do sinal a converter.

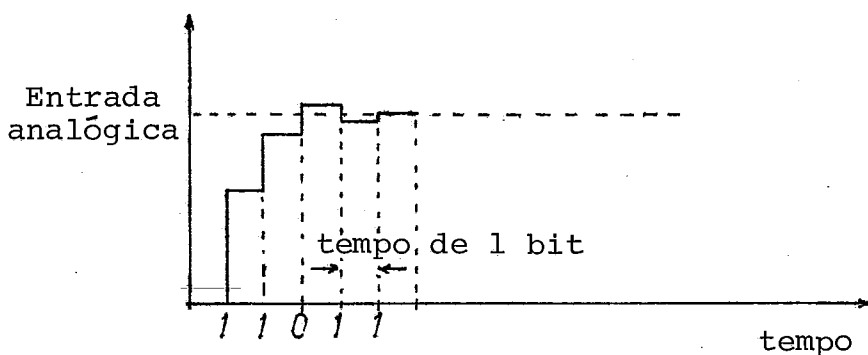
- integração por dupla rampa. Um contador conta um tempo T_1 em que o sinal a converter é aplicado à entrada de um integrador. A seguir conta o tempo T_2 de descida deste sinal até zero com a entrada do integrador tendo uma referência negativa. Então o sinal convertido será $E_{in} = (T_2 / T_1) V_R$. Variações desta técnica são o conversor por rampa simples e por tripla rampa. O conversor por dupla rampa apresenta vantagens significativas: independência da frequência de clock e do capacitor de integração dependendo apenas de uma boa voltagem de referência. Devido à integração uma boa rejeição de ruído é também conseguida. Suas desvantagens são: tempo de conver -

são longo e dependente do sinal a converter o que é ruim num caso em que queremos maximizar a frequência de aquisições.

- por aproximações sucessivas. A figura 7 mostra um conversor deste tipo que será discutido em mais detalhe por ser usado na tese.



(a)



(b)

Figura 7 - a) esquema básico do conversor A/D por aproximações sucessivas

b) esquema das conversões

Tal conversor opera com um tempo de conversão fixo. A idéia é comparar o sinal de entrada com a saída do conversor D/A calculando um bit a cada pulso do relógio. Assim no pri-

meiro passo o bit mais significativo e que vale a metade da escala é comparado à entrada. Se menor tal bit é 1. No 2º passo é comparado o primeiro bit já calculado junto com o segundo em significação, determinando tal bit. O processo continua até a determinação do menos significativo em n passos para n bits.

Este comparador pode ser de precisão boa muito embora V_R , comparador, conversor D_A somem seus erros para dar o erro de conversão. O conversor usado na tese converte 12 bits em 8 micro-segundos. Os mais rápidos podem converter até 10 bits - em 1 micro-segundo usando esta técnica.