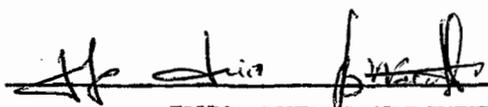


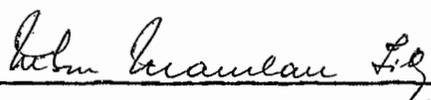
PROJETO DE UM  
SISTEMA DE E/S  
PARA UMA  
UCP DE MÉDIO PORTE

Júlio Salek Aude

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS (M.Sc.).

Aprovada por

  
\_\_\_\_\_  
JAYME LUIZ SZWARCFITER  
Presidente

  
\_\_\_\_\_  
NELSON MACULAN FILHO

  
\_\_\_\_\_  
IVAN DA COSTA MARQUES

RIO DE JANEIRO - RJ  
BRASIL  
DEZEMBRO DE 1978

A G R A D E C I M E N T O S

Aos colegas ADALBERTO AFONSO BARBOSA, ADRIANO JOAQUIM DE OLIVEIRA CRUZ, AGEU CAVALCANTI PACHECO JUNIOR, ARMANDO DRUMMOND, HUMBERTO DOS SANTOS MELLIN, MÁRIO FERREIRA MARTINS e ROGÉRIO ANTONIO SAMPAIO PARENTE VIANNA pelo constante apoio, auxílio técnico e, principalmente, pelo espírito de companheirismo demonstrado durante todo o desenvolvimento do projeto.

Aos estagiários FRANCISCO ROMINO, PEDRO PAULO NOVELINO e RENE JAVIER UZEDA DE LEON pelo trabalho desenvolvido na construção do projeto e dos equipamentos de suporte para sua depuração.

A JACIRA pela infinita paciência no trabalho de datilografia.

A JAYME LUIZ SZWARCFITER pelo apoio pessoal dado ao projeto a partir de 1978.

E, finalmente, a EBER ASSIS SCHMITZ, um dos idealizadores do projeto, pelo grande auxílio técnico dado durante a fase de definição da arquitetura geral do sistema.

## RESUMO

Este trabalho descreve o projeto de um Sistema de Entrada e Saída para um processador de médio porte em desenvolvimento no NCE/UFRJ.

Inicialmente são apresentados os motivos que nos levaram a realizar tal projeto. Em seguida é feita uma descrição geral do projeto do processador como um todo, visando uma melhor compreensão do restante do trabalho, que descreve, em detalhes, o funcionamento dos diversos circuitos necessários a execução das funções sob responsabilidade do Sistema de E/S.

Para finalizar são feitas algumas considerações sobre a metodologia que vem sendo adotada na implementação do projeto e sobre as perspectivas de desenvolvimento de futuros trabalhos, que poderão servir para dar maiores recursos ao primeiro protótipo do processador a ser construído.

A B S T R A C T

This work presents the design of an Input/Output System for a medium size processor in development in NCE/UFRJ.

The reasons that made us decide to do such a design are presented at the beginning of the work. Then, a general description of the complete design of the processor is made, trying to make easier the understanding of the rest of the work, that describes, in detail, the behaviour of the several circuits that are necessary for the execution of the functions under responsibility of the I/O System.

In the end of the work, some considerations are made about the methodology that is being used during the implementation of the design and about the perspectives of development of future works, that may give more power to the first prototype of the processor that will be built.

ÍNDICE

I	- INTRODUÇÃO .....	1
II	- DESCRIÇÃO GERAL DA UCP .....	4
	1 - Introdução .....	4
	2 - Características Gerais do Processador e Memória .....	4
	3 - O Sistema de E/S .....	13
	3.1 - Sistema de Relocação de Endereços do Processador .....	14
	3.2 - Espaço de Endereçamento .....	15
	3.3 - Registros Internos da UCP .....	15
	3.4 - Detecção de Erros .....	16
	3.5 - Interrupções .....	17
	3.6 - Operações de Acesso Direto .....	17
III	- SISTEMA DE RELOCAÇÃO DE ENDEREÇOS DO PROCESSADOR .....	18
	1 - Introdução .....	18
	2 - Espaço de Endereçamento .....	19
	3 - Paginação da Memória .....	21
	4 - As Tabelas de Relocação .....	22
	5 - Seleção da Tabela de Relocação .....	23
	5.1 - Determinação do Modo .....	24
	5.2 - Determinação do Espaço I ou D .....	24
	6 - Geração do Endereço Real .....	26
	7 - Decodificação do Endereço Real .....	30
	8 - O Registro Descritor de Página .....	31
	9 - Abortos e Traps do Sistema de Relocação .....	33
	10 - Operações de E/S no Registro de Endereço de Página e no Registro Descritor de Página .....	37
	11 - Registros do Sistema de Relocação .....	38
IV	- REGISTROS INTERNOS DO PROCESSADOR .....	44
	1 - Introdução .....	44
	2 - Registro de Comprimento de Memória .....	44
	2.1 - Aborto por Tentativa de Acesso a Posição Inexistente de Memória .....	44
	3 - Registro de Identificação do Sistema .....	44
	4 - Registro de Limite da Stack .....	45
	4.1 - Violação Amarela da Stack .....	45
	4.2 - Violação Vermelha da Stack .....	45
	5 - Registro de Erro da UCP .....	47
	6 - Palavra de Status do Processador .....	48

6.1 - Operação de Escrita na Palavra de Status do Processador	49
7 - Registro de Pedido de Interrupção por Programa .....	56
8 - Registros do Sistema de Relocação .....	58
9 - Registros de Endereço de Página e Registros Descritores de Página .....	59
10 - Registros de Chaves e Lâmpadas .....	59
11 - Registro de Parada do Microprograma .....	59
12 - Operação de Leitura nos Registros Internos .....	59
V - ABORTOS E TRAPS .....	62
1 - Introdução .....	62
2 - Tipos de Aborto .....	62
2.1 - Erro de Endereçamento Impar .....	62
2.2 - Tentativa de Acesso a Posição Inexistente de Memória ..	64
2.3 - Abortos do Sistema de Relocação .....	64
2.4 - Violação Vermelha do Limite da Stack .....	64
2.5 - Ocorrência de Timeout na Barra de Periféricos .....	64
2.6 - Erro de Paridade na Barra de Periféricos .....	64
2.7 - Erro de Paridade no Sistema de Memória .....	66
3 - Tipos de "Traps" .....	67
3.1 - Operação do Pannel .....	67
3.2 - Erro de Paridade no Sistema de Memória .....	67
3.3 - "Traps" dos Sistema de Relocação .....	67
3.4 - Violação Amarela do Limite da Stack .....	67
3.5 - Falha na Alimentação .....	67
3.6 - Erros em Operações em Ponto Flutuante .....	68
VI - CONTROLE GERAL DAS OPERAÇÕES DE E/S .....	69
1 - Introdução .....	69
2 - Estrutura Geral do Controle de uma Operação de E/S .....	69
3 - Esquema Geral do Circuito de Controle das Operações de E/S ..	72
4 - Diagrama de Tempo .....	74
VII - CONTROLE DAS OPERAÇÕES DE E/S COM REGISTROS INTERNOS .....	80
1 - Introdução .....	80
2 - Estrutura Geral do Circuito de Controle .....	80
3 - Operações de E/S com Registros Internos não Pertencentes às Tabelas de Relocação .....	81
4 - Operações de E/S com Registros Internos Pertencentes às Tabelas de Relocação .....	82
VIII - CONTROLE DAS OPERAÇÕES DE E/S NA BARRA DE PERIFÉRICOS .....	85

1 - Introdução .....	85
2 - Registros de Periféricos .....	85
3 - Definição do Protocolo .....	86
3.1 - Operações de Leitura .....	87
3.2 - Operações de Escrita .....	89
4 - Estrutura Geral do Circuito de Controle .....	89
IX - OPERAÇÕES DE E/S COM O SISTEMA DE MEMÓRIA .....	95
1 - Introdução .....	95
2 - Descrição da Barra de Comunicação com o Sistema de Memória ..	95
3 - Estrutura Geral do Controle das Operações de E/S com o Sistema de Memória .....	96
X - CIRCUITO DE PRIORIDADE E DE CONTROLE DE INTERRUPÇÕES E OPERAÇÕES DE ACESSO DIRETO .....	101
1 - Introdução .....	101
2 - Descrição do Circuito de Prioridade .....	101
2.1 - Notificação de Abortos .....	102
2.2 - Notificação de "Trap" .....	103
2.3 - Notificação de Ocorrência de Pedido de Interrupção ....	104
2.4 - Notificação de "Trap" devida ao acionamento do bit T ..	105
3 - Recepção do Vetor de Interrupção .....	105
4 - Descrição da Microrrotina de Serviço .....	110
5 - Controle das Operações de Acesso Direto .....	113
XI - SISTEMA DE RELOCAÇÃO DE ENDEREÇOS DA BARRA DE PERIFÉRICOS .....	116
1 - Introdução .....	116
2 - Acesso às Tabelas de Relocação .....	116
3 - Operação de Acesso a uma Posição de Memória .....	117
4 - Operação de Acesso a um Registro do SREBP .....	122
5 - Operação de Acesso a Registros do Sistema de Memória .....	123
6 - Multiplexação de Dados no SREBP .....	123
XII - INICIALIZAÇÃO DO SISTEMA .....	126
1 - Introdução .....	126
2 - Inicialização por Ativação da Alimentação do Sistema .....	126
3 - Inicialização por Execução da Instrução RESET em modo Kernel.	127
4 - Inicialização por Acionamento da Tecla Início no Painel .....	127
XIII - CONSIDERAÇÕES SOBRE A IMPLEMENTAÇÃO DO PROJETO E CONCLUSÕES .....	128
XIV - BIBLIOGRAFIA .....	137

## I - Introdução

Este trabalho descreve o projeto de um Sistema de Entrada e Saída para uma Unidade Central de Processamento (UCP) de médio porte, compatível em "software" com o PDP-11/70 da Digital Equipment Corporation (D.E.C.) , que vem sendo desenvolvido por um grupo de projetistas no Núcleo de Computação Eletrônica da U.F.R.J.

A idéia de se projetar e construir uma UCP de médio porte no NCE/UFRJ surgiu em meados de 1975. A arquitetura geral do sistema foi definida com a participação de 12 membros do grupo de projetistas de "hardware" do NCE ainda no ano de 1975. A continuidade do projeto, no entanto, se viu bastante prejudicada pela redução do pessoal técnico nele envolvido a partir de 1976. Esta redução se deu por diferentes causas tais como destacamento de pessoal para desenvolver projetos considerados mais prioritários pelo NCE ou para realizar curso de doutoramento no exterior e afastamento voluntário e involuntário da instituição de parte do pessoal envolvido no desenvolvimento do projeto. Como consequência, ao final de 1976 havia apenas 4 pessoas engajadas no trabalho de execução do projeto. Somente em 1978 passamos a contar com a contribuição de mais um projetista, de um coordenador administrativo e de três estagiários de engenharia.

A decisão de se projetar esta UCP nasceu como consequência natural do espírito que acreditávamos haver no país e no próprio NCE de se contribuir de alguma forma com o esforço que se vinha fazendo, principalmente em Universidades, no sentido de se obter um completo domínio das técnicas de projeto de computadores digitais. Este esforço havia atingido o ponto máximo, na época, com a produção do G-10, resultado de um trabalho conjunto de equipes existentes na USP e na PUC-RJ.

O projeto de uma UCP de médio porte representaria, então, sem dúvida alguma, um avanço em relação ao estágio atingido com a conclusão do projeto G-10. Dois motivos, então, nos levaram a optar pelo desenvolvimento de uma UCP compatível em "software" com alguma máquina já existente.

O primeiro motivo, o qual, particularmente, não considero de grande relevância, foi a constatação de que o principal argumento que era utilizado por aqueles que tentavam atacar o projeto G-10 e impedir a sua industrialização era o fato de seu "software" ser novo, desconhecido dos usuários e, provavelmente, insuficientemente testado e depurado. Muito embora estas argumentações sejam verdadeiras é fora de dúvida, que elas só conseguem ter significância pelo fato de não haver uma política de desenvolvimento para o setor de computação firmemente decidida a dar total apoio à tecnologia produzida no país. É também sabido que tais argumentações serviram e servem, em mui-

tos casos, para dar uma roupagem técnica a uma tomada de posição que favorece aos grupos não interessados no desenvolvimento de uma tecnologia nacional no setor de computação.

O segundo motivo foi o fato de não se dispor no NCE de recursos e de pessoal técnico na forma que seria necessária para assegurar o desenvolvimento completo de um "software" original em prazo curto. Isto não representaria um problema caso não estivéssemos, já na época, convencidos de que era muito importante se chegar, com rapidez, ao produto final, ou seja, um produto possuindo "hardware" e "software" desenvolvidos e suficientemente testados.

Este sentimento de pressa se devia muito mais a motivos de ordem tática do que ao fato de ter sido feita a constatação de haver necessidade real do produto a curto prazo no país. Acreditávamos, e ainda acreditamos, ser de grande importância o desenvolvimento de projetos no país que visem a preencher, rapidamente, as lacunas existentes atualmente no Brasil no setor de computadores de médio e grande porte. A existência de produtos projetados aqui, nesta faixa, pode vir a ser, em futuro muito próximo, fundamental para a sustentação de um processo de luta que assegure ao país algum controle e domínio sobre a indústria de computadores.

Esta nossa preocupação se justificou na prática quando a primeira tentativa foi feita, recentemente, por uma grande empresa para obter permissão para fabricação de computadores de médio porte no Brasil, uma vez que no setor de mini computadores, com a decisão tomada pela CAPRE, nenhuma possibilidade lhe restou.

Certamente, se tentativas deste tipo se consumarem, todo o esforço de criação de uma indústria nacional para o setor será perdido. É difícil conceber que as indústrias nacionais já criadas no setor de computação e eletrônica digital possam sobreviver ou, pelo menos, crescer com a existência de grande empresas estrangeiras lançando produtos destinados, aparentemente, a atender faixas de mercado ainda não servidas pela indústria nacional, mas que, em realidade, viriam a concorrer com os produtos aqui desenvolvidos - em todas as faixas do mercado, conquistando-as, certamente, através das conhecidas práticas de manipulação de preços, de realização de propagandas exaustivas e enganosas e de oferecimento de eficiente apoio ao comprador.

Em vista desta situação e com as disponibilidades de recursos material e humano que dispúnhamos, a decisão de se fazer uma UCP compatível - em "software" com alguma máquina já existente nos pareceu correta, mesmo considerando que, com ela, fazíamos uma clara opção de não abrir espaço no projeto para intensificação do desenvolvimento de "software" básico no país.

A escolha do PDP-11/70 da D.E.C. como modelo a ser seguido se deu devido a três motivos básicos. Primeiramente, os computadores da linha PDP-11 eram já razoavelmente conhecidos pelos participantes do projeto. Em segundo lugar, o PDP-11/70 era um modelo recentemente lançado pela D.E.C. e praticamente inexistente no Brasil, o que reduzia as possibilidades de o produto vir a ser considerado obsoleto a curto prazo no país, tomando-se por base aqui, as condições em que normalmente é provocada a obsolescência de um produto na área de computação. Em terceiro lugar, por ser o PDP-11/70 um computador de porte médio, acreditamos que o desenvolvimento de uma UCP do seu porte proporcionará ao grupo de projetistas oportunidades de tomar conhecimento de experiências e obter soluções para problemas ainda consideravelmente desconhecidos no país.

Consideramos que este projeto se enquadra perfeitamente dentro da filosofia de trabalho que acreditamos ser a mais adequada para uma instituição como o NCE. Em Universidades, onde o investimento em trabalho de pesquisa não necessita estar vinculado às condições que o mercado oferece de retorno rápido e seguro, é que se pode e se deve desenvolver projetos que demandem um longo prazo para maturação ou projetos cujo objetivo seja capacitar técnicos no país para desenvolver tecnologias já disseminadas aqui, mas que permanecem desconhecidas por nós, apesar da real importância que possam ter para a sociedade.

Mesmo com as limitações do projeto desta UCP, acreditamos que seja um passo a mais na direção que nos estamos propondo seguir.

## II - DESCRIÇÃO GERAL DA UCP

### 1 - Introdução

O objetivo deste capítulo é apresentar de forma geral uma descrição do Sistema de E/S com a finalidade de se obter uma visão global do projeto que será descrito em detalhes, mas, por partes, nos demais capítulos deste trabalho.

No entanto, para se fazer esta descrição geral e para que citações a serem feitas em todo o restante do trabalho possam ser melhor compreendidas, é de grande importância que antes se faça uma breve apresentação do projeto da UCP como um todo, mostrando as suas características mais importantes e destacando os aspectos principais existentes no projeto da Unidade Aritmética, da Unidade de Controle, do Sistema de Memória e do Painel.

### 2 - Características Gerais do Processador e Memória

O fato de se ter como proposta a realização do projeto de uma UCP compatível em "software" com o PDP-11/70 da D.E.C., não implicou, de forma alguma, na adoção de uma filosofia de trabalho que não considerasse importante a busca de soluções novas e criativas para a execução do projeto.

Apenas no plano de definição da máquina, do ponto de vista do programador, é que poucas alterações puderam ser feitas. A exigência de compatibilidade em "software" com o PDP-11/70 determinava, esta definição, e dela resultaram duas importantes diretrizes para o projeto. A primeira delas é que a UCP a ser projetada fosse capaz de executar todo o conjunto de instruções do PDP-11/70 e que a execução de qualquer instrução do conjunto provocasse, do ponto de vista do programador, efeitos idênticos nesta UCP e no PDP-11/70. A segunda diretriz é que a UCP operasse com os registros internos, indicadores de erro, "status" e condições de operação do sistema, de forma idêntica ao PDP-11/70.

Uma terceira diretriz foi definida pelo fato de termos considerado que seria bem mais interessante permitir que, a esta UCP, pudessem ser acoplados todos os periféricos da D.E.C. sem a necessidade de utilização de "interfaces". A adoção desta idéia traz como consequência a utilização de um protocolo de troca de sinais na barra de comunicação da UCP com periféricos, idêntico ao empregado no PDP-11/70.

A adoção destas três diretrizes permitirá a utilização da UCP sob controle de Sistemas Operacionais desenvolvidos pela D.E.C. para computadores da linha PDP-11, bem como o acoplamento a ela de uma grande variedade de periféricos.

A arquitetura geral do sistema é mostrada de forma simplificada

da na figura II-1. O processador, constituído pela Unidade Aritmética, Unidade de Controle e Sistemas de E/S, se comunica com os periféricos e com o Sistema de Memória através de barras de comunicação independentes. O Sistema de Memória pode ainda ser acessado por periféricos ligados a Barra de Periféricos, através de um Sistema de Relocação de Endereços (SREBP), e por periféricos de alta velocidade (discos e fitas magnéticas) ligados a Controladores de E/S em operações de acesso direto à memória.

O processador possui 3 modos de operação: Kernel, Supervisor e Usuário, sendo o modo Kernel o modo mais privilegiado. Neste modo qualquer instrução da máquina pode ser executada. O Sistema Operacional executa em modo Kernel as rotinas de tratamento de erro, as rotinas de entrada e saída e de gerência de memória, etc. No modo Supervisor, a execução de certas instruções de controle da máquina não são permitidas, bem como no modo Usuário. Os programas que tratam de arquivos do sistema e os programas compiladores, editores e montadores são executados em modo Supervisor. A indicação do modo corrente de operação do processador é dada por dois bits da Palavra de Status do Processador, que possui, ainda, outros dois bits indicadores do modo anterior de operação do processador.

A Unidade Aritmética opera com dois tipos de números: inteiro e ponto flutuante. Os números inteiros podem ter 16 bits, formato curto, ou 32 bits, formato longo. Exceto no caso das instruções de multiplicação e divisão, o formato curto é o adotado pelas instruções que operam com números inteiros. Os números inteiros negativos são representados em complemento a 2. Como uma palavra de memória é composta de 16 bits, um número inteiro ocupa 1 ou 2 palavras para a sua representação, conforme o seu formato seja curto ou longo, respectivamente.

Os números em ponto flutuante são representados com a mantissa (parte fracionária) em sinal e magnitude e expoentes polarizados. O expoente polarizado é representado em 8 bits, estando o seu valor verdadeiro compreendido na faixa de -128 e +127. A mantissa, conforme a precisão adotada seja simples ou dupla, possui 24 ou 56 bits respectivamente. Como a mantissa é sempre normalizada, o bit imediatamente a direita do ponto é sempre 1. Sendo o seu valor conhecido, na representação da mantissa se utilizam apenas 23 ou 55 bits. O bit mais significativo, igual a 1, só é inserido no momento em que se vai operar com o número.

Um número em ponto flutuante é representado em 2 ou 4 palavras de 16 bits sendo que a primeira possui 1 bit para o sinal, 8 para o expoente e o restante para a parte mais significativa de magnitude da mantissa. A parte restante da magnitude é armazenada nas palavras que se seguem.

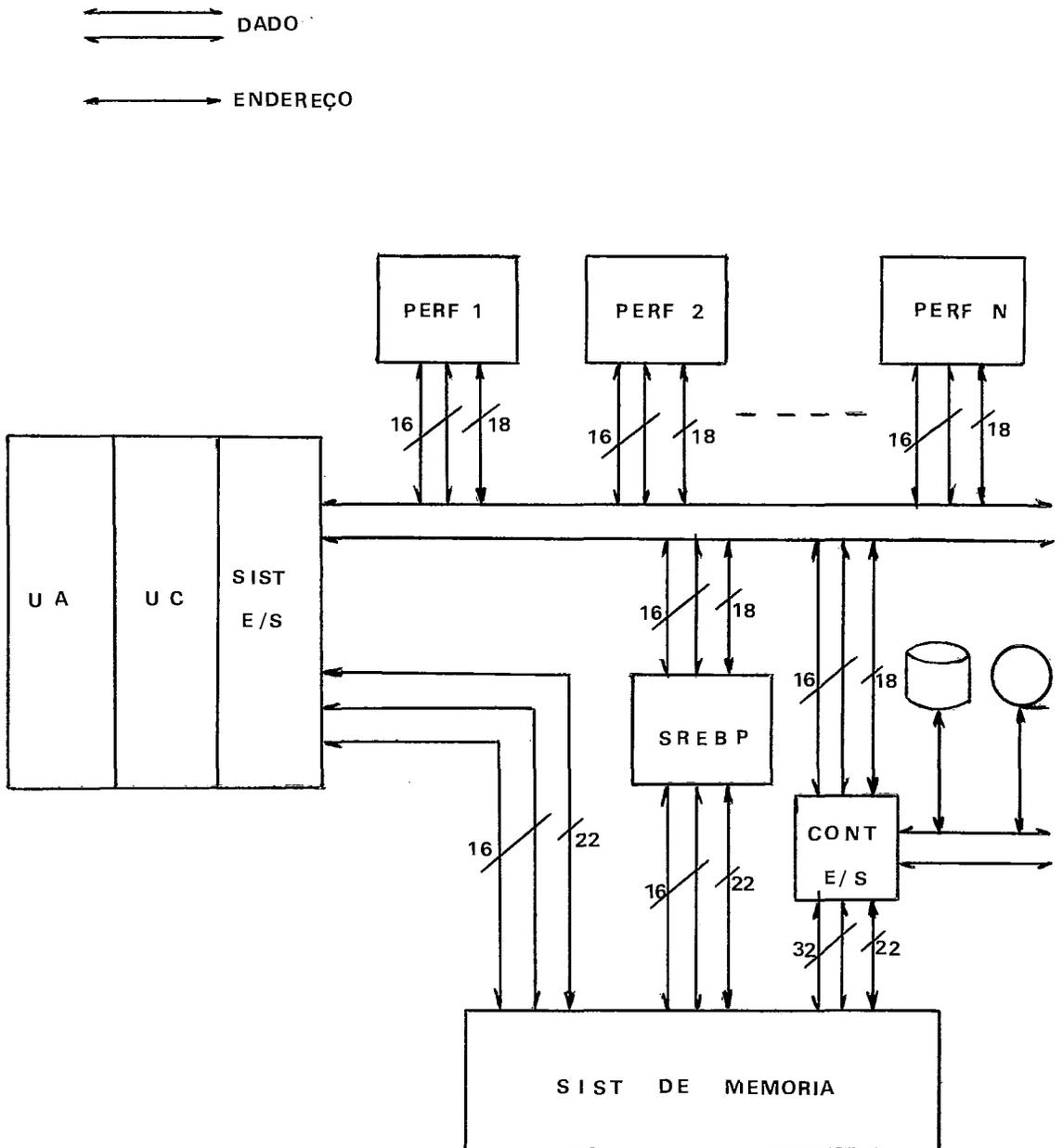


fig II-1

Na Unidade Aritmética existem dois tipos principais de registros: os registros de trabalho e os registros referenciáveis por instrução.

Dentre os registros referenciáveis por instrução temos os REGISTROS GERAIS mostrados na figura II-2, que são 16 ao todo: R0 a R5 (conjunto 0 e 1), R6 (um para cada modo: Kernel, Supervisor e Usuário) e R7. Os registros gerais podem ser usados de muitos modos:

- a) Acumulador - o dado está contido no registro.
- b) Apontador - o conteúdo do registro é o endereço do operando.
- c) Apontador autoincrementado ou autodecrementado - o conteúdo do registro é o endereço do dado sendo automaticamente incrementado ou decrementado para apontar o dado seguinte, facilitando, dessa forma, o acesso a elementos de uma tabela. O valor que é adicionado ou subtraído do conteúdo do registro é função do tipo de operando utilizado pela instrução. Este valor será 1 ou 2 conforme a instrução realize operações inteiras com bytes ou palavras ou será 4 ou 8 conforme a instrução realize operações em ponto flutuante utilizando números em precisão simples ou dupla.
- d) Apontador Indexado - o conteúdo do registro é somado ao índice, conteúdo da palavra de memória seguinte a ocupada pela instrução, resultando no endereço do operando.

A existência de dois conjuntos de 6 registros gerais, R0 a R5, visa a agilizar o procedimento de tratamento de interrupções pela UCP. - Normalmente um dado programa só utiliza um dos conjuntos, sendo o outro utilizado pelas rotinas de tratamento de interrupção. A definição de qual dos dois conjuntos está sendo utilizado por um dado programa é feita por um bit da Palavra de Status do Processador.

Embora qualquer registro geral possa ser usado como apontador de "stack" sob controle do programa, algumas instruções associadas com subrotinas ou serviços de interrupção usam automaticamente o registro R6 como apontador de "stack". Há um registro R6 para cada modo de operação do processador. - O registro R7, por sua vez, é usado pelo processador como Contador de Programa. Cada vez que uma instrução ou índice é lido da memória, o conteúdo de R7 é automaticamente incrementado de 2, para que passe a apontar o endereço da palavra seguinte de memória.

Na Unidade Aritmética existem também 6 acumuladores de ponto flutuante com 64 bits, AC0 a AC5, referenciáveis por instrução. Nas instruções de ponto flutuante de 2 operandos um dos operandos encontra-se em um desses acumuladores e o outro geralmente na memória.

Tanto os registros gerais como os acumuladores de ponto flutuante se encontram dentro de uma memória na Unidade Aritmética, denominada MEMÓRIA RASCUNHO.

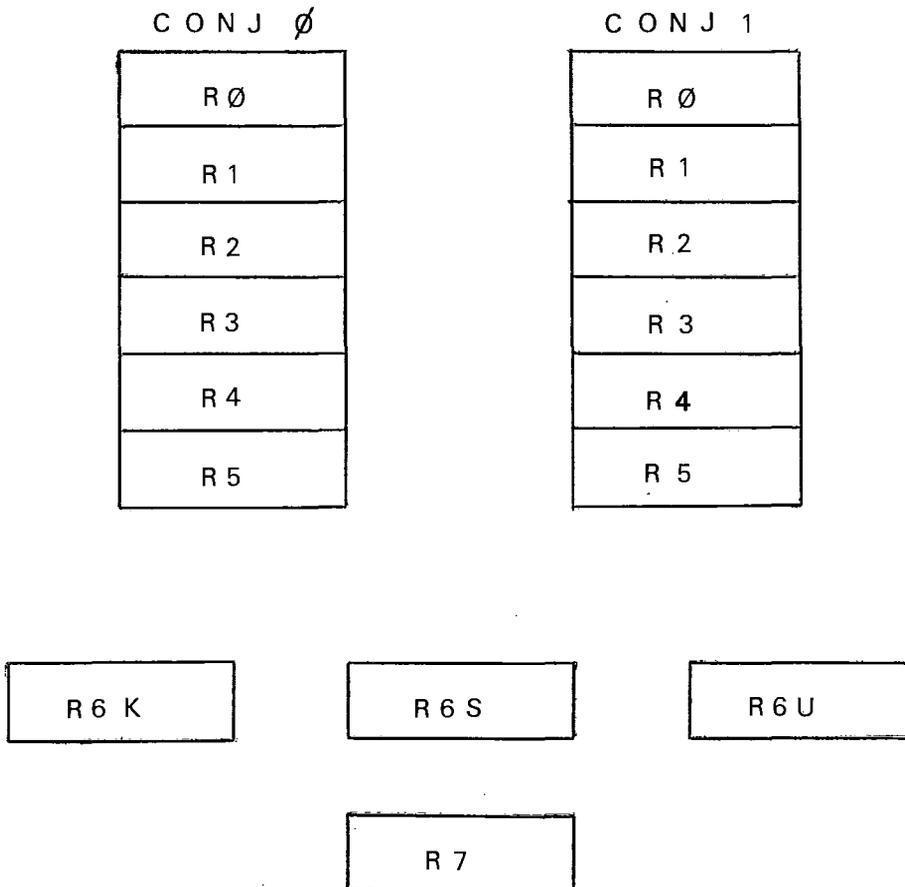


fig II-2

Uma descrição mais detalhada do projeto da Unidade Aritmética pode ser encontrada no trabalho de Mario Ferreira Martins<sup>4</sup>.

A Unidade de Controle é microprogramada, sendo a memória implementada com memória tipo PROM constituída por 512 palavras de 128 bits. O tempo de execução de uma microinstrução é dado por um relógio central que gera uma onda quadrada com período de 40ns. A execução de uma microinstrução pode ser feita em três ou quatro períodos de 40ns. A escolha do número de períodos é feita por um bit de controle existente na microinstrução.

O diagrama da fig. II.3 ilustra os estados principais e secundários

dários, existentes no circuito gerador de tempos da Unidade de Controle, para uma microinstrução executada em 3 períodos do relógio central.

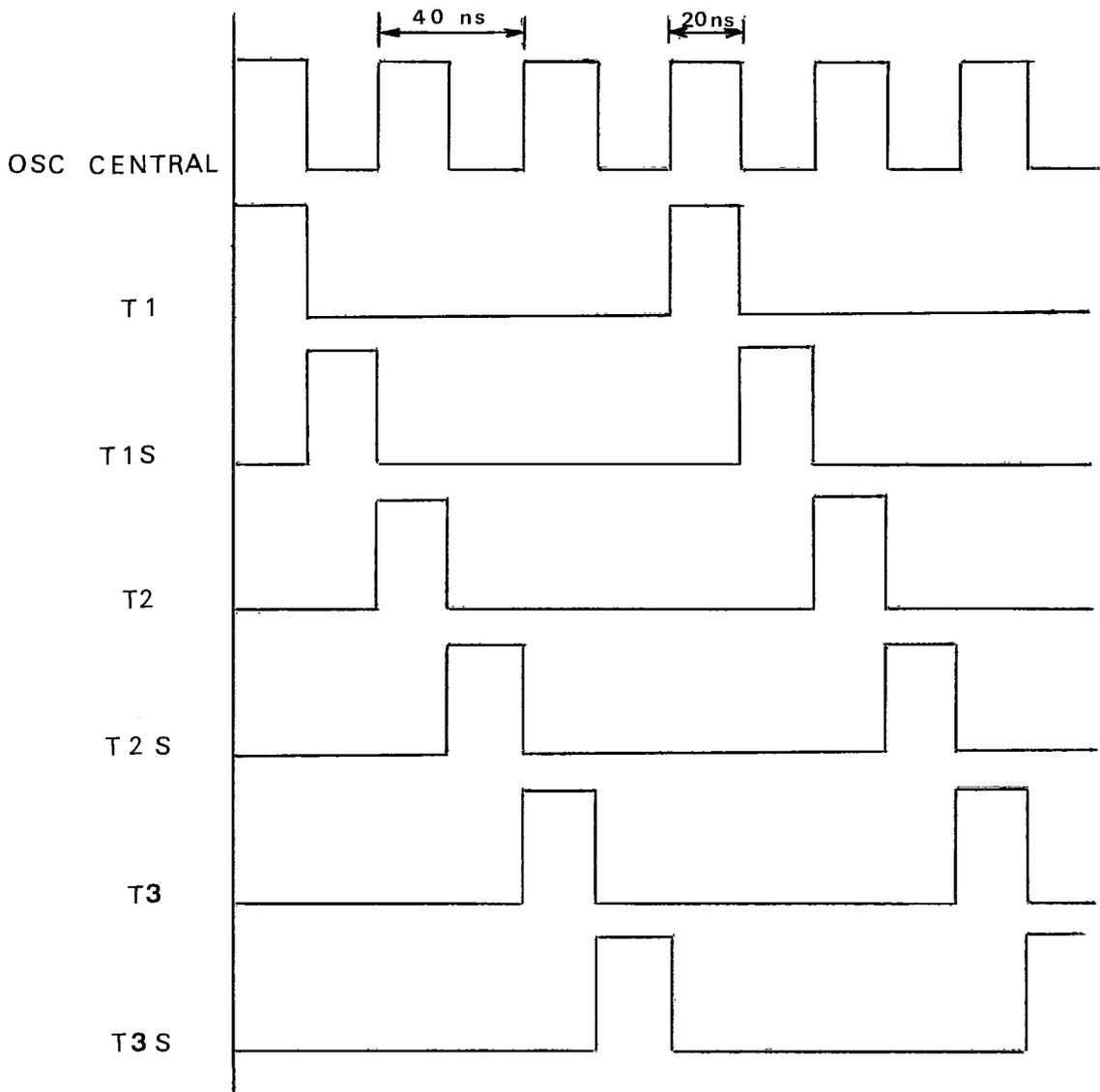


fig II-3

Caso fossem necessários quatro períodos para execução de uma microinstrução, o quarto estado seria inserido entre T2 e T3.

A palavra de microprograma, ou seja, a microinstrução, é organizada em campos e cada campo controla sempre o mesmo ponto da UCP, podendo os campos serem codificados ou não. Alguns desses campos estão logicamente agrupados e formam quatro grupos de acordo com a sua função na microinstrução:

a) Campos de Liberação - controlam a transferência de dados e endereços entre registros e outras unidades através das barras de comunicação interna do processador.

b) Campos de Controle - definem uma grande variedade de funções que incluem o controle das operações lógicas e aritméticas, funções de contagem, carga e deslocamento de registros, etc.

c) Campos para Comunicação e Sincronismo com o Sistema de E/S - As operações de E/S ocorrem em paralelo com a execução dos microprogramas. Quando é necessária uma operação de E/S, a Unidade de Controle define, através destes campos, o tipo de operação (escrita ou leitura de operandos, endereços, instruções ou índices) e continua a execução do microprograma até o ponto em que se torna necessário parar. Este ponto é diferente no caso de uma leitura ou escrita. Em operações de leitura o avanço é feito até que a informação requisitada seja indispensável ao prosseguimento do microprograma. No caso de escrita, o microprograma avança até o ponto em que é necessário realizar uma nova operação de E/S.

d) Campo de Endereçamento - Os bits destes campos fazem o sequenciamento das microinstruções. Cada palavra de microprograma possui um campo de 9 bits, chamado endereço base, que dá a localização da próxima microinstrução, que pode ser qualquer endereço da memória de controle. Associado ao endereço base existe um campo que seleciona pontos da máquina para serem testados e, conforme o resultado do teste, o endereço base é alterado, modificando a seqüência de execução das microinstruções. Dependendo do teste, podem ser modificados um ou dois bits do endereço base, permitindo-se, com isso, a partir de uma microinstrução atingir quatro pontos diferentes da memória de controle. O endereçamento da memória de controle, após a fase de busca da instrução, é feito por ação do circuito decodificador de instruções, que gera a partir do conteúdo do REGISTRO DE INSTRUÇÃO, uma configuração de bits que é combinada por mascaramento com o endereço base fornecido pelo microprograma.

A palavra lida da memória de controle é armazenada em um registro na transição positiva do estado T1. A existência deste registro permite que se faça a leitura da próxima palavra do microprograma, a partir do conteúdo armazenado no registro de endereço na transição positiva do estado T2, enquanto a atual está sendo executada.

Uma descrição mais detalhada do projeto da Unidade de Controle pode ser encontrada no trabalho de tese de Adriano Joaquim de Oliveira - Cruz<sup>2</sup>.

O conjunto Unidade Aritmética - Unidade de Controle é capaz de executar 86 instruções. O conjunto de instruções é composto de:

a) instruções que realizam operações em ponto fixo com 1 operando, 2 operandos e 1 operando mais um registro geral. Os operandos podem ser bytes ou palavras de 16 bits. Nestas instruções denomina-se OPERANDO DESTINO ao operando que ocupa a posição de memória onde é armazenado o resultado da operação e o outro operando, caso haja, é denominado OPERANDO FONTE.

b) instruções de desvio condicional e incondicional, chamada

e retorno de subrotina e simulação de interrupções.

c) instruções de controle da máquina tipo HALT, WAIT, RESET, etc.

d) instruções de alteração de bits da Palavra de Status do Processador.

e) instruções tipo "LOAD" e "STORE" para operandos inteiros e operandos em ponto flutuante.

f) instruções que operam em ponto flutuante com um operando - ou um operando mais um Acumulador.

Os operandos são endereçados por intermédio dos registros gerais de forma direta ou indireta, empregando os diferentes modos de utilização destes registros, citados anteriormente. Há no total 8 modos de endereçamento de operandos:

a) Direto

MODO 0 → o conteúdo do registro geral ou do acumulador de ponto flutuante é o operando.

MODO 2 → o conteúdo do registro geral aponta o operando e depois da busca do operando é incrementado.

MODO 4 → o conteúdo do registro geral decrementado aponta o operando.

MODO 6 → o conteúdo do registro geral somado ao conteúdo da palavra de índice aponta o operando.

b) Indireto

MODO 1 → o conteúdo do registro geral aponta o operando.

MODO 3 → o conteúdo do registro geral aponta o endereço do operando, sendo, posteriormente a busca do endereço, incrementado.

MODO 5 → o conteúdo do registro geral decrementado aponta o endereço do operando.

MODO 7 → o conteúdo do registro geral somado ao conteúdo da palavra de índice aponta o endereço do operando.

Os modos 2 e 3 são chamados de modos AUTO INCREMENTADOS de endereçamento. Os modos 4 e 5 são chamados de modos AUTO DECREMENTADOS e os modos 6 e 7 de INDEXADOS.

O Sistema de Memória em projeto para esta UCP é do tipo "CACHE-BACKING" e tem por finalidade proporcionar uma memória principal de alta velocidade e capacidade para o processador. Na realidade, a capacidade de armazenamento da memória é a capacidade do "backing", uma vez que o conteúdo do "CACHE" é constituído de cópias de certas posições do "backing".

O "backing" admite expansão até 4M bytes e seu tempo de ciclo é de 500ns. Sua unidade de armazenamento será implementada com tecnologia MOS dinâmica.

O "cache" é composto de pastilhas de armazenamento da família "TTL Schottky". Sua capacidade é de 8K bytes e o seu tempo de acesso se situa em torno de 80ns. O "cache" é opcional, podendo ser desconectado, permanecendo apenas o "backing" como elemento armazenador.

O "cache" utiliza a técnica de mapeamento associativo por conjunto com associatividade 2. Está organizado em 1024 conjuntos sendo cada conjunto constituído de 2 grupos. Cada grupo contém um bloco de informação que por sua vez é composto de 2 palavras ou 4 bytes.

As operações de leitura ou escrita no "cache" só podem ser feitas pela UCP ou através do Sistema de Relocação de Endereços da Barra de Periféricos. As operações de leitura sempre se referem a uma palavra e as de escrita podem ser relativas a palavra ou byte. A escrita no "CACHE" só é feita em dupla palavra, quando se transfere o conteúdo de um bloco do "backing" para o "cache", na ocorrência de uma operação de leitura com falha, ou seja, quando há requisição de leitura de uma posição de memória que não está presente no "cache".

No "backing" as operações de leitura são sempre feitas em dupla palavra. No entanto, em operações devidas à requisições feitas pela UCP ou pelo Sistema de Relocação de Endereços da Barra de Periféricos (SREBP), apenas uma das duas palavras, aquela que foi requisitada, é enviada pelo Sistema de Memória. Já em operações de leitura no "backing" geradas pelos Controladores de E/S as transferências são feitas em dupla palavra.

As operações de escrita no "backing" podem ser feitas em byte ou palavra, quando requisitadas pela UCP ou pelo SREBP, e em dupla palavra, quando requisitadas pelos Controladores de E/S.

O Sistema de Memória dispõe de um conjunto de registros que tem por finalidade: permitir a alteração do protocolo automático de mapeamento existente entre o "CACHE" e o "backing", realizar a indicação de erros de paridade no endereçamento ou no armazenamento dos dados, armazenar informações necessárias a realização de estatísticas sobre o desempenho do "CACHE" e facilitar o trabalho de manutenção. De uma forma geral, estes registros podem ter seu conteúdo lido ou alterado pelo processador através do Sistema de E/S.

O Sistema de Memória se acha descrito em maiores detalhes no trabalho de tese de Ageu Cavalcanti Pacheco Júnior<sup>3</sup>.

O acesso à máquina pelo operador é feito através de um painel de chaves e lâmpadas. As diversas funções que podem ser executadas pelo painel, só são reconhecidas pelo processador após o operador ter colocado a chave PARE/LIBERE do painel no modo PARE, o que provoca uma interrupção no sistema. Ao sofrer uma interrupção deste tipo, o processador fica sob controle do painel, permitindo ao operador realizar as seguintes operações:

- Ler ou alterar o conteúdo de uma posição qualquer de memória, de endereço definido pelo operador no painel.
- Executar um programa instrução a instrução ou executar cada instrução em passos, sendo cada passo o trecho da instrução que é executada entre duas operações de E/S.
- Continuar a execução do programa do ponto onde foi interrompido.
- Definir o procedimento de relocação de endereços a ser usado pelo processador.

Todas as funções são definidas através de posicionamento de chaves no painel. As operações de leitura ou escrita na memória são feitas sob controle do microprograma.

Um conjunto de leds permite ao operador ler o conteúdo de posições de memória ou de registros internos do processador, havendo ainda indicadores de ocorrência de erros de paridade e de endereçamento.

Uma descrição detalhada do projeto do Painel pode ser encontrada no trabalho de tese de Rogério Antonio Sampaio P. Vianna<sup>5</sup>.

### 3 - O Sistema de Entrada e Saída

A função básica do Sistema de Entrada e Saída é realizar a comunicação do processador com os periféricos, o Sistema de Memória e registros internos da UCP. Do ponto de vista do programador, tanto os registros internos da UCP como os registros existentes nos periféricos constituem posições de memória, isto é, o programador não dispõe de instruções especiais para acessar estes registros, utilizando-se, portanto para isso, de instruções idênticas às aquelas empregadas para acessar a memória.

A comunicação do processador com os registros internos é feita através de vias existentes no interior da própria UCP. Já as operações de E/S referentes a registros de periféricos e posições de memória são realizadas através de duas barras de comunicação externas à UCP. A BARRA DE PERIFÉRI

COS é constituída por 18 linhas de endereço, 16 linhas bidirecionais de dado e linhas de controle e sincronismo. A BARRA DE MEMÓRIA é constituída por 22 linhas de endereço, 16 linhas bidirecionais de dado, linhas de paridade por byte para dado e endereço, linhas de controle e sincronismo. Tanto a BARRA DE PERIFÉRICOS como a BARRA DE MEMÓRIA funcionam em modo assíncrono de forma semelhante ao "UNIBUS" da D.E.C.

Uma operação de E/S é indicada sempre através de uma requisição feita pela Unidade de Controle, que coloca à disposição do Sistema de E/S um endereço em 16 bits, chamado ENDEREÇO VIRTUAL, informações que especificam o tipo de E/S que se deseja fazer (escrita, escrita em byte, leitura de operando, leitura de instrução, etc.), e, se for o caso, um dado no Registro de Comunicação de Dados do processador com o meio externo. A partir deste instante a operação de E/S é conduzida exclusivamente pelo Sistema de E/S, que a executa em quatro etapas:

a) Relocação do endereço virtual de 16 bits gerado pelo processador para obtenção do endereço real em 18 bits para comunicação com registros de periféricos ou em 22 bits para comunicação com registros internos ou com o Sistema de Memória.

b) Decodificação do endereço real gerado, o que permite ao Sistema de E/S determinar se a operação iniciada se refere a uma posição de memória, a um registro de periférico ou a um registro interno da UCP.

c) Detecção de erros no processo de formação do endereço real.

d) Realização da operação de leitura ou escrita requisitada.

### 3.1 - Sistema de Relocação de Endereços do Processador

Um programa qualquer na memória se encontra dividido em páginas e a cada página está associado um endereço base de relocação. Cada página pode possuir no máximo 128 blocos de 64 bytes e seu endereço inicial na memória pode ser qualquer múltiplo de 64. A cada programa estão associadas 8 páginas no espaço de Instrução e 8 páginas no espaço de Dado, totalizando um máximo de 64 K bytes de endereçamento por programa na memória. Para cada modo de operação do processador (Kernel, Supervisor ou Usuário) existem duas tabelas de relocação: uma para o espaço de Instrução e outra para o espaço de Dado. Cada tabela é constituída por 8 pares de registro, sendo que cada par se refere a uma determinada página e possui um registro que define o endereço inicial da página, Registro de Endereço de Página, e um Registro Descritor de Página que define o tamanho da página em número de blocos e os tipos de acesso à página que podem ser permitidos. É através deste registro que se consegue fa-

zer proteção de páginas na memória, definindo-as como não residentes ou de leitura exclusiva.

A página a que pertence um dado endereço é definida pelos 3 bits mais significativos do endereço virtual. Os 7 bits seguintes definem um bloco dentro da página selecionada e os 6 bits restantes definem um byte ou palavra dentro deste bloco.

### 3.2 - Espaço de Endereçamento

O espaço de endereçamento colocado a disposição do processador compreende 4M bytes. Os 8 K bytes de endereço mais alto referem-se a registros de periféricos ou registros internos da UCP. Os 248 K bytes seguintes são utilizados tanto pelos periféricos como pelo processador para acessar a memória através do Sistema de Relocação de Endereço da Barra de Periféricos. Os endereços restantes referem-se a posições físicas de memória e são utilizados pelo processador para acessar diretamente o Sistema de Memória.

### 3.3 - Registros Internos da UCP

Os registros internos da UCP podem, em geral, ter seu conteúdo lido ou alterado por programa. Além disso, o Sistema de E/S, através de circuitos especiais de detecção de erros, tem o poder de alterar o conteúdo de alguns bits destes registros. Os registros internos da UCP controlados diretamente pelo Sistema de E/S são os seguintes:

#### - Registros do sistema de Relocação do Processador

São 4 registros que definem os erros ocorridos no processo de relocação do endereço virtual e que armazenam informações que permitam re-executar a instrução em que ocorreu erro.

#### - Registro de Erro da UCP

A cada bit deste registro corresponde a indicação de um tipo de erro ocorrido no processador.

#### - Registro Indicador do Limite da Stack

O conteúdo deste registro define o endereço mínimo de memória que pode ser utilizado para "stack" em modo Kernel.

#### - Registro de Pedido de Interrupção por Programa

Os pedidos de interrupção por programa são feitos pelo acionamento de um de 7 bits existentes neste registro. A cada bit corresponde um nível de prioridade. O registro também dá indicação do nível de mais alta prioridade cujo bit correspondente está acionado.

- Registro Indicador do Comprimento da Memória

Fornece o comprimento físico da memória em número de blocos de 64 bytes.

- Palavra de Status do Processador

Fornece as seguintes indicações: modo de operação atual do processador; modo de operação anterior do processador; nível de prioridade do programa em execução; ocorrência de resultado negativo e nulo, ocorrência de "overflow" e carry.

### 3.4 - Deteção de Erros

Os erros detetados pelo Sistema de E/S, em função de sua natureza, podem provocar ou não a suspensão imediata da execução da instrução em curso. No primeiro caso, os erros serão causadores de sinalização de ABORTO e no segundo caso de sinalização de "TRAP". Ao ser gerada uma sinalização de ABORTO, antes de ser completada a instrução, inicia-se a execução de uma ROTINA de tratamento do erro detetado. Quando há sinalização de "TRAP" a rotina de tratamento do erro só passa a ser executada ao final da instrução em curso.

Erros que geram Sinalização de ABORTO:

- Erro de paridade no dado lido pela UCP.
- Ocorrência de "Timeout" em operação de E/S.
- Geração de endereço ímpar em operação de E/S não relativa a leitura ou escrita de operando em instruções que trabalham com bytes.
- Tentativa de acesso em página não residente.
- Tentativa de escrita em página de leitura exclusiva.
- Tentativa de acesso a bloco inexistente de uma página.
- Tentativa de acesso a posição inexistente de memória.
- Violação do limite da "stack" em modo Kernel.

Erros que geram Sinalização de "TRAP":

- Falha no sistema de alimentação.
- Ameaça de violação do limite da stack.
- Erro de paridade na palavra de memória situada na posição seguinte a da palavra requisitada.
- Erros em operações de ponto flutuante.

Sinalizações de "TRAP" são também geradas para permitir ao Sistema Operacional efetuar controle estatístico da frequência e dos tipos de acessos às páginas residentes na memória, para permitir execução instrução a

instrução de um programa auxiliando sua depuração, ou para permitir que seja realizada uma operação pelo painel.

### 3.5 - Interrupções

O sistema possui quatro níveis de interrupção por "hardware" para realização de operações de E/S com periféricos e 7 níveis de interrupção por "software". Uma interrupção é atendida ao final de uma instrução caso não haja ocorrido sinalização de "trap" e caso seu nível de prioridade seja mais alto que o nível de prioridade do processador definido pela Palavra de Status do Processador. O nível de prioridade do processador pode variar de 0 a 7. As interrupções por "hardware" podem estar relacionadas aos níveis 4, 5, 6 ou 7 de prioridade e as interrupções por "software" podem possuir níveis de prioridade de 1 a 7.

Na ocorrência de interrupções por "hardware", o periférico - que causou a interrupção se identifica enviando a UCP o endereço virtual da posição de memória onde se encontra o endereço virtual da instrução da rotina que trata a interrupção. Em interrupções por software, ou na ocorrência de abortos ou "traps", este endereço é pré-determinado para cada caso e é gerado internamente na UCP.

### 3.6 - Operações de Acesso Direto

Ao receber um pedido de requisição para operação de Acesso Direto de um periférico do sistema, o Sistema de E/S, libera a barra de periféricos para uso do periférico requisitante, que passa a ter controle sobre ela. Em operações de Acesso Direto à Memória (ADM), os endereços em 18 bits gerados pelos periféricos para acessar o sistema de memória são convertidos em endereços de 22 bits através do Sistema de Relocação de Endereços da Barra de Periféricos. Ao ser terminada a operação de ADM, o Sistema de E/S retoma o controle da barra de periféricos. Durante o intervalo de tempo em que se perde o controle da Barra de Periféricos, a comunicação da UCP com o Sistema de Memória pode continuar transcorrendo normalmente.

O Sistema de E/S pode também ceder o controle da barra de periféricos para permitir transferência direta de periférico para periférico.

### III - SISTEMA DE RELOCAÇÃO DE ENDEREÇOS DO PROCESSADOR

#### 1 - Introdução

A função básica do sistema de relocação é converter o ENDEREÇO VIRTUAL de 16 bits gerado pelo processador em endereços de 18 bits para comunicação com periféricos ou em endereços de 18 ou 22 bits para comunicação com a memória principal.

A existência de um procedimento de relocação dos endereços gerados pelo processador permite que se tenha vários programas armazenados simultaneamente na memória principal, possibilitando a utilização de multiprogramação no sistema. Para o processador tudo se passa como se qualquer programa tivesse sido carregado na memória a partir do endereço zero. Aos endereços virtuais gerados pelo processador é somado um endereço base que transforma os endereços virtuais em endereços relocados do programa na memória. O procedimento de relocação dos endereços é feito, portanto, em tempo de execução.

Os programas podem ser armazenados em qualquer endereço da memória principal e estão divididos em páginas de no máximo 4 K palavras de 16 bits. As páginas que compoem um dado programa não necessariamente ocupam endereços consecutivos da memória. Para cada página de um dado programa o sistema de relocação deve prover um endereço base diferente. O número de palavras que constitui uma dada página pode ser dado por qualquer valor múltiplo de 32. O fato de as páginas não terem um tamanho fixo evita o problema de se ter fragmentos grandes de memória, alocados para um programa, mas não utilizados por ele.

Através do uso de um sistema de relocação é possível se utilizar uma memória principal de maior capacidade. Caso não houvesse relocação o processador seria capaz de acessar apenas 64 K bytes com os 16 bits de endereço virtual e não haveria sentido em se adotar uma memória principal de capacidade maior. A transformação para 18 ou 22 bits dos endereços referentes à memória, após a relocação, permite que se tenha memórias de capacidades iguais a 256 K bytes ou 4 M bytes, respectivamente, no sistema.

Para cada página utilizada na memória principal, o sistema de relocação define um registro que, além de outras coisas, especifica o tipo de acesso que é permitido àquela página. Com isso torna-se possível realizar proteção de pequenas áreas da memória. Para um dado programa, qualquer página pode ser considerada como de leitura exclusiva, impedindo que seu conteúdo seja alterado, ou como não residente, impedindo que seu conteúdo seja lido ou alterado. A tentativa de realizar um acesso não permitido a uma dada página é detectada pelo sistema de relocação que se encarrega de gerar um sinal indicador de ocorrência de erro.

## 2 - Espaço de Endereçamento

Como já foi visto o sistema de relocação transforma o endereço virtual de 16 bits gerado pelo processador em endereços de 18 bits para comunicação com periféricos ou em endereços de 18 ou 22 bits para comunicação com a memória. Quando o sistema de relocação está desativado, a comunicação com a memória se faz com 16 bits de endereço.

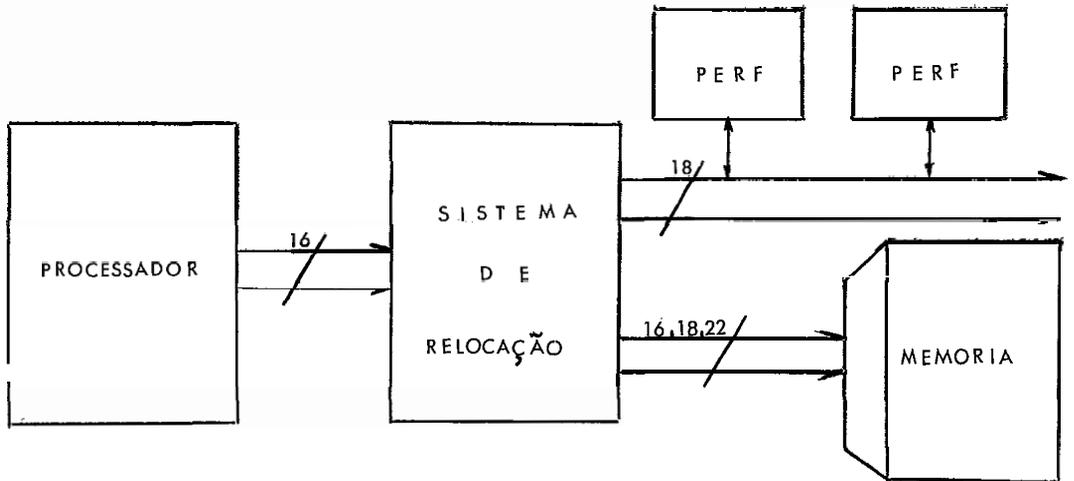


fig III-1

Aos endereços obtidos após a relocação daremos o nome de ENDE  
REÇOS REAIS.

Como se pode concluir existem 3 possibilidades para geração do endereço real para a memória. Para cada uma dessas possibilidades vamos analisar como se compõe o espaço de endereçamento real do sistema.

a) Não há relocação (endereço de memória com 16 bits)

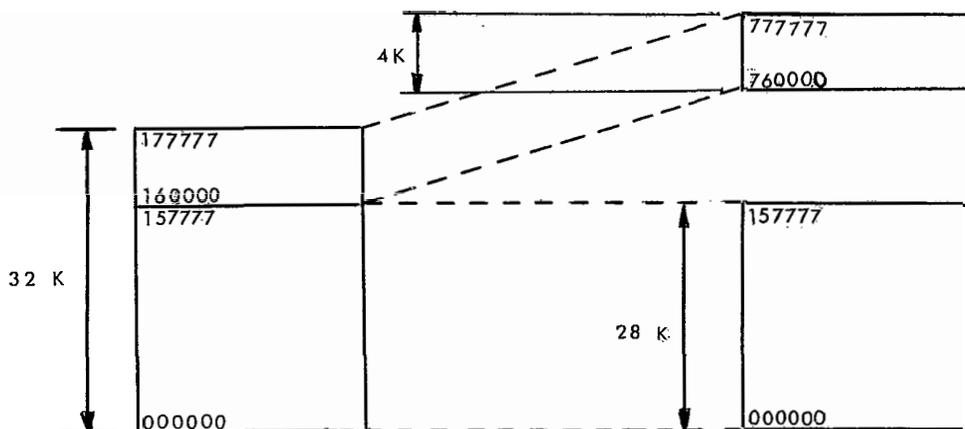


fig III-2

Nesse caso existem, portanto, 28 K palavras endereçáveis na memória e 4 K palavras endereçáveis como registros de periféricos ou registros internos do processador. Apenas os endereços virtuais relativos as 4 K palavras de endereço mais alto sofrem transformação para 18 bits pelo sistema de relocação.

b) Relocação de 18 bits

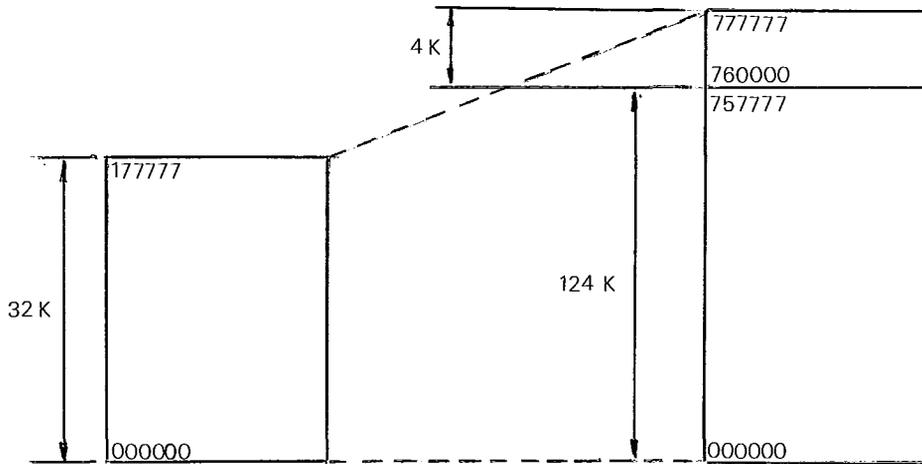


fig III-3

Nesse caso existem 124 K palavras endereçáveis na memória e 4 K palavras endereçáveis como registros de periféricos ou registros internos. Todos os endereços virtuais são relocados e transformados em endereços reais de 18 bits.

Nesse ponto torna-se importante fazer uma observação. Na verdade o endereço real gerado pelo sistema de relocação possui sempre 22 bits. Para os periféricos apenas os 18 bits menos significativos são enviados. Já para a memória são sempre enviados 22 bits de endereço. Quando a relocação está desativada os 6 bits mais significativos do endereço são feitos iguais a zero e quando a relocação é de 18 bits, os 4 bits mais significativos são feitos iguais a zero. Em ambos os casos, no entanto, o endereço de 22 bits correspondente a um registro de periférico ou a um registro interno é formado com os quatro bits mais significativos, que não são utilizados, em 1. Tudo se passa, portanto, como se os endereços de registros de periféricos ou de registros internos ocupassem as 4 K palavras de endereços mais altos entre as 2 M palavras endereçáveis com 22 bits.

## c) Relocação de 22 bits

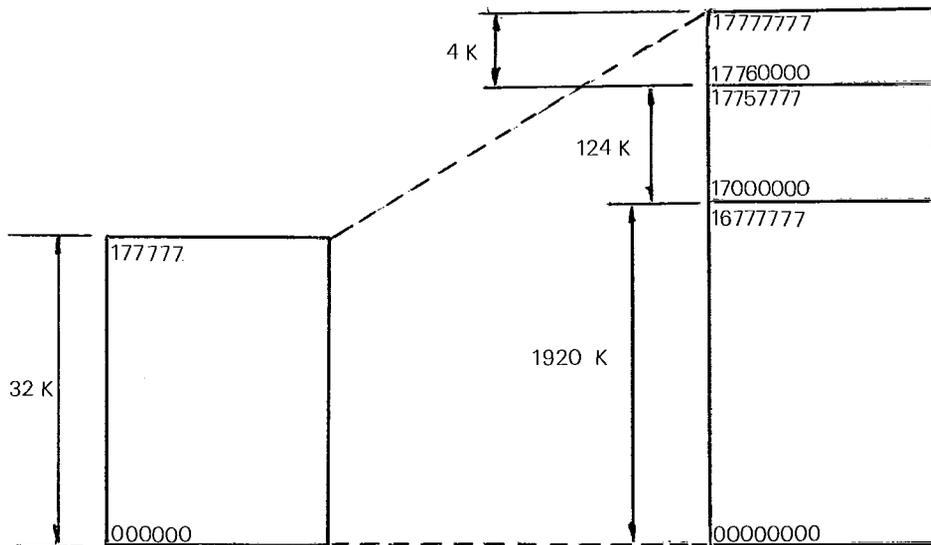


fig III-4

Nesse caso existem 1920 K palavras endereçáveis na memória e 4 K palavras endereçáveis como registros de periféricos ou registros internos. Os endereços reais compreendidos entre 17000000 e 17777777 são enviados a barra de periféricos em 18 bits eliminando-se os quatro bits mais significativos. Desses endereços, aqueles compreendidos entre 17000000 e 17757777 (000000 e 757777 na barra de periféricos) não endereçam nenhum periférico ou registro interno e são relocados por um sistema de relocação de endereços da barra de periféricos para a obtenção de endereços referentes a posições da memória principal. Essa é a faixa de endereços utilizada pelos periféricos em operações de ACESSO DIRETO À MEMÓRIA ou pelo processador quando deseja acessar, alternativamente, a memória pela barra de periféricos.

### 3 - Paginação da Memória

O Sistema de Relocação divide a memória principal em páginas constituídas de, no máximo, 4 K palavras de endereços consecutivos. Em geral um programa ocupa páginas não contíguas na memória principal. Para cada página o Sistema de Relocação associa um Registro de Endereço de Página que fornece o endereço base para a relocação dos endereços virtuais do programa referentes àquela página.

Uma página é dividida em blocos de 32 palavras e o seu tamanho, em palavras, é sempre dado por um múltiplo de 32. O número máximo de blocos que pode haver em uma página é 128. O Sistema de Relocação associa também a cada página um Registro Descritor de Página que define o tamanho da página

em blocos e o tipo de acesso permitido àquela página.

A formação do endereço real em 22 bits, após a relocação do endereço virtual, é feita, basicamente, da seguinte forma: os 3 bits mais significativos do endereço virtual (EV<15:13>) definem o Registro de Endereço de Página a ser usado na relocação. O conteúdo deste registro é somado ao valor dado pelos bits 12 a 6 do endereço virtual. À direita do resultado desta soma são concatenados os bits 5 a 0 do endereço virtual, formando, finalmente, o endereço relocado que coincide com o endereço real quando se opera com relocação em 22 bits.

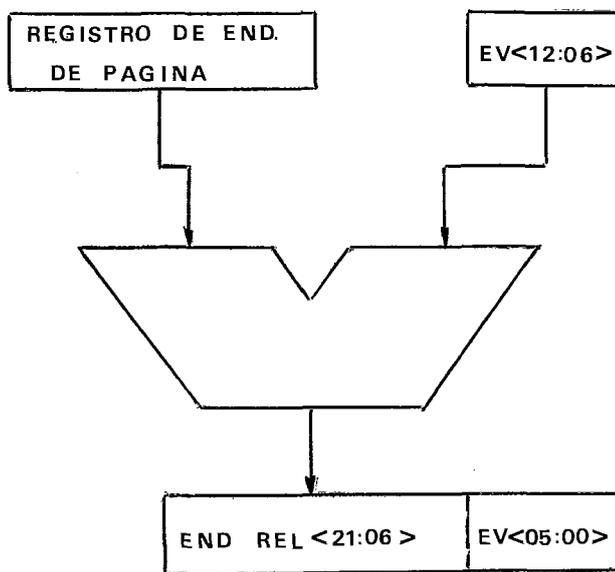


fig III-5

Pode-se concluir, então, que o Registro de Endereço de Página fornece o endereço inicial da página, que deve ser um múltiplo de 64 (tamanho em bytes de um bloco). O valor de EV<12:06> define o bloco dentro da página e o valor de EV<5:0> define o byte ou a palavra dentro do bloco.

A seleção do Registro de Endereço da Página é feita pelos bits 15 a 13 do endereço virtual através do endereçamento de uma das 6 tabelas existentes no Sistema de Relocação. Cada tabela é formada por 8 Registros de Endereço de Página e 8 Registros Descritores de Página.

#### 4 - As Tabelas de Relocação

O processador pode operar em 3 modos: Kernel, Supervisor e Usuário. No modo Usuário são executados os programas de um usuário comum da máquina. No modo Supervisor são executados programas tais como compiladores, editores, montadores, etc. No modo Kernel são executadas as rotinas de trata-

mento de erros, as rotinas de Entrada e Saída, as rotinas que atuam no Sistema de Relocação, etc. Algumas instruções especiais da máquina só são executadas em modo Kernel. A Palavra de Status do Processador possui dois bits que indicam o modo de operação do processador. As tabelas de relocação são diferentes para cada modo do processador e, com isso, minimiza-se a frequência de troca de contextos das tabelas de relocação, que, dessa forma, só ocorrerá quando o processador deixa de executar um programa para executar outro no mesmo modo.

Para cada modo existem duas tabelas de relocação. Uma associada ao Espaço de Instrução (Espaço I) e outra ao Espaço de Dados (Espaço D). No Espaço I se encontram as instruções do programa, as palavras utilizadas como índices no processo de endereçamento de operandos e operandos imediatos definidos na palavra seguinte à instrução. No Espaço D se encontram os dados que podem ser alterados pelo programa.

Através do uso de tabelas diferentes para o Espaço I e D consegue-se obter uma separação na memória principal entre a área de instruções e a área de dados. Dessa forma torna-se simples a utilização de um único programa por vários usuários que possuirão suas áreas de dados separadas.

Cada uma das seis tabelas de relocação existentes são constituídas de oito Registros de Endereço de Página e oito Registros Descritores de Página. A escolha do par de registros a ser utilizado em uma operação de relocação é feita pela determinação da tabela a ser usada, de acordo com o modo de operação do processador e o espaço a ser utilizado na relocação, e pelo endereçamento desta tabela através dos bits 15 a 13 do endereço virtual.

Em geral, para cada programa existem duas tabelas de relocação associadas, correspondentes às tabelas do modo (Kernel, Supervisor ou Usuário) em que o programa é executado. Programas diferentes utilizam normalmente tabelas diferentes para a relocação.

Um dado programa pode ser composto de, no máximo, 64 K palavras, sendo 32 K palavras no Espaço de Instrução e 32 K palavras no Espaço de Dado. Um mesmo endereço virtual gerará endereços reais diferentes se relocado no Espaço I ou no Espaço D. Portanto, um programa na memória principal poderá ocupar, no máximo, 16 páginas, sendo oito em cada espaço.

## 5 - Seleção da Tabela de Relocação

A seleção de uma das 6 tabelas de relocação para geração do endereço real é feita pela determinação do modo de operação do processador (Kernel, Supervisor ou Usuário) e do espaço (I ou D) utilizado para obtenção do endereço real. Para cada modo existem duas tabelas possíveis referentes -

aos dois espaços existentes.

### 5.1 - Determinação do Modo:

A indicação do modo atual de operação do processador é dada - pelos bits 15 e 14 da Palavra de Status do Processador. Normalmente é esta a informação utilizada para determinação do modo de relocação. Existem, no entanto, três casos onde este procedimento não é válido.

a) Na execução das instruções MTPi, MTPD, MFPI e MFPD, que permitem a comunicação entre o modo atual e o modo anterior ao atual de operação do processador, o modo utilizado na relocação do endereço das operações - de leitura do operando nas instruções MFPI e MFPD e das operações de escrita nas instruções MTPi e MTPD, é dado pelos bits 13 e 12 da Palavra de Status do Processador, que indicam o modo anterior de operação do processador.

b) Na execução da rotina de serviço, a nível de microprograma, para tratamento de erros, interrupção ou execução de algumas instruções - especiais (EMT, BPT, TRAP, IOT), as operações de E/S para a busca da nova Palavra de Status do Processador e do novo valor do Contador de Programas tem o endereço relocado sempre em modo Kernel, independentemente do modo atual do processador.

c) Nas operações de E/S executadas sob o comando do PAINEL, o modo de relocação é definido pelo operador através de uma chave no próprio painel.

### 5.2 - Determinação do Espaço I ou D

O endereço de uma operação de E/S deverá ser relocado no espaço I quando uma das condições abaixo for satisfeita:

a) Operação de busca de instrução ou de busca de índice para formar o endereço de um operando. O microprograma fornece a indicação de ocorrência dos dois casos.

b) Operação de leitura de operando nos modos de endereçamento 1 (indireto sobre o conteúdo do registro), 2 (direto, pós-incrementado) e 4 (direto, pré-decrementado) quando o registro utilizado para geração do endereço é R7 (CONTADOR DE PROGRAMAS).

c) Operação de leitura de endereço de operando nos modos de endereçamento 3 (indireto, pós-incrementado) e 5 (indireto, pré-decrementado) quando o registro utilizado para geração do endereço é R7.

d) Indicação dada por chave no painel, selecionando o espaço-I, em operações de E/S comandadas pelo painel.

e) Operação de escrita na instrução MTPi.

f) Operação de leitura de operando fonte na instrução MFPI.

Caso nenhuma dessas condições seja satisfeita o espaço D deve ser utilizado. No entanto, por "software", é possível impedir o uso do espaço D através da não ativação de alguns bits do REGISTRO 3 DO SISTEMA DE RELOCAÇÃO (R3 SR). Existem 3 bits neste registro, referentes aos 3 modos de relocação (Kernel, Supervisor ou Usuário), que, quando ativados, permitem a utilização do espaço D no modo ao qual se referem.

Quando há impedimento para utilização do espaço D no modo empregado para relocação, esta é feita usando-se o espaço I.

O desenho da figura III.6 mostra esquematicamente o procedimento para obtenção do endereço relocado.

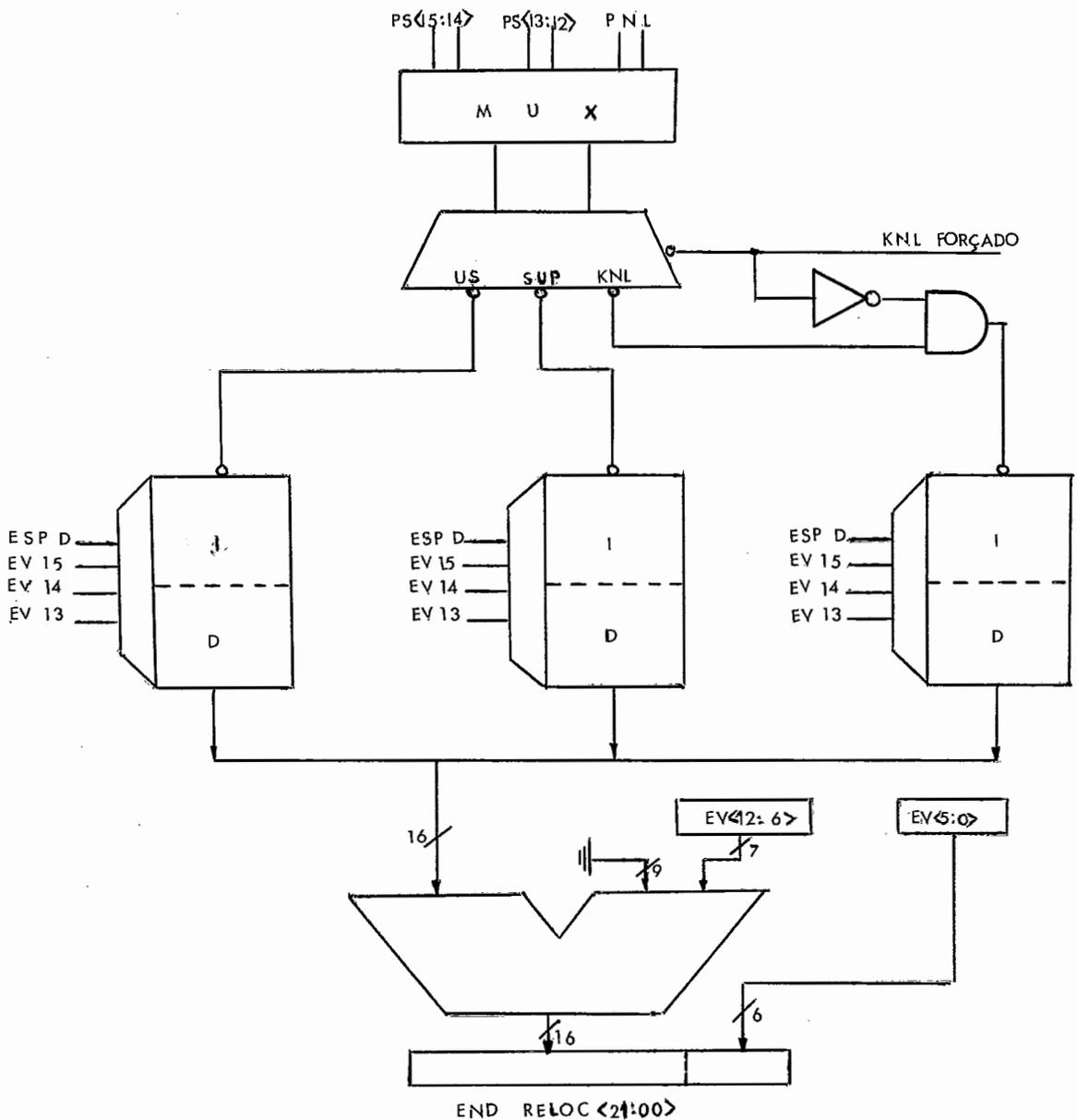


fig III-6

## 6 - Geração do Endereço Real

Como já foi visto a relocação do endereço virtual gerado pelo processador pode ser realizada de três formas distintas: a) não há relocação; b) o endereço real para a memória é constituído de 18 bits; c) o endereço real para a memória é constituído de 22 bits.

A determinação da forma como o sistema de relocação vai operar é feita pelo estado de alguns bits existentes nos registros do sistema de relocação. Estes bits são posicionados por "software" de acordo com as conveniências do programa a ser executado.

A seguir, será mostrado, para cada caso, como são obtidos os bits que formam o endereço real (END REAL<21:00>) a partir dos bits do endereço virtual (EV<15:00>) e do conteúdo do Registro de Endereço de Página (REP<15:00>) selecionado para a operação de relocação.

### a) Não há relocação:

Nesse caso, quando EV<15:13>= 111 o endereço se refere a um registro de periférico ou a um registro interno. Em caso contrário, o endereço se refere a uma posição da memória principal. A geração do endereço-real para cada um desses dois casos é feita da seguinte forma:

a-1) operação de E/S com a memória:

END REAL<15:00> = EV<15:00>

END REAL<21:16> = 00000000

a-2) operação de E/S com periféricos ou registros internos:

END REAL<15:00> = EV<15:00>

END REAL<21:16> = 111111

### b) Relocação de 18 bits:

Nesse caso, o endereço real gerado será referente a um periférico ou a um registro interno caso o endereço relocado, obtido pela soma de EV<12:06> com REP<15:00> concatenada com EV<05:00>, possua os bits 17 a 13 iguais a 1. Em caso contrário, o endereço real deverá se referir a uma posição de memória.

b-1) operação de E/S com a memória:

END REAL<17:00> = END RELOCADO<17:00>

END REAL<21:18> = 0000

b-2) operação de E/S com periféricos ou registros internos:

END REAL<17:00> = END RELOCADO<17:00>

END REAL<21:18> = 1111

c) Relocação de 22 bits

Nesse caso, o endereço real gerado será referente a um periférico ou a um registro interno caso  $END\ RELOCADO\langle 21:18 \rangle = 1111$ . Em qualquer das duas situações o endereço real coincide com o endereço relocado, logo,  $END\ REAL\langle 21:\theta\theta \rangle = END\ RELOCADO\langle 21:00 \rangle$ .

Em operações de painel, quando se trabalha no modo CONSOLE FÍSICO, o endereço real é definido diretamente pelo operador nas chaves do painel. O microprograma de painel carrega, no registro que armazena o endereço virtual, o conteúdo definido pelas chaves do painel que determina os 16 bits menos significativos do endereço real. Os 6 bits mais altos do endereço devem ser obtidos diretamente das chaves. Assim, sendo temos:

$$END\ REAL\langle 15:\theta\theta \rangle = EV\langle 15:\theta\theta \rangle$$

$$END\ REAL\langle 21:16 \rangle = CHAVES\langle 21:16 \rangle$$

O fluxograma da figura III.7 reúne todos os casos de geração do endereço real.

A existência no PDP-11/70 e, como consequência neste computador, de três formas de proceder a relocação se deve ao fato de que o projeto do PDP-11/70 foi definido de tal forma que permitisse a utilização nele de programas desenvolvidos para outras máquinas da linha PDP-11 de porte menor. O funcionamento sem relocação permite compatibilizar o PDP-11/70 com o PDP-11/10 e o funcionamento com relocação de 18 bits compatibiliza o PDP-11/70 com o PDP-11/45.

O tipo de relocação adotado é definido pelo bit  $\theta$  do REGISTRO  $\theta$  DO SISTEMA DE RELOCAÇÃO ( $R\theta SR$ ) e pelo bit 4 do REGISTRO 3 DO SISTEMA DE RELOCAÇÃO ( $R3SR$ ).  $R\theta SR\langle \theta \rangle$  indica se há ou não relocação e  $R3SR\langle 4 \rangle$  indica se a relocação é de 18 ou 22 bits. Temos, portanto, as seguintes possibilidades:

$R\theta SR\langle \theta \rangle$	$R3SR\langle 4 \rangle$	Tipo de Relocação
$\theta$	$\theta$	Não há relocação
$\theta$	1	Não há relocação
1	$\theta$	Relocação de 18 bits
1	1	Relocação de 22 bits

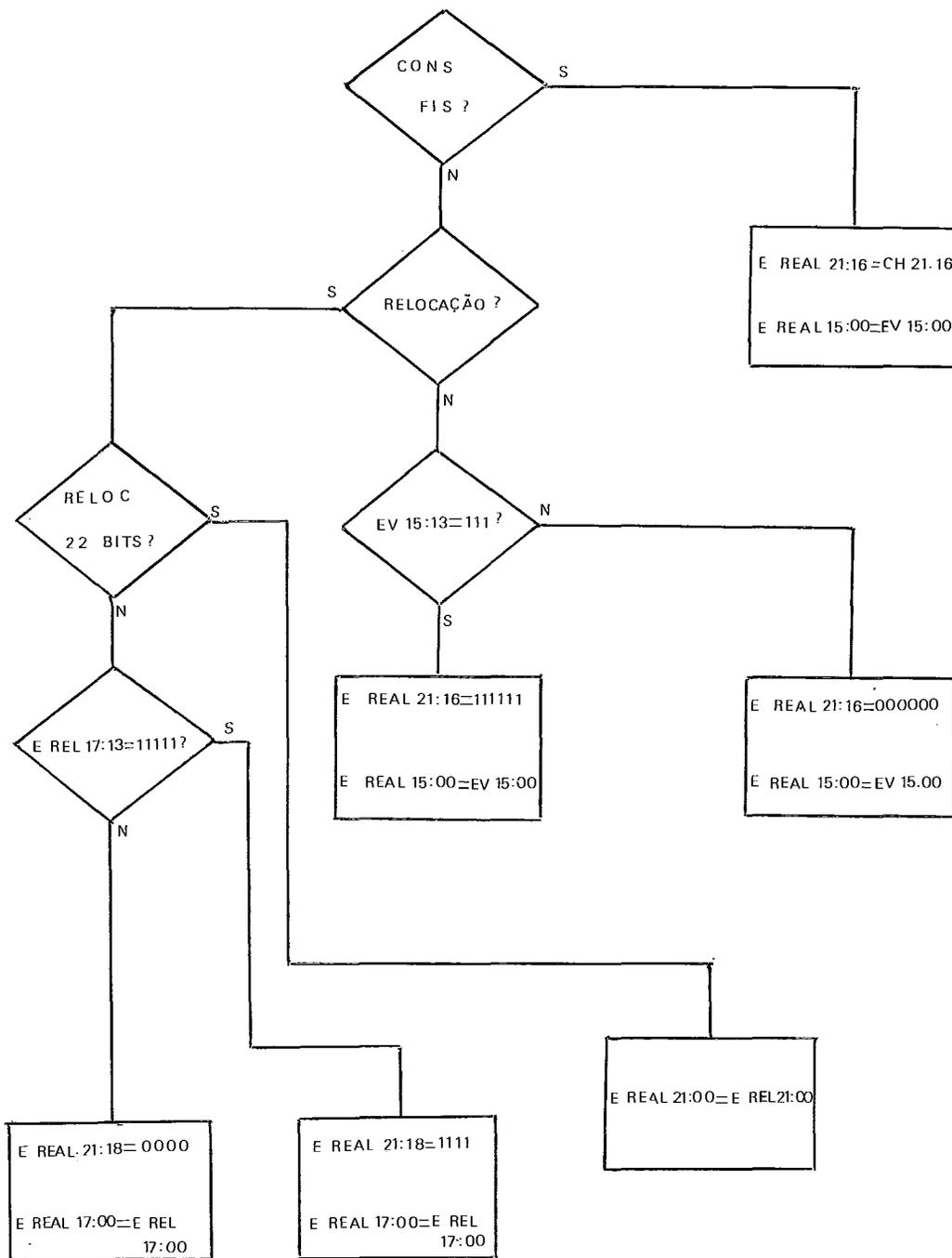


fig III-7

A geração do endereço real é mostrada, esquematicamente, pelo desenho abaixo:

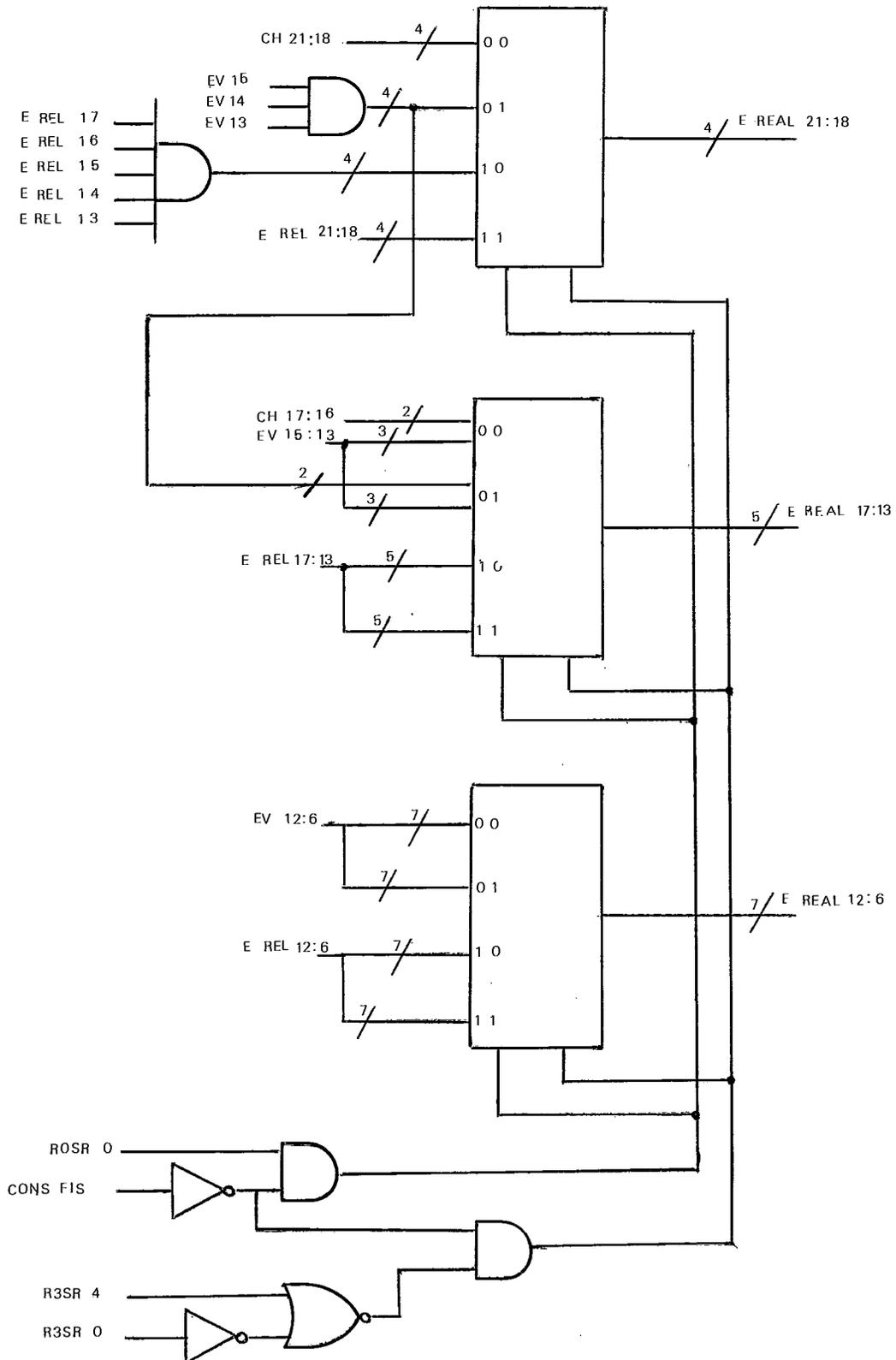


fig III-8

## 7 - Decodificação do Endereço Real

O endereço real gerado pelo Sistema de Relocação pode ser referente a uma posição de MEMÓRIA, a um registro de PERIFÉRICO ou a um REGISTRO INTERNO.

Um endereço real referente a uma posição de MEMÓRIA deverá ter algum bit diferente de 1 entre os bits 21 a 18 que compõem o endereço real. Quando isto não ocorre, ou seja, quando  $END\ REAL\langle 21:18 \rangle = 1111$ , o endereço pode-se referir a um registro de PERIFÉRICO ou a um REGISTRO INTERNO. Nesse caso, a decodificação prossegue até a identificação do REGISTRO INTERNO e, quando ele não existe, o endereço é colocado na barra de periféricos. Os Registros Internos são decodificados em quatro grupos:

### a) Endereço (177777 xx)<sub>8</sub>

xx = (60)<sub>8</sub> → REGISTRO DE COMPRIMENTO DA MEMÓRIA

xx = (64)<sub>8</sub> → REGISTRO DE IDENTIFICAÇÃO DO SISTEMA

xx = (66)<sub>8</sub> → REGISTRO DE ERRO DA UCP

xx = (70)<sub>8</sub> → REGISTRO DE PARADA DO MICROPROGRAMA

xx = (72)<sub>8</sub> → REGISTRO DE PEDIDO DE INTERRUPÇÃO

xx = (74)<sub>8</sub> → REGISTRO DE LIMITE DA "STACK"

xx = (76)<sub>8</sub> → PALAVRA DE STATUS DO PROCESSADOR

### b) Endereço (177776 xx)<sub>8</sub>, (177722 xx)<sub>8</sub>, (177723 xx)<sub>8</sub>

17772200 a 17772216 → Registros Descritores de Página no modo Supervisor e no Espaço I.

17772220 a 17772236 → Registros Descritores de Página no modo Supervisor e no Espaço D.

17772240 a 17772256 → Registros de Endereço de Página no modo Supervisor e no Espaço I.

17772260 a 17772276 → Registros de Endereço de Página no modo Supervisor e no Espaço D.

17772300 a 17772316 → Registros Descritores de Página no modo Kernel e no Espaço I.

17772320 a 17772336 → Registros Descritores de Página no modo Kernel e no Espaço D.

17772340 a 17772356 → Registros de Endereço de Página no modo Kernel e no Espaço I.

17772360 a 17772376 → Registros de Endereço de Página no modo Kernel e no Espaço D.

- 1777600 a 1777616 → Registros Descritores de Página no modo Usuário e no Espaço I.
- 1777620 a 1777636 → Registros Descritores de Página no modo Usuário e no Espaço D.
- 1777640 a 1777656 → Registros de Endereço de Página no modo Usuário e no Espaço I.
- 1777660 a 1777676 → Registros de Endereço de Página no modo Usuário e no Espaço D.

c) Endereço 1777757 xx

x =  $\emptyset$  → Registro de Chaves e Lâmpadas do Painel

x = 2 → Registro  $\emptyset$  do Sistema de Relocação

x = 4 → Registro 1 do Sistema de Relocação

x = 6 → Registro 2 do Sistema de Relocação

d) Endereço (17772516)<sub>8</sub> → Registro 3 do Sistema de Relocação.

O endereço real será decodificado como referente a um registro de periférico quando não estiver enquadrado em nenhum dos quatro casos citados e  $END\ REAL <21:18> = 1111$ . Neste caso também estão englobados os 6 registros existentes no Sistema de Memória e os registros que constituem a tabela de relocação do Sistema Relocador de Endereços da Barra de Periféricos. A comunicação do processador com esses registros é feita pela barra de periféricos e, portanto, eles são encarados como registros de periféricos pelo processador.

O resultado da decodificação do endereço real é armazenado em registros cujas saídas atuam no procedimento de entrada e saída, definindo a via de comunicação a ser utilizada (barra de periféricos ou de memória) ou o registro interno que terá seu conteúdo lido ou alterado.

## 8 - O Registro Descritor de Página

O formato do Registro Descritor de Página é o seguinte:

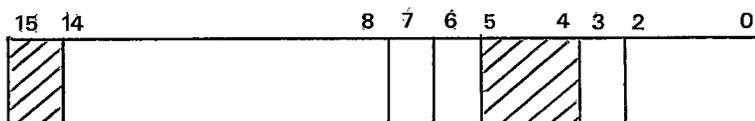


fig III-9

### Função dos bits:

a) bits 14 a 8 → definem o tamanho da página em blocos.

b) bit 7 → é ativado quando no acesso à página detetou-se a ocorrência de "trap" conforme indicação dada pe-

- los bits 2 a 0.
- c) bit 6 → é ativado na ocorrência de operação de escrita - na página.
- d) bit 3 → indica o sentido de expansão. Se o bit 3 = 0, a página é composta de blocos com endereços crescentes a partir do bloco 0. Se o bit 3 = 1, a página é composta de blocos com endereços decrescentes a partir do bloco 127.
- e) bits 2 a 0 → indicam o tipo de acesso permitido àquela página e se um dado acesso vai ou não causar a ocorrência de um "trap" ou de um aborto. No primeiro caso a operação de E/S é completada e só ao final da instrução, a ocorrência de "trap" é examinada pelo sistema. No segundo caso, ocorrência de aborto, a operação de E/S não é completada. Os códigos que definem o controle dos acessos às páginas são os seguintes:
- 000 → Página não residente. Todas as tentativas de acesso causam aborto.
  - 001 → Página de leitura exclusiva. As tentativas de escrita causam aborto e as operações de leitura causam "trap".
  - 010 → Página de leitura exclusiva. As tentativas de escrita causam aborto.
  - 011 → Código não usado. Todas as tentativas de acesso causam aborto.
  - 100 → Página de leitura ou escrita. Todos os acessos causam "trap".
  - 101 → Página de leitura ou escrita. Os acessos de escrita causam "trap".
  - 110 → Página de leitura ou escrita. Os acessos não causam abortos ou "traps".
  - 111 → Código não usado. Todas as tentativas de acesso causam aborto.

Os bits 15, 5 e 4 não são usados.

Durante uma operação de relocação o Registro Descritor de Página é lido juntamente com o Registro de Endereço de Página. Através dos bits 2 a 0 do Registro Descritor de Página consegue-se prover o sistema de capacidade de proteção às páginas na memória principal.

Os bits 6 e 7 do Registro Descritor de Página fornecem informações úteis ao "software" no controle de programas que utilizam técnica de "overlay". A ativação do bit 7 indica que um acesso foi feito àquela página - dando ao "software" condições de determinar que páginas foram mais utilizadas recentemente e que, preferencialmente, não deverão ser escolhidas para substituição por outras páginas do programa na memória principal. É através da sinalização de ocorrência de "traps" que o bit 7 é ativado. Portanto, para utilização desse recurso, deve-se utilizar nos bits 2 a 0 do Registro Descritor de Página as configurações que originam "traps" quando a página é acessada.

O bit 6 é ativado quando ocorre uma operação de escrita na página. Através dele, o "software" tem meios de determinar se uma página, que vai ser substituída na memória principal, precisa ou não ser transferida para o dispositivo de armazenamento secundário, que contém o programa em execução. As páginas que têm o bit 6 em zero podem ser destruídas na memória principal por superposição de outra página do programa, não sendo necessário o salvamento do seu conteúdo já que, não tendo sido alterado, a sua cópia, existente em disco ou fita, permanece válida. Tanto o bit 6 como o bit 7 são zerados toda vez que se realiza uma operação de escrita por programa no Registro Descritor de Página a que pertencem ou no Registro de Endereço de Página referente a eles.

O bit 3 e os bits 14 a 8 são utilizados para detecção de erros relacionados à ocorrência de um acesso a endereço não existente na página. As páginas constituídas por blocos com endereços crescentes a partir do bloco 0 (bit 3 = 0) são utilizadas para armazenamento de programas comuns e as páginas construídas por blocos de endereços decrescentes a partir do bloco 127 (bit 3 = 1) são utilizadas para a realização de "stacks" na memória. Neste caso os bits 14 a 8 do Registro Descritor da Página dão indicação do número de blocos que compõem a página em complemento a 2, ou seja, na forma: 128 - N, sendo N o número de blocos da página.

### 9 - Abortos e "Traps" do Sistema de Relocação

Os bits 2 a 0 do Registro Descritor de Página, selecionado durante a operação de relocação do endereço virtual, contém informação sobre o tipo de acesso permitido àquela página de memória. Sinais indicadores de ocorrência de aborto são gerados quando existe tentativa de acesso não permitido à página ou quando se tenta acessar um bloco não pertencente à página. A ocorrência de ABORTO provoca a suspensão da execução da instrução e a operação de E/S iniciada não é completada. Existem três casos de ocorrência de aborto no Sistema de Relocação, que só são considerados pelo sistema quando se tra-

balha com relocação de 18 ou 22 bits. Daí se conclui que a proteção de regiões da memória só existe, efetivamente, quando o procedimento de relocação não está inibido.

a) Tentativa de Acesso à Página Não Residente:

A sinalização de aborto é ativada sempre que é feita uma tentativa de leitura ou escrita em uma página cujo Registro Descritor possui, nos bits 2 a 0, as configurações 000, 011 ou 111.

b) Tentativa de Escrita em Página de Leitura Exclusiva:

A sinalização de aborto é ativada sempre que é feita uma tentativa de se realizar uma operação de escrita em uma página cujo Registro Descritor possui, nos bits 2 a 0, as configurações 001 ou 010 indicadoras de que a página é de leitura exclusiva.

c) Tentativa de Acesso a um Bloco Não Existente na Página:

Como já foi visto, uma página de memória está dividida em blocos de 32 palavras, podendo ter, no máximo, 128 blocos. O número de blocos que constitui uma dada página é definido pelos bits 14 a 8 do seu Registro Descritor. O valor determinado pelos bits 12 a 6 do ENDEREÇO VIRTUAL, que é somado ao conteúdo do Registro de Endereço de Página no processo de relocação, especifica o número do bloco a ser acessado na página.

A sinalização de aborto é ativada quando o conteúdo de  $EV\langle 12:06 \rangle$  é maior do que o valor especificado por  $RDP\langle 14:8 \rangle$  e  $RDP\langle 3 \rangle = 0$ , indicando que a página é constituída por blocos de endereços crescentes a partir do bloco zero.

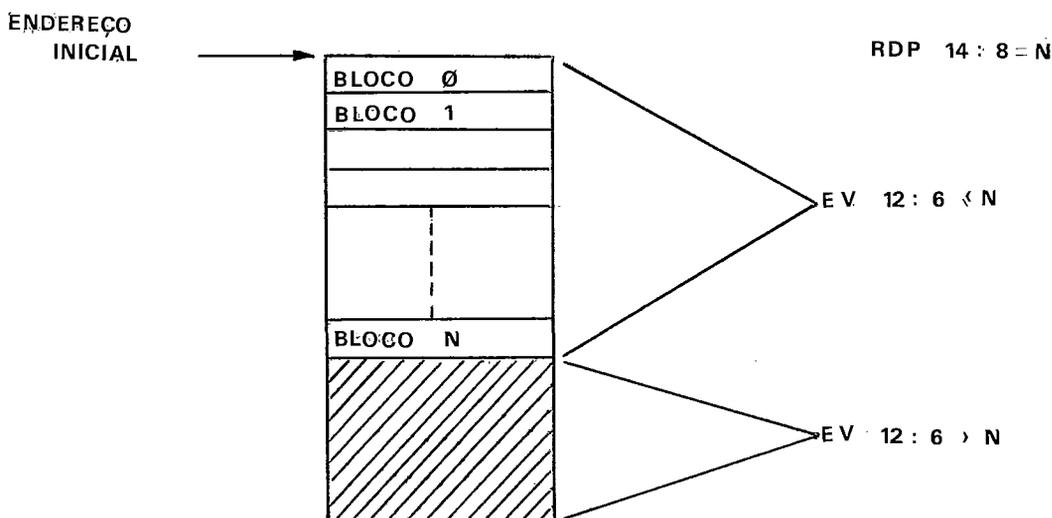


fig III-10

A sinalização de aborto é também ativada quando o conteúdo de  $EV\langle 12:06 \rangle$  é menor do que o valor especificado por  $RDP\langle 14:8 \rangle$  e  $RDP\langle 3 \rangle = 1$ , indicando que a página é constituída por blocos de endereços decrescentes a partir do bloco 127. Nesse caso,  $RDP\langle 14:8 \rangle$  dá o valor de  $128 - N$ , onde  $N$  é o número de blocos existentes na página, ou seja,  $RDP\langle 14:8 \rangle$  indica o número do bloco que ocupa os endereços mais baixos utilizados pela página.

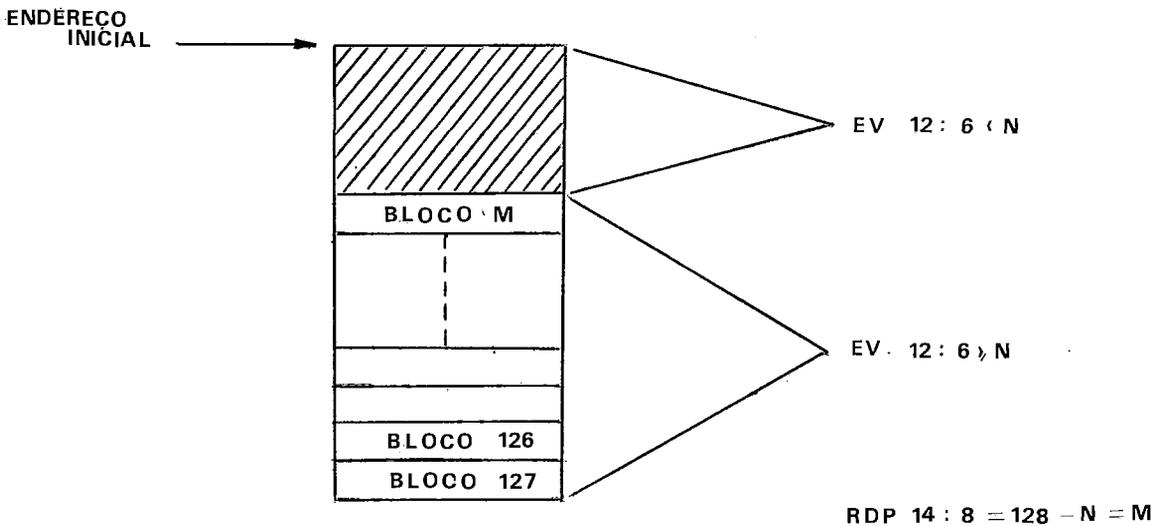


fig III-11

Basicamente, o circuito que ativa a sinalização de aborto é o da figura III.12.

A sinalização de ocorrência de "trap" no sistema de relocação tem por finalidade permitir ao "software" realizar uma atualização das tabelas que registram a frequência de utilização das páginas de um programa na memória principal. Há 3 casos onde é ativada a sinalização de "trap":

- O Registro Descritor da página acessada possui nos bits 2 a 0 a configuração 100.
- Operações de leitura em páginas cujo Registro Descritor possui nos bits 2 a 0 a configuração 001.
- Operações de escrita em páginas cujo Registro Descritor possui nos bits 2 a 0 a configuração 101.

Basicamente, o circuito que ativa a sinalização de "trap" é mostrado na figura III.13.

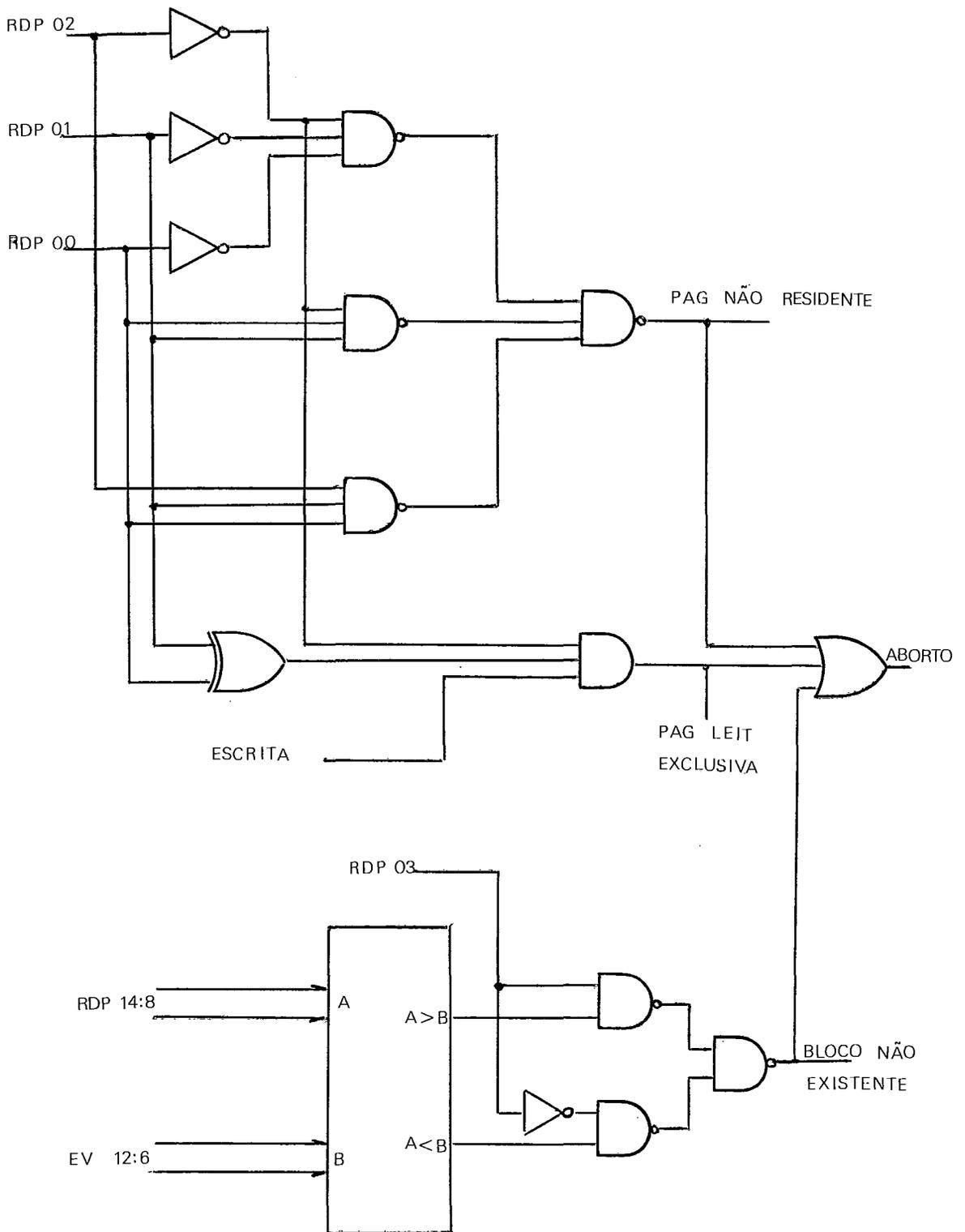


fig III-12

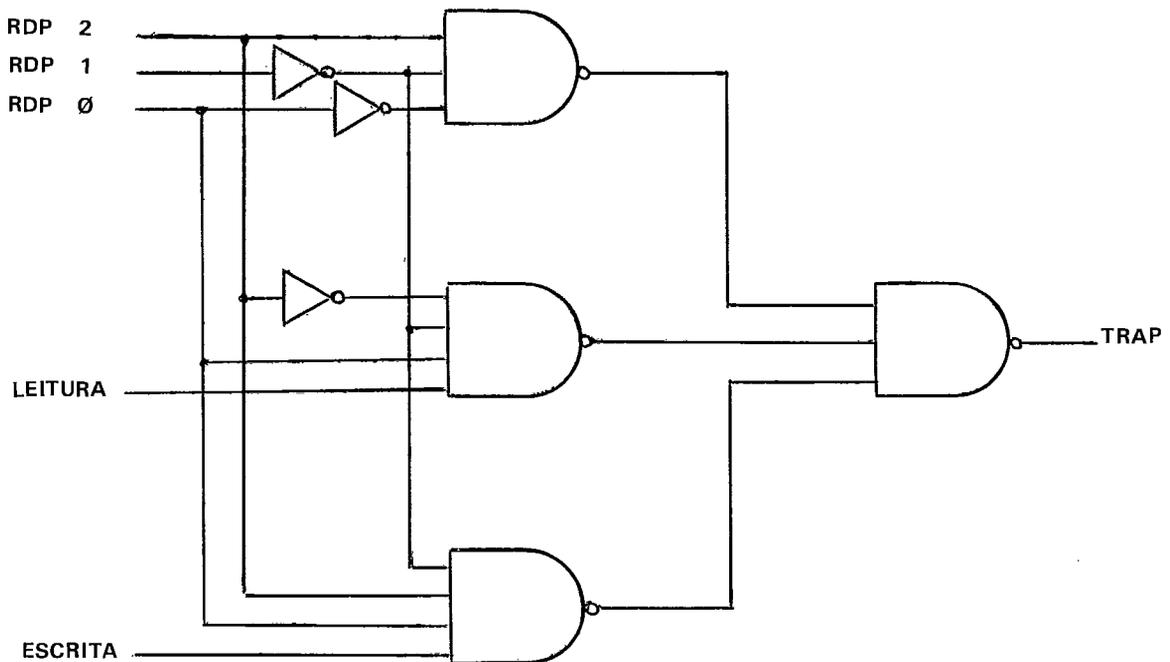


fig III-13

Na ocorrência de "traps" a operação de E/S é completada e só ao final da instrução em curso o sistema reconhece a ocorrência e toma as providências necessárias.

#### 10 - Operação de E/S no Registro de Endereço de Página e no Registro Descritor de Página

Quando em uma operação de E/S é gerado um endereço relativo a um Registro de Endereço de Página ou Descritor de Página, o Sistema de E/S precisa acessar as memórias que compõem as tabelas de relocação, de forma a poder ler ou escrever em uma palavra destas memórias. Esta operação de acesso, no entanto, difere daquelas realizadas para efetuar a relocação do endereço virtual, já que, agora a seleção do registro a ser acessado deve ser feita segundo a configuração de bits presente no endereço real gerado na operação de E/S.

As linhas de habilitação das memórias que compõem as tabelas de relocação são acionadas de acordo com a configuração existente nos bits 8, 6 e 5, já que, por observação dos endereços reais relativos aos Registros de Endereço de Página (REP) e aos Registros Descritores de Página (RDP), podemos verificar a existência da correspondência indicada na tabela abaixo:

<u>bit 8</u>	<u>bit 6</u>	<u>bit 5</u>	<u>Registro</u>
∅	∅	∅	RDP Supervisor
∅	∅	1	RDP Usuário
∅	1	∅	RDP Kernel
∅	1	1	_____
1	∅	∅	REP Supervisor
1	∅	1	REP Usuário
1	1	∅	REP Kernel
1	1	1	_____

As linhas de endereço das memórias são acionadas pelos bits 4 a 1 do endereço real, que definirão, então, a palavra, dentro da memória selecionada pelos bits 8, 6 e 5, que terá seu conteúdo alterado ou lido.

Em operação de escrita, os pulsos de escrita por byte, denominados ESC REP RDP BYTE ALTO e ESC REP RDP BYTE BAIXO, são gerados pelo circuito de controle de operações de E/S com registros internos, conforme descrição a ser feita no capítulo VII deste trabalho. Os dados a serem escritos no registro acessado são obtidos do conteúdo do Registro de Comunicação de Dados.

As operações de escrita nos bits 7 e 6 do RDP são feitas de forma diferente. O conteúdo destes bits é zerado sempre que se realiza uma operação de escrita no RDP a que pertencem ou no REP referente a eles. Durante as operações de relocação do endereço virtual, estes bits podem ou não ser modificados. O bit 7 será feito igual a 1 caso tenha sido registrada a ocorrência de "trap" e não de aborto no processo de relocação do endereço virtual. Em caso contrário, o conteúdo do bit 7 permanece inalterado. Já o bit 6 só tem o seu conteúdo feito igual a 1 quando se realiza uma operação de escrita permitida na página a que se refere. Dessa forma assegura-se que os bits 7 e 6, quando ativados, indicarão, respectivamente, a ocorrência de "traps" ou de escrita no acesso à página a que se referem. Ao se mudar o conteúdo de REP ou RDP, o que implica, respectivamente, em uma troca de página ou de características da página, o conteúdo dos bits 7 e 6 são zerados já que a informação que guardavam não se refere mais àquela página, pelo menos na forma como ela passou a ser definida.

#### 11 - Registros do Sistema de Relocação

Os registros do sistema de relocação tem por finalidade registrar as causas de erros ocorridos ("traps" ou aborto) e informações que permitam reiniciar o programa após ter sido tratada a causa do erro pelo sistema. É também nos registros que se obtém algumas informações referentes ao modo de operação do sistema de relocação, tais como o tipo de relocação a ser utiliza

do e a disponibilidade de utilização do espaço D para relocação.

a) Registro 0 do Sistema de Relocação (R0SR)

É constituído por 14 bits com as seguintes funções:

- bit 15 : regista a ocorrência de aborto por tentativa de acesso à página não residente. Este bit pode ser também ativado por programa, mas, nesse caso, não gera sinalização de aborto para o sistema.
- bit 14 : regista ocorrência de aborto por tentativa de acesso a um bloco não existente na página. Também pode ser ativado por programa, não gerando, nesse caso, sinalização de aborto para o sistema.
- bit 13 : regista ocorrência de aborto por tentativa de realizar uma operação de escrita em página de leitura exclusiva. Quando ativado por programa não gera sinalização de aborto.

A ativação de qualquer um desses 3 bits por "hardware", na ocorrência de erro, só é efetivada caso o sistema esteja operando com relocação e não haja nenhum dos 3 bits já ativados por ocorrência de algum erro anterior, garantindo, dessa forma, que o sistema tratará sempre a causa do primeiro erro registrado.

- bit 12 : regista a ocorrência de "trap" no sistema de relocação. Pode também ser ativado por programa e, neste caso, não é sinalizada a ocorrência de "trap" para o sistema.

Os bits 11 e 10 não são usados.

- bit 9 : quando este bit está em zero, não é gerada a sinalização de ocorrência de "traps" para o sistema, embora o bit 12 do registro continue sendo ativado. Portanto o bit 9 funciona como inibidor de "traps" do sistema de relocação. A ativação do bit 9 é feita por programa.
- bit 8 : é acionado por programa quando se deseja liberar o procedimento de relocação apenas nas operações de E/S referentes a leitura ou escrita do operando destino de uma instrução. A microprogramação fornece a informação que define se

uma operação de E/S é ou não a última de uma -  
instrução. Este procedimento é utilizado em pro-  
gramas de manutenção.

- bit 7 : este bit é zerado quando se efetua a busca de  
uma nova instrução e é ativado quando se carrega o registro de ENDEREÇO VIRTUAL com o valor do VETOR DE TRAP durante a rotina de micropro-  
grama para tratamento de erros no sistema. A ativação dos bits 15, 14 e 13 de R0SR bloqueia a realização de qualquer alteração no valor deste bit. Dessa forma, quando na execução de uma instrução ocorre aborto no sistema de relocação, o bit 7 é mantido em zero até que a rotina de tratamento da causa de aborto desative os -  
bits 15, 14 ou 13 de R0SR. O estado do bit 7 em zero informa a rotina que a instrução abortada deve ser re-executada. Quando ocorre outro tipo qualquer de aborto, o bit 7 é ativado na rotina de microprograma e é desativado na busca da primeira instrução da rotina de tratamento do aborto. Quando ocorre um aborto do sistema de relocação durante a rotina de microprograma de tratamento de um outro aborto, o bit 7, já ativado, permanece ativado durante a rotina de tratamento do aborto de relocação que, nesse caso, não procede a re-execução da instrução abortada.

bits 6 e 5 → armazenam, em forma codificada, o modo utilizado no procedimento de relocação em que houve ocorrência de aborto. O código utilizado é o seguinte: 00 → modo Kernel; 01 → modo Supervisor; 11 → modo Usuário.

- bit 4 → indica o tipo de espaço, I ou D, utilizado no procedimento de relocação em que houve ocorrência de aborto. Será espaço I caso o bit esteja em zero.

bits 3, 2 e 1 → armazenam o valor de EV<15:13> que juntamente com a informação dada pelos bits 6, 5 e 4 define o Registro de Endereço de Página e o Registro Descritor de Página utilizado no procedimento de relocação.

O conteúdo dos bits 6 a 1 não pode ser alterado quando algum dos bits 15, 14 ou 13 está ativado indicando ocorrência de aborto. Dessa forma garante-se que, nesses bits, o sistema encontrará as informações que lhe permitam determinar que página ia ser acessada quando da ocorrência de aborto. Nenhum desses bits pode ser alterado por programa. No processo de relocação e antes da detecção de erros, o "hardware" carrega os 6 bits com os valores convenientes referentes a página utilizada. Caso se detete um erro (aborto) no processo de relocação, algum dos bits 15, 14 ou 13 é ativado. Em uma operação de relocação subsequente, o conteúdo dos bits 6 a 1 não é alterado pelo "hardware" a menos que, por programa, o bit indicador de ocorrência de erro (15, 14 ou 13) já tenha sido desativado, indicando que o sistema já identificou e tratou a causa do erro.

- bit  $\emptyset$  → quando ativado indica que os endereços virtuais devem ser relocados para 18 ou 22 bits. É modificado por programa.

#### b) Registro 1 do Sistema de Relocação (RLSR)

Este registro tem por finalidade armazenar informações que permitam restabelecer o valor dos REGISTROS GERAIS (R $\emptyset$  a R7) no processo de re-execução de uma instrução interrompida devido à ocorrência de aborto.

Durante o procedimento de busca dos operandos de uma instrução é possível que no máximo dois registros gerais tenham seus conteúdos alterados por operações de incremento (modos 2 e 3 de endereçamento) ou de decremento (modos 4 e 5 de endereçamento). Nos bits 2 a  $\emptyset$  do registro é armazenado o valor em binário (000 a 111) do número que define o primeiro registro geral modificado pela instrução. Nos bits 7 a 3 é guardada, em complemento a 2, a quantidade adicionada ou retirada ao conteúdo anterior do registro. Esta quantidade pode assumir os seguintes valores  $\pm 1$  (instruções inteiras operando com byte),  $\pm 2$  (instruções inteiras operando com palavras),  $\pm 4$  (instruções flutuantes operando em precisão simples) e  $\pm 8$  (instruções flutuantes operando em precisão dupla). Nos bits 8 a 6 e 15 a 9 do registro são armazenadas informações idênticas referentes ao segundo registro geral modificado pela instrução.

O conteúdo do registro não pode ser alterado por programa. Quando é detetada a ocorrência de aborto no sistema de relocação, o "hardware" não consegue modificar o conteúdo do registro até que os bits 15 a 13 de R $\emptyset$ SR, indicadores da ocorrência de abortos, tenham sido desativados por programa.

O conteúdo do registro é zerado quando uma nova instrução é trazida para o REGISTRO DE INSTRUÇÃO ou quando o registro de endereço virtu

al é carregado com o vetor de "trap", desde que não haja ocorrido aborto no sistema de relocação.

A microprogramação informa quando uma alteração em registro geral vai ser efetuada e se a alteração consiste em uma operação de incremento ou decremento. O valor a ser incrementado ou decrementado e o número que identifica o registro geral a ser alterado são obtidos da UNIDADE ARITMÉTICA. O primeiro deles é fornecido pela saída da memória de constantes, lá existente, que é utilizada nesses casos e o segundo é obtido das linhas que realizam o endereçamento da memória rescunho.

Um flip-flop realiza o controle da escrita na parte baixa ou alta do registro conforme a escrita corresponda a primeira ou segunda alteração de registro geral em uma instrução. O flip-flop é levado para zero sempre que o conteúdo do registro é zerado.

#### c) Registro 2 do Sistema de Relocação (R2SR)

É carregado com o conteúdo do contador de programas no instante em que é efetuada a busca de uma instrução ou com o conteúdo do vetor de "trap" quando é iniciada a execução da rotina de tratamento de erros em nível de microprograma.

O conteúdo do registro não pode ser alterado por programa e o seu conteúdo se torna inalterável por "hardware" quando ocorre aborto no sistema de relocação. Somente depois de terem sido desativados, por programa, os bits 15 a 13 de R $\emptyset$ SR é que o registro se torna livre para modificações em seu conteúdo.

Conclui-se, portanto, que R2SR serve ao sistema para identificar o endereço da instrução interrompida, por ocorrência de aborto no sistema de relocação, que deverá ser recomeçada após o tratamento da causa do aborto. As informações existentes em R1SR e em R $\emptyset$ SR completam o conjunto de informações necessárias à identificação e ao tratamento da causa do erro, bem como à re-execução da instrução.

Quando ocorre um aborto do sistema de relocação durante a rotina de microprograma de tratamento de um outro aborto, R2SR conterá o vetor de "trap" relativo a rotina de tratamento desse aborto e seu conteúdo é usado pela rotina de tratamento do aborto de relocação para efetuar a busca do Contador de Programas e da Palavra de Status relativos à rotina de tratamento do primeiro aborto, que passa, então, a ser executada.

#### d) Registro 3 do Sistema de Relocação (R3SR)

Este registro possui apenas 5 bits utilizados com as seguintes funções:

- bit 5 → quando ativado habilita o sistema de relocação de endereços da barra de periféricos.
- bit 4 → quando ativado habilita a relocação de endereços virtuais do processador para 22 bits.
- bit 2 → quando desativado impede a utilização do Espaço D no modo Kernel.
- bit 1 → quando desativado impede a utilização do Espaço D no modo Supervisor.
- bit 0 → quando desativado impede a utilização do Espaço D no modo Usuário.

## IV - REGISTROS INTERNOS DO PROCESSADOR

### 1 - Introdução

Neste capítulo será feita uma descrição detalhada dos Registros Internos do Processador com o objetivo de mostrar a função desempenhada por eles dentro do sistema.

Os registros internos podem ter seu conteúdo alterado por "software" e/ou por "hardware". Para a existência de compatibilidade total em "software" entre o PDP-11/70 e o computador a que se refere este trabalho, é estritamente necessário que os registros se comportem de maneira idêntica nas duas máquinas. Devido a isto, a implementação dos registros neste projeto foi feita de forma bastante semelhante à existente no PDP-11/70.

De uma maneira geral podemos ter registros de conteúdo fixo, definido no projeto, e registros cujos conteúdos sejam alteráveis por instrução, através de uma operação de E/S, ou por circuito, em geral quando se detecta a ocorrência de algum tipo de erro na execução de uma instrução.

Os conteúdos dos registros internos têm atuação em diversas partes da máquina, mas, principalmente, nos circuitos do Sistema de Relocação e nos circuitos de sinalização de ocorrência de abortos ou "traps". Alguns destes circuitos, por sua íntima ligação com os registros internos, são também descritos neste capítulo.

### 2 - Registro de Comprimento da Memória

Este registro é composto de 16 bits que indicam o endereço do último bloco de 32 palavras endereçável na memória do sistema. O registro é implementado por meio de "jumpers" que são posicionados de acordo com o tamanho de memória implementado no sistema. Conseqüentemente, é um registro que não pode ter seu conteúdo alterado por programa, podendo, apenas, ser lido. Este registro possui ainda uma extensão de 16 bits reservada para uso futuro.

#### 2.1 - Aborto por Tentativa de Acesso a Posição Inexistente de Memória

Um erro deste tipo é detetado quando os bits 21 a 6 do ENDEREÇO REAL assumem um valor maior do que o especificado pelo Registro de Comprimento da Memória em operação de acesso à memória. O sinal MEMÓRIA NÃO EXISTENTE é gerado nesta situação.

### 3 - Registro de Identificação do Sistema

É também um registro de leitura exclusiva implementado com "jumpers" de forma a identificar o sistema em utilização.

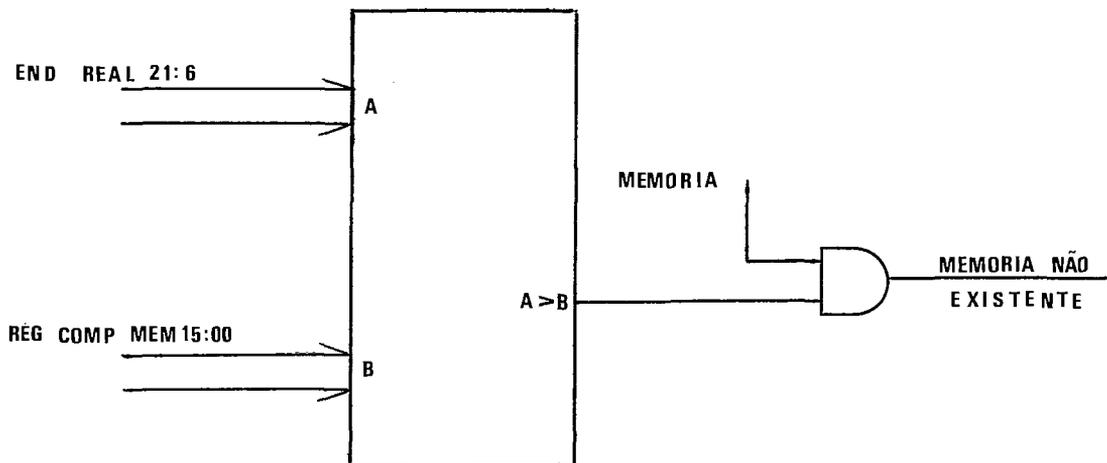


fig IV-1

#### 4 - Registro de Limite da "Stack"

Os bits 15 a 8 deste registro indicam, em múltiplos de  $(400)_8$ , o valor do endereço que limita inferiormente a área reservada para "STACK" no modo Kernel. O conteúdo deste registro pode ser lido ou alterado por programa.

##### 4.1 - Violação Amarela da Stack

Ocorre quando uma operação de escrita na "STACK", no modo Kernel, se refere a um endereço compreendido na faixa dada por: Limite da "Stack" +  $(340)_8$  e Limite da "Stack" +  $(377)_8$ .

A ocorrência de violação amarela causa a geração de sinalização de "trap" para o sistema. O circuito de controle geral das operações de E/S comanda o acionamento de um flip-flop na ocorrência de violação amarela. O flip-flop permanece ativado até que a unidade de controle envie um sinal indicando que a ocorrência de "trap" já foi reconhecida pelo sistema.

##### 4.2 - Violação Vermelha da Stack

Ocorre quando operação de escrita na STACK, no modo Kernel, se refere a um endereço menor ou igual ao dado por Limite da "Stack" +  $(337)_8$ .

A ocorrência de violação vermelha causa a geração de sinalização de aborto para o sistema. Este sinal permanece ativo até que

a unidade de controle sinalize informando que o erro já foi reconhecido pelo sistema.

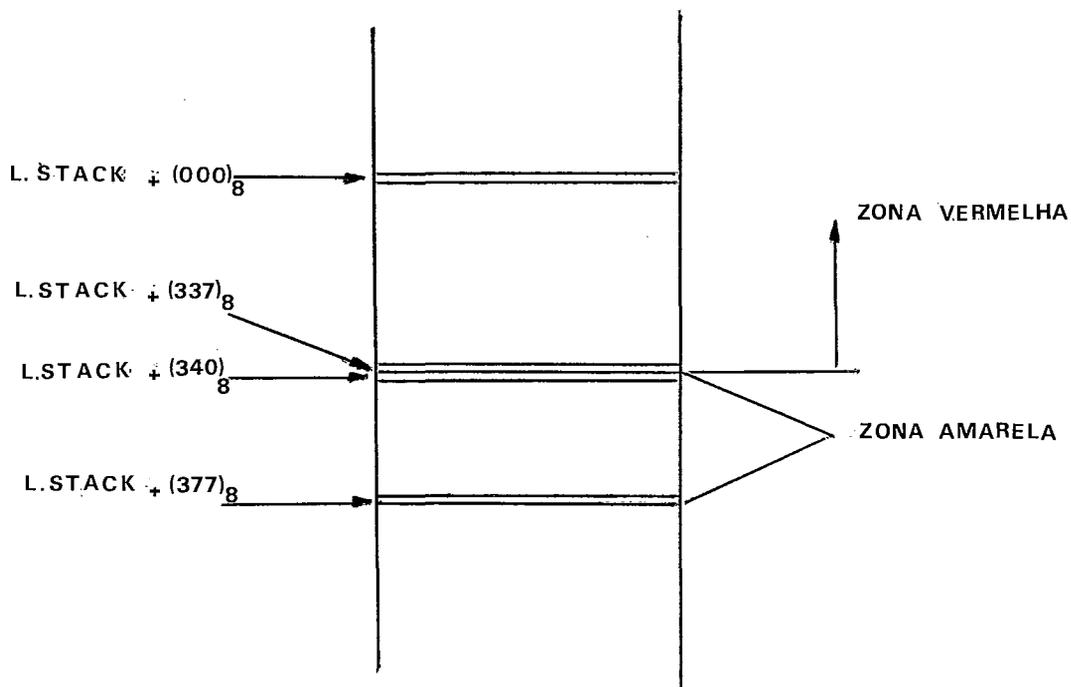
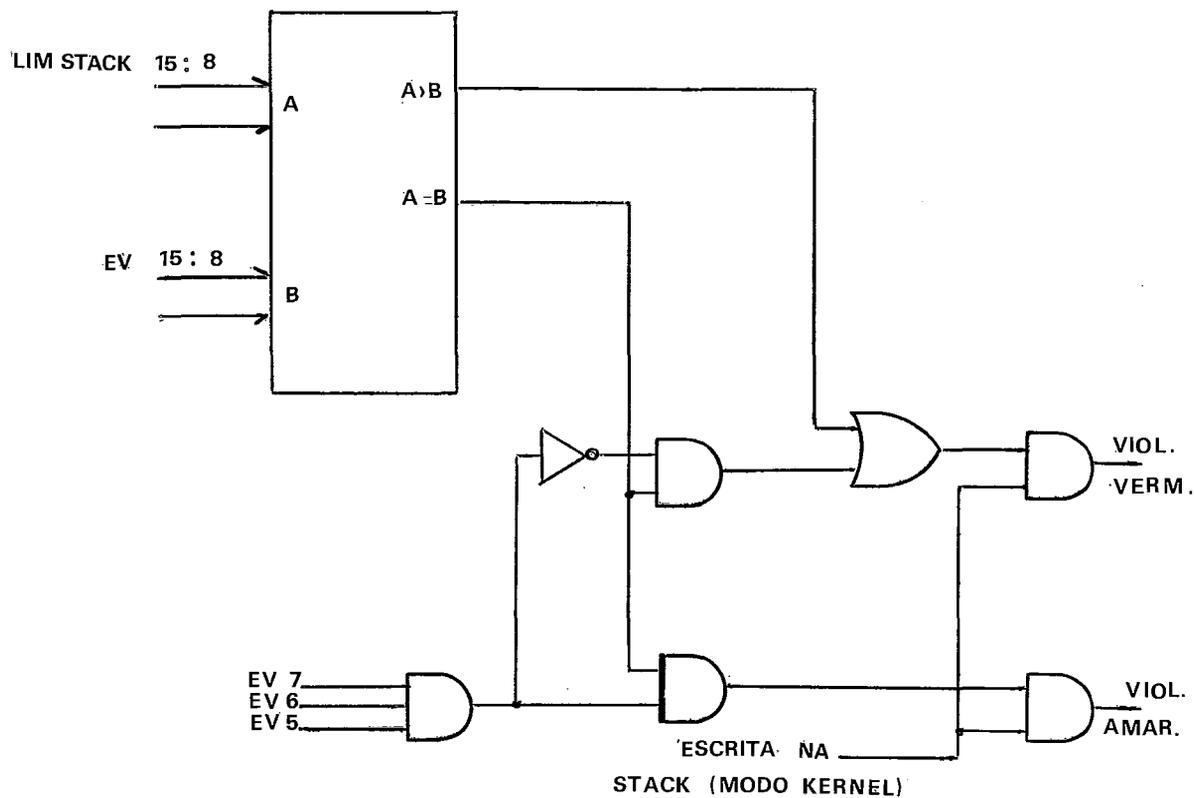


fig IV-2

A zona amarela serve como aviso ao sistema de que uma violação dos limites permitidos da STACK, ou seja, uma entrada na ZONA VERMELHA, está na iminência de ocorrer e, se possível, alguma medida corretiva deve ser adotada pelo programa.

É importante observar que a proteção por "hardware" a "STACK" só é feita para o modo Kernel. Nos modos Supervisor e Usuário, a proteção, se desejada, deve ser feita por "software".

#### 5 - Registro de Erro da UCP

Apenas os bits 7 a 2 deste registro são utilizados. O acionamento destes bits se dá ao ser detetado algum erro no processador, conforme a descrição a seguir:

- bit 7 → é ativado por "hardware" quando é feita uma tentativa de se executar a instrução HALT nos modos Supervisor ou Usuário. Esta instrução só é executável em modo Kernel.
- bit 6 → é ativado para indicar a ocorrência de um erro de endereçamento ímpar. As condições que determinam a ocorrência deste tipo de erro serão descritas adiante.
- bit 5 → é ativado para indicar a ocorrência de erro por tentativa de acesso a posição inexistente de memória.
- bit 4 → é ativado para indicar a ocorrência de "TIMEOUT" em operações de E/S na barra de periféricos.
- bit 3 → é ativado para indicar a ocorrência de violação amarela da "STACK".
- bit 2 → é ativado para indicar a ocorrência de violação vermelha da "STACK".

É através da leitura deste registro que a rotina do sistema, que trata os erros do processador, consegue identificar a causa da ocorrência dos abortos ou "traps" por ela atendidos.

Em operações de escrita no registro o seu conteúdo é, automaticamente, zerado. Este procedimento é, normalmente, adotado após ter sido feita a identificação do tipo de erro ocorrido.

A ativação dos bits 6, 5, 3 e 2 é feita por "hardware" num instante de tempo definido pelo Circuito de Controle Geral das operações de E/S, instante este que se dá após a detecção de erros nos circuitos do Sistema de E/S.

## 6 - Palavra de Status do Processador

Este registro armazena informações que controlam diferentes partes da operação do processador e contém também bits que são modificados em função de operações realizadas na Unidade Aritmética. A implementação deste registro é relativamente complexa tendo em vista que o controle das operações de escrita deve ser feito considerando as várias situações em que se deve alterar ou impedir a alteração do conteúdo do registro.

Existe uma ligação direta entre o conteúdo da Palavra de Status do Processador (PS) e o processo em execução no processador. A uma mudança de processo, como por exemplo ocorre ao se atender uma interrupção, deve ocorrer também uma mudança no conteúdo da PS.

A PS é um registro de 16 bits dos quais apenas 13 desempenham alguma função conforme a descrição dada a seguir. Os bits 10, 9 e 8 não são utilizados.

PS<15:14> → indicam o modo atual de operação do processador. Como já foi visto, existem três modos distintos de operação, identificados pelos seguintes códigos:

PS<15:14> = 0 0 → modo Kernel

PS<15:14> = 0 1 → modo Supervisor

PS<15:14> = 1 1 → modo Usuário

Estes dois bits da PS atuam no circuito do Sistema de Relocação para determinação da tabela de relocação a ser utilizada. É também através destes dois bits que se define qual das três "stacks" existentes será utilizada pelo processador. Há três registros R6, "stack-pointer", no processador. A cada modo corresponde um "stack-pointer". Os bits 15 e 14 da PS são utilizados para seleção do registro R6 a ser utilizado numa operação de escrita ou leitura na "stack".

PS<13:12> → empregando o mesmo código definido anteriormente, estes dois bits indicam o modo anterior de operação do processador.

Estes bits atuam no circuito do Sistema de Relocação para determinação da tabela de relocação a ser utilizada nas operações de leitura de operando em instruções do tipo MFP e nas operações de escrita em instruções do tipo MTP.

Quando há troca de conteúdo da PS, devido a ocorrência de "traps" ou interrupções, a nova configuração armazenada em PS<13:12> é obtida do conteúdo anterior dos bits 15 e 14 da PS.

- PS<11> → indica qual dos dois conjuntos de registros gerais existentes deve ser utilizado pelo processador. Se PS<11> = 1, o conjunto 1 é selecionado. Caso PS<11> = 0, o conjunto 0 é selecionado.
- PS<7:5> → indicam através de um código de 3 bits, em qual dos 8 níveis de prioridade existentes o processador está operando. Estes três bits tem atuação direta no circuito de prioridades, bloqueando o atendimento de interrupções externas ou internas, cujo nível de prioridade seja igual ou inferior ao do processador em um dado instante.
- PS<4> → a ativação deste bit é utilizada como instrumento de depuração em "software". Quando PS<4> = 1, um pedido de "trap" é feito ao processador ao final de cada instrução. Dessa forma consegue-se monitorar a execução de um programa instrução a instrução.
- PS<3:0> → estes quatro bits constituem os códigos de condição do processador. São modificados, de maneira geral, em função dos resultados de operações realizadas na Unidade Aritmética. O bit 3 (N) indica a ocorrência de um resultado negativo. O bit 2 (Z) indica a ocorrência de um resultado nulo. O bit 1 (V) indica a ocorrência de "overflow" e o bit 0 (C) indica a ocorrência de "vai um" ("carry").

### 6.1 - Operação de Escrita na Palavra de Status do Processador

De uma maneira geral há duas formas de se alterar o conteúdo da PS. A primeira delas é através de uma operação de E/S iniciada por meio de uma instrução que se referencia, explicitamente, ao endereço  $(17777776)_8$  para escrita. Este endereço real é decodificado pelo Sistema de E/S que o reconhece como sendo o endereço da PS. Nestes casos, o conteúdo a ser escrito na PS se encontra sempre no REGISTRO DE COMUNICAÇÃO DE DADOS.

A outra forma de se alterar o conteúdo da PS é comandada diretamente pela unidade de controle microprogramada que, em geral, tem o poder de alterar todo o conteúdo da PS ou apenas alguns bits dela. Dada a diversidade de maneiras pelas quais se pode alterar cada bit da PS, passamos a descrever como se processam as operações de escrita em cada um destes bits.

#### 6.1.1 - Escrita nos bits 15 a 11

##### 6.1.1.1 - Escrita devida a uma operação de E/S

Estes cinco bits da PS são implementados com flip-flops tipo D. A alteração destes bits em operações de E/S é feita pelo acionamento das linhas de "clock" destes flip-flops no instante em que é gerado o sinal CK REG INT pelo circuito de controle das operações de E/S com registros internos (capítulo VII), desde que a operação requisitada ao Sistema de E/S seja uma escrita em palavra ou em byte alto (bits 15 a 8) e o endereço real relativo a ela se refira a PS. A informação a ser escrita nestes bits é obtida dos bits 15 a 11 do Registro de Comunicação de Dados.

É importante observar que, por meio de uma operação de E/S, qualquer configuração de bits pode ser carregada nos bits 15 a 11 da PS. Assim sendo, não existe nenhuma proteção por "hardware" que impeça um programa qualquer de mudar o modo de operação do processador ou o conjunto de registros gerais utilizados pelo processador. Esta proteção deve ser feita por "software" através das tabelas de relocação, que podem ser definidas de forma a não permitir que programas executados no modo Usuário ou Supervisor tenham acesso a escrita na PS.

##### 6.1.1.2 - Escrita gerada pela unidade de controle

Neste caso, a operação de escrita pode se processar tanto por atuação nas linhas de "preset" dos flip-flops como nas linhas de "clock". No entanto, o acionamento das linhas de "clock" só é permitido em certas situações especiais que serão descritas adiante. Nos demais casos a operação só se processa através das linhas de "preset", o que faz com que as alterações dos bits 15 a 11 só possam ocorrer de "0" para "1" e não no sentido inverso. Isto implica em que, nestes casos, a unidade de controle só pode fazer com que o processador passe de um modo de operação mais privilegiado para outro menos privilegiado, ou seja, de Kernel para Supervisor ou Usuário ou de Supervisor para Usuário. Uma restrição seme-

lhante ocorre com relação ao conjunto de registros gerais, já que a unidade de controle só tem possibilidade de fazer com que o processador passe a utilizar o conjunto  $l$  ao invés do conjunto  $\emptyset$ .

Porém, conforme se disse anteriormente, em alguns casos especiais a operação de escrita se dá por atuação nas linhas de "clock" e, nestes casos, qualquer tipo de alteração nos bits 15 a 11 é possível. A liberação da escrita através das linhas de clock só ocorre nos seguintes casos.

- o processador trabalha em modo Kernel ( $PS < 14 > = \emptyset$ ). A informação a ser escrita é obtida dos bits 15 a 11 do Registro de Comunicação de Dados.

- a unidade de controle executa a busca de uma nova PS durante o tratamento de interrupções ou "traps" ou então executa alguma das instruções existentes que simulam a ocorrência de "traps". Nestes casos, a unidade de controle envia ao sistema de E/S o sinal KNL FORÇADO, ativado no instante em que foi iniciada a operação de leitura para a busca da nova PS, uma vez que o endereço relativo a esta leitura deve ser relocado no modo Kernel, conforme foi mostrado no capítulo - III. A informação a ser armazenada nos bits 15, 14 e 11 da PS é obtida dos bits 15, 14 e 11 do Registro de Comunicação de Dados, ao passo que, no caso dos bits 13 e 12 a informação deve ser obtida dos bits 15 e 14 da PS anterior. Dessa forma, assegura-se que, na ocorrência de interrupções ou "traps", a nova PS conterá, nos bits 13 e 12, o modo de operação do processador referente ao programa interrompido.

- a unidade de controle executa uma operação de "restauração da PS" ao haver um aborto durante a rotina que é executada a nível de microprograma para iniciar o atendimento das ocorrências de abortos, "traps" ou interrupções. A operação de restauração da PS consiste em carregar de volta o conteúdo da PS existente antes da interrupção, "trap" ou aborto e que havia sido transferido temporariamente para o Registro de Comunicação de Dados para posterior salvamento na "stack". A necessidade de se realizar esta restauração é mostrada no capítulo X deste trabalho. Como se pode concluir, numa operação de restauração da PS, o conteúdo dos bits 15 a 11 é carregado com o conteúdo existente nos bits correspondentes do Registro de Comunicação de Dados. A identificação pelo Sistema de E/S de que a operação de escrita se refere a uma restauração da PS é feita pela recepção do sinal RESTAURA PS gerado pela unidade de controle.

Por uma análise do conjunto de instruções existentes na máquina, observa-se que somente durante a execução das instruções RTI e RTT, nos modos Supervisor e Usuário, a unidade de

controle fica impedida de alterar o conteúdo dos bits 15 a 11 da PS através das linhas de "clock" da PS. Com isso evita-se, conforme já foi dito, que programas executados em um determinado modo possam passar a ser executados em um modo mais privilegiado pela execução de uma instrução RTI ou RIT ou que programas executados no modo Usuário ou Supervisor possam alterar a definição do conjunto de registros gerais utilizado pelo processador através dessas instruções.

De forma geral e diante das considerações feitas, podemos representar o circuito que realiza as operações de escrita nos bits 15 a 11 da PS pelo esquema mostrado na fig. IV.3.

### 6.1.2 - Escrita nos bits 7 a 5

Estes bits foram implementados com um registro tipo 74S175. O conteúdo deste registro pode ser alterado através de uma operação de escrita de três maneiras distintas.

#### 6.1.2.1 - Escrita devida a uma operação de E/S

Ocorre quando uma instrução gera o endereço da PS como endereço para escrita de palavra ou byte baixo. Neste caso a linha de "clock" do registro é acionada pelo sinal CK REG INT. A informação carregada no registro é obtida dos bits 7, 6 e 5 do Registro de Comunicação de Dados.

Novamente aqui a única proteção que existe contra alterações da prioridade do processador por programas executados nos modos Supervisor e Usuário é a maneira como o "software" define as tabelas de relocação.

#### 6.1.2.2 - Escrita gerada pela unidade de controle

Os bits 7 a 5 da PS só podem ser alterados diretamente pelo microprograma em um dos seguintes casos:

- o processador trabalha em modo Kernel.

- busca de uma nova PS em casos de ocorrência de "traps", interrupções ou de execução de instruções que simulam "traps", ou seja, alterações da PS feitas com a ativação do sinal KNL FORÇADO pela unidade de controle.

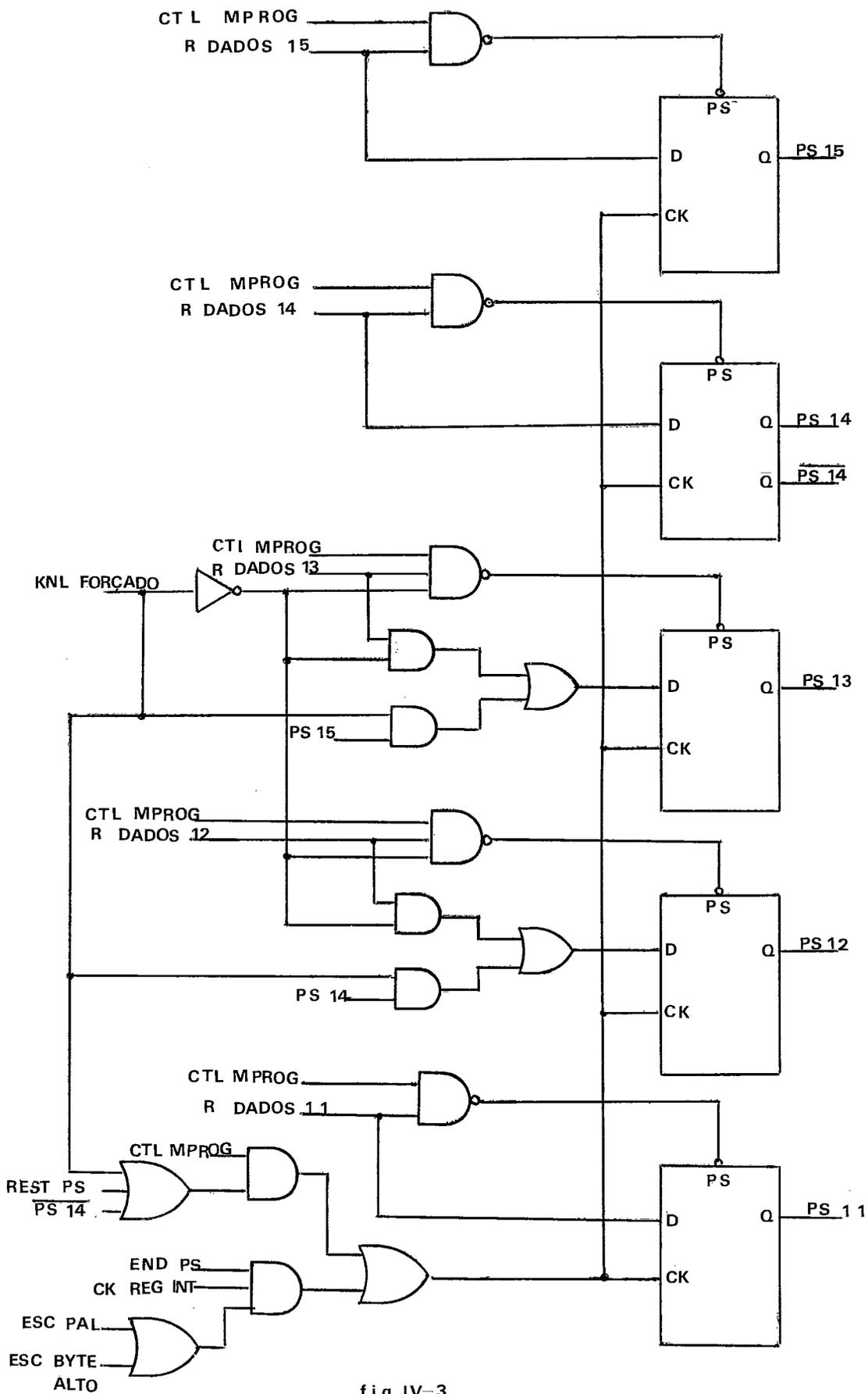


fig IV-3

- operações de restauração da PS.

Nos demais casos, ou seja, durante a execução das instruções RTI e RTT nos modos Supervisor e Usuário, quando o microprograma consegue alterar os bits 15 a 11 da PS por atuação direta nas linhas de "preset" dos flip-flops, os bits 7 a 5 da PS permanecem inalterados, mantendo constante a prioridade do processador.

A escrita dos bits 7 a 5 da PS sob controle direto do microprograma utiliza também como dado os bits 7 a 5 do Registro de Comunicação de Dados.

#### 6.1.2.3 - Escrita gerada pela instrução SPL ("Set Priority Level")

A instrução SPL, quando executada em modo Kernel ( $PS<14> = 0$ ), transfere para os bits 7 a 5 da PS o conteúdo dos bits 2 a 0 do Registro de Comunicação de Dados, ou seja, a instrução SPL, em modo Kernel, permite ao programa mudar a prioridade do processador. A unidade de controle informa ao Sistema de E/S que uma instrução SPL está sendo executada.

Do que foi exposto, pode-se propor o esquema da figura IV.4 como representativo do circuito que realiza a escrita nos bits 7 a 5 da PS.

#### 6.1.3 - Escrita no bit 4 (bit T)

O bit 4 da PS foi implementado com um flip-flop tipo D, cuja entrada D está ligada ao bit 4 do Registro de Comunicação de Dados. A linha de "clock" do flip-flop só é ativada quando a unidade de controle dá ordem de escrita na PS. Sendo assim, o bit T permanece inalterado em operações de escrita na PS devidas às operações de E/S. A alteração do bit T só, é possível em instruções RTI e RTT ou em operações de busca de uma nova PS devido à ocorrência de abortos, "traps" e interrupções ou ainda devido à execução de instruções que simulam "traps".

#### 6.1.4 - Escrita nos bits 3 a 0

Os bits 3 a 0 da PS foram implementados com quatro flip-flops tipo D que podem ter seus conteúdos alterados nas seguintes situações:

6.1.4.1 - Execução de instruções que afetam diretamente os códigos de condição (CLN, SEN, CLZ, SEZ, CLV, SEZ, CLV, SEV, CLC, SEC, CCC, SCC)

A unidade de controle, ao identificar que uma destas instruções deve ser executada, gera um sinal que atua sobre as linhas de "preset" ou "clear" de um ou mais flip-flops de condição.

6.1.4.2 - Escrita gerada diretamente pela unidade de controle

Ocorrem em dois casos:

sos:

- quando a unidade de controle executa uma instrução RPI ou RPT ou quando é armazenada uma nova PS devido à ocorrência de abortos, "traps" ou interrupções ou devido à execução de instruções que simulam "traps".

- quando a unidade de controle necessita alterar apenas o conteúdo dos códigos de condição, PS<3:0>, em função das operações realizadas na Unidade Aritmética durante a execução de uma instrução.

Nos dois casos a operação de escrita se dá por atuação nas linhas de "clock" dos flip-flops, sendo as entradas D acionadas, no primeiro caso, pelos bits 3 a 0 do Registro de Comunicação de Dados e, no segundo caso, pelas saídas de circuitos existentes na Unidade de Controle capazes de gerar, dentro das condições específicas de cada instrução, o valor binário correto para armazenamento nos flip-flops.

6.1.4.3 - Escrita devida à uma operação de E/S

Ocorre quando é dada uma ordem de escrita em palavra ou em byte baixo (bits 7 a 0) no endereço relativo a PS. A alteração dos flip-flops, neste caso, ocorre quando o sinal CK REG INT atua sobre as linhas de "clock" dos flip-flops. A informação a ser armazenada nos quatro bits é obtida dos bits 3 a 0 do Registro de Comunicação

de Dados.

Uma descrição mais detalhada dos circuitos que realizam a operação de escrita nos bits 3 a 0 da PS pode ser encontrada no trabalho de tese de Adriano Joaquim de Oliveira Cruz<sup>2</sup>.

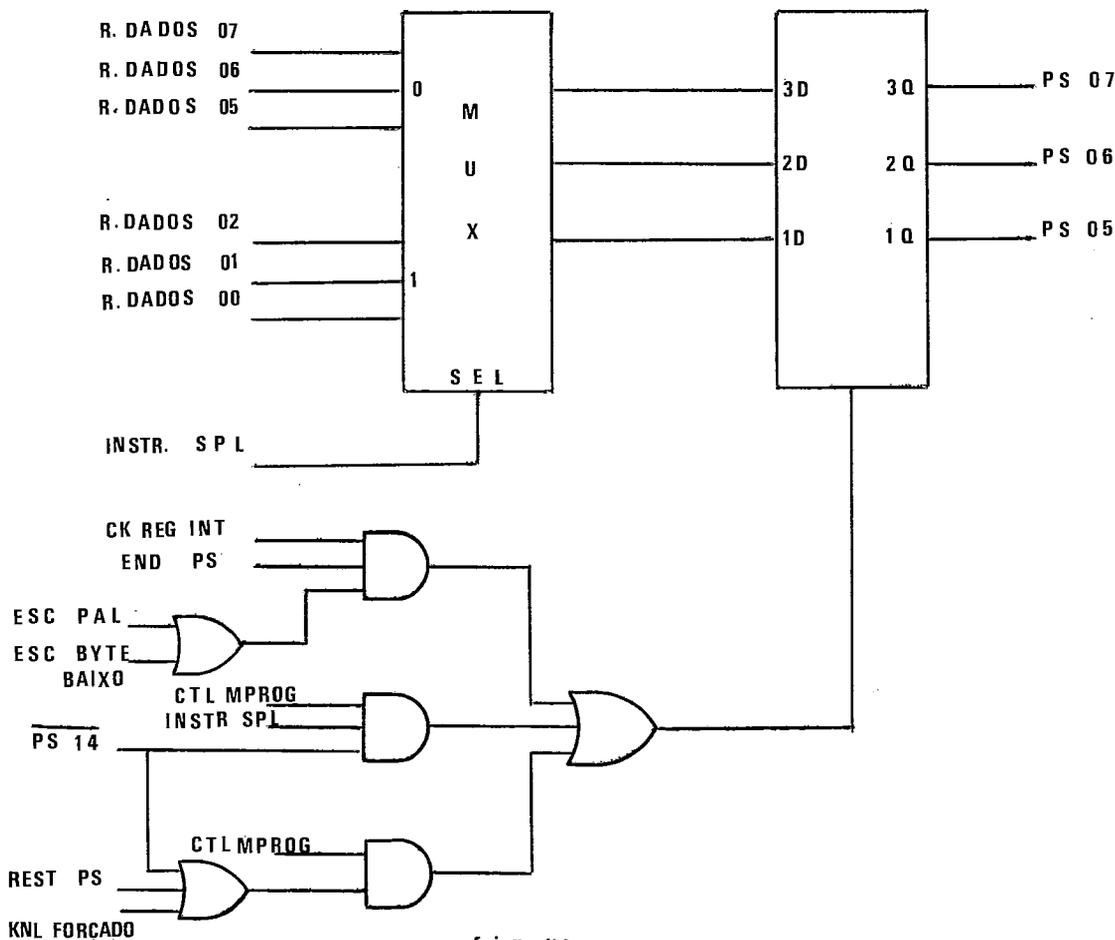


fig IV-4

## 7 - Registro de Pedido de Interrupção por Programa

A função básica desse registro é permitir o armazenamento de pedidos de interrupção por programa. Este armazenamento é feito através do acionamento de um de 7 bits existentes no registro, bits 15 a 9. A cada bit corresponde um determinado nível de prioridade para o pedido de interrupção. Aos pedidos feitos por acionamento do bit 15 corresponde a prioridade mais alta, sendo os pedidos registrados pelo bit 9 os de prioridade mais baixa.

A técnica de se utilizar interrupções por programa permite que o sequenciamento adotado na execução de um conjunto de programas seja de terminado ou alterado em função de condições detetadas durante a execução de qualquer um dos programas pertencentes ao conjunto. Para esclarecer melhor,

consideremos uma situação em que haja 4 programas para serem executados A, B, C e D. A sequência normal de execução destes programas seria  $A \rightarrow B \rightarrow C \rightarrow D$ . Suponhamos, no entanto, que, caso uma condição X qualquer ocorra durante a execução do programa A, o programa C deva ser executado em seguida ao programa A, antes do programa B e, ainda mais, que se uma condição Y for detetada durante a execução do programa A, independentemente de ter ocorrido ou não a condição X, o programa D deva ser executado imediatamente após ao programa A. Ou seja, em resumo, teríamos quatro possibilidades para o sequenciamento dos programas.

Não ocorreu nem X nem Y:  $A \rightarrow B \rightarrow C \rightarrow D$

Ocorrência apenas de X:  $A \rightarrow C \rightarrow B \rightarrow D$

Ocorrência de Y e não de X:  $A \rightarrow D \rightarrow B \rightarrow C$

Ocorrência de Y e de X :  $A \rightarrow D \rightarrow C \rightarrow B$

Vejamos como o sistema poderia se comportar para solucionar este problema. Ao ser iniciado o programa A, o registro de Pedido de Interrupção por Programa é carregado, acionando-se os bits 11, 10 e 9. A interrupção a ser provocada pelo bit 11 (nível 3 de prioridade) corresponde a execução do programa B. As interrupções provocadas pelos bits 10 e 9 (níveis 2 e 1 de prioridade) estão associadas, respectivamente, as execuções dos programas C e D. Para evitar que estas interrupções ocorram antes do término do programa A, o nível de prioridade com que este programa é executado deve ser definido corretamente. Por simplicidade suponhamos que este nível seja 7, ou seja, que os bits 7 a 5 da Palavra de Status do Processador estejam em 1.

Caso durante a execução do programa A seja detetada a ocorrência da condição X, o bit 10 do Registro de Pedido de Interrupção por Programa é desativado e o bit 12 é acionado. A interrupção provocada pelo bit 12 (nível 4 de prioridade) o sistema deve, também, associar a execução do programa C, que passa a ser prioritária em relação à execução dos programas B e D.

Um procedimento análogo deve ser adotado com relação a ocorrência da condição Y. Neste caso o bit 9 deve ser desativado e o bit 13 acionado, estando o sistema pronto para associar à interrupção causada pela ativação deste bit (nível 5 de prioridade) a execução do programa D, que passa a ser o mais prioritário.

Ao final do programa A, o seu nível de prioridade é levado para zero, por escrita nos bits 7 a 5 da Palavra de Status, e, de acordo, com o estado dos bits 15 a 9 do Registro de Pedido de Interrupção por Programa fica definida a sequência de execução dos programas.

Cada programa que entra, então, em execução, o faz, normalmente, com o nível de prioridade atribuído a ele no Registro de Pedido de Inter-

rupção por Programa. Para facilitar esta operação, os bits 7 a 5 deste registro dão indicação, em forma codificada, do nível de prioridade do bit, acionado no registro, relativo ao pedido de interrupção de mais alta prioridade existente. Com isso, ao se iniciar a execução de um dos programas em questão é feita a carga dos bits 7 a 5 da Palavra de Status do Processador com o conteúdo lido dos bits 7 a 5 do Registro de Pedido de Interrupção por Programa e é desativado o bit, neste registro, que provocou a interrupção para execução do programa. Por exemplo, no caso de o programa C ser executado após o programa A, os bits 7 a 5 da Palavra de Status do Processador seriam carregados com o valor 4 e o bit 12 do Registro de Pedido de Interrupção por Programa seria desativado.

Ao final da execução, o nível de prioridade do programa é levado para zero, permitindo que um novo pedido de interrupção seja atendido, repetindo-se o procedimento descrito.

Como já vimos, portanto, os bits 15 a 9 do Registro de Pedido de Interrupção por Programa podem ser lidos ou alterados por instrução. Já os bits 7 a 5 e 3 a 1, que possuem conteúdo idêntico, só podem ser lidos por instrução sendo alterados apenas por "hardware" através de um circuito codificador de prioridade, com saída em 3 bits, que recebe os bits 15 a 9 do registro como entrada.

A razão de se ter nos bits 3 a 1 uma repetição do conteúdo dos bits 7 a 5 está na forma como é implementada a rotina de tratamento de interrupções por programa. Qualquer que seja o nível de prioridade da interrupção ocorrida, uma mesma rotina é, inicialmente, executada. Basicamente, esta rotina carrega o conteúdo dos bits 7 a 5 do Registro de Pedido de Interrupção por Programa nos bits 7 a 5 da Palavra de Status do Processador e efetua um desvio para a posição de memória onde se encontra a instrução inicial da rotina específica de tratamento da interrupção ocorrida. Este desvio é feito através de leitura de uma tabela composta de 7 palavras, contendo, cada uma delas, o endereço inicial da rotina de tratamento de interrupção de um determinado nível. Para leitura desta tabela, utiliza-se o conteúdo de um Registro Geral como endereço base da tabela e o conteúdo dos bits 3 a 1 do Registro de Pedido de Interrupção por Programa como índice, o que permite, a partir do endereço base acessar 8 palavras diferentes em função do índice presente. Dessas 8 palavras apenas 7 são utilizadas já que não existe pedido de interrupção com o nível 0 de prioridade

## 8 - Registros do Sistema de Relocação

São os registros R0SR, R1SR, R2SR e R3SR já descritos no capít

tulo III deste trabalho.

### 9 - Registros de Endereço de Página e Registros Descritores de Página

São também apresentados e analisados no capítulo III deste trabalho.

### 10 - Registro de Chaves e Lâmpadas

É um registro do painel da máquina. Em operações de leitura a informação colocada nas chaves pelo operador é transferida para o Registro de Comunicação de Dados. Em operações de escrita o conteúdo presente no Registro de Comunicação de Dados é mostrado nas lâmpadas ("leds") do painel. A descrição mais detalhada deste registro pode ser encontrada no trabalho de tese de Rogério Antonio Sampaio Parente Vianna<sup>5</sup>.

### 11 - Registro de Parada do Microprograma

Este registro é utilizado durante a depuração ou realização de manutenção da máquina. O conteúdo deste registro indica o endereço da última microinstrução que deve ser executada pela unidade de controle quando esta se encontra sob teste. Ao ter sido gerado pela unidade de controle um endereço de micro instrução igual ao existente no registro, a execução do microprograma fica suspensa, permitindo que em condições estáticas se faça uma verificação da situação dos registros e demais pontos importantes da máquina no processo de execução de uma dada tarefa. Uma descrição mais detalhada deste registro é feita no trabalho de tese de Adriano Joaquim de Oliveira Cruz<sup>2</sup>.

### 12 - Operação de Leitura nos Registros Internos

A operação de leitura de um registro interno consiste na transferência de seu conteúdo para o Registro de Comunicação de Dados. Ocorre sempre que o endereço de um registro interno é identificado pelo Sistema de E/S em operações de leitura desencadeadas por ordem da unidade de controle. Apenas a Palavra de Status do Processador e o Registro de Chaves do Painel podem ter seu conteúdo transferido para o Registro de Comunicação de Dados sem que haja uma operação de E/S propriamente dita. Em relação a PS isto ocorre quando a unidade de controle transfere seu conteúdo para o Registro de Comunicação de Dados a fim de poder realizar a operação de salvamento do seu conteúdo, necessária no caso de ocorrência de "traps", abortos ou interrupções ou durante a execução de uma instrução que simule a ocorrência de "traps". No caso do Registro de Chaves, o seu conteúdo é transferido para o Registro de Co-

municação de Dados, sem haver uma operação de E/S, quando a unidade de controle executa um microprograma relativo a alguma função do painel (vide teses de Adriano Joaquim de Oliveira Cruz<sup>2</sup> e Rogério Antônio Sampaio Parente Vianna<sup>5</sup>).

Em qualquer caso, no entanto, o conteúdo de um registro interno chega ao Registro de Comunicação de Dados através de circuitos multiplexadores controlados normalmente pelo sistema de E/S. Nos dois casos excepcionais citados anteriormente, tanto o controle dos multiplexadores como o pulso que carrega o conteúdo do registro interno no Registro de Comunicação de Dados são gerados pela unidade de controle. Em operações de E/S o pulso que comanda a carga do Registro de Comunicação de Dados é gerado pelo circuito de controle das operações de E/S com registros internos a ser descrito no capítulo VII deste trabalho.

Esquemáticamente a multiplexação dos registros internos para carga no Registro de Comunicação de Dados pode ser visualizada no diagrama da fig. IV.5.

O último nível de multiplexação mostrado na figura é necessário por ser o Registro de Comunicação de Dados, o registro de comunicação da UCP com o meio externo. Sendo assim, este registro deve ser capaz de receber dados lidos da MEMÓRIA ou de PERIFÉRICOS. Os dados provenientes da Unidade Aritmética ou de Registros Internos são também armazenados neste registro para permitir sua transferência para o meio externo através de operações de escrita ou até mesmo para permitir transferência do conteúdo de um registro interno para outro. Nada impede, também, que este registro seja utilizado pela Unidade Aritmética como registro auxiliar durante a execução de alguma tarefa determinada pela Unidade de Controle.

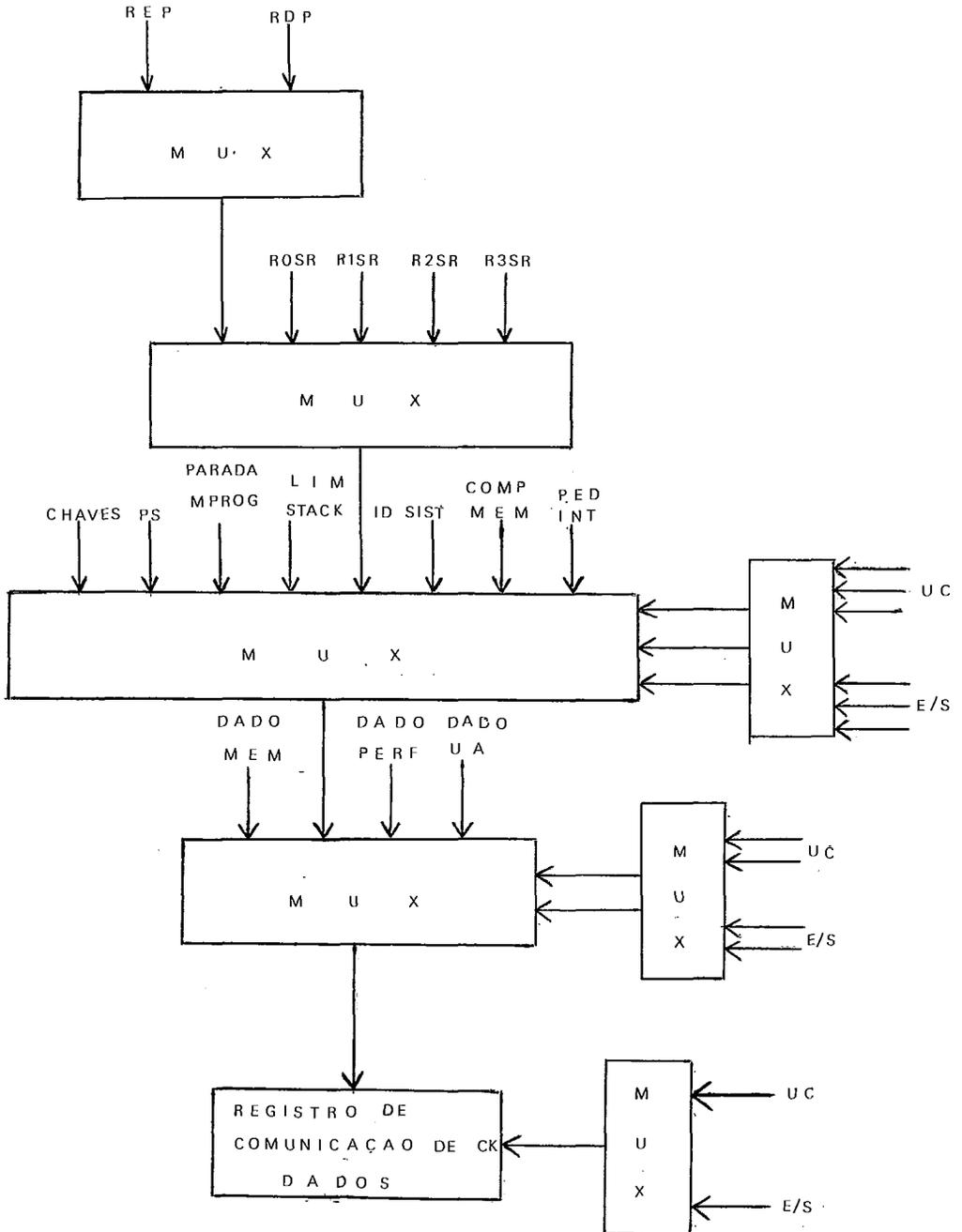


fig IV-5

## V - ABORTOS E TRAPS

### 1 - Introdução

O objetivo deste capítulo é descrever as condições em que ocorrem sinalização de ABORTOS e "TRAPS" na UCP. A ocorrência de ABORTO é sempre devida à existência de algum erro grave durante a execução de uma operação de E/S. Dada a característica deste erro, que inviabiliza a realização da operação de E/S ou invalida o seu resultado, a sinalização de ABORTO provoca sempre a suspensão da execução da instrução em curso. Ao ser detetada a sinalização de ABORTO, a UCP passa a executar uma rotina especial de tratamento do erro ocorrido.

A ocorrência de "TRAP", no entanto, nem sempre está vinculada a algum tipo de erro. A sinalização de "TRAP" pode ser feita para prevenir a ocorrência de alguma falha irreversível ou até mesmo como instrumento do sistema para realização de monitoração da utilização das páginas de memória, caso dos "traps" existentes no sistema de relocação, e para facilitar a depuração de um programa, caso dos "traps" provocados pelo bit T da PS. Através do painel é também possível gerar sinalização de "TRAP" na UCP, permitindo ao operador intervir, caso o sistema tenha entrado em "loop", ou realizar uma operação qualquer sob controle do painel.

Uma sinalização de "TRAP" só é reconhecida pela unidade de controle ao fim de uma instrução e tem, como efeito imediato, fazer com que a UCP passe a executar uma rotina específica para tratamento do tipo de ocorrência sinalizado.

### 2 - Tipos de Aborto

#### 2.1 - Erro de Endereçamento Ímpar

A UCP, a que se refere este trabalho, opera tanto com palavras de 16 bits como com bytes. Portanto, as operações de leitura ou escrita de operandos na memória, registros e registros internos podem, de maneira geral, se referirem a uma palavra, ao byte alto de uma palavra (bits 15 a 8) ou, ainda, ao byte baixo de uma palavra (bits 7 a 0).

Existe, no código de operação das instruções executáveis por esta UCP, uma indicação que diferencia as instruções que operam com bytes das instruções que operam com palavras de 16 bits. Esta indicação é dada pelo bit 15 do código da instrução. O código das instruções que operam com bytes tem o bit 15 igual a 1 e no código das instruções que operam com palavras este bit é igual a zero. As únicas exceções se devem as instruções de subtração (SUBTR), MIP e MFP e as instruções de ponto flutuante que, apesar de terem no seu código o bit 15 igual a 1, operam com palavra.

Em operações de E/S de acesso a bytes é através do endereço gerado que se identifica qual dos bytes pertencentes a uma palavra deve ser acessado. Se o bit 0 do endereço for igual a 0, a operação de E/S se refere ao byte baixo e, em caso contrário, ao byte alto. Conclui-se, portanto, que o endereço de uma operação de E/S somente será IMPAR caso se deseje acessar o byte alto de uma palavra e poderá ser par tanto quando se deseja acessar uma palavra ou o byte baixo de uma palavra.

Do que foi visto, concluímos que somente as instruções que operam com bytes poderão gerar um endereço ímpar durante uma operação de E/S. Mesmo assim, este endereço ímpar só será válido se ele for gerado em uma operação de leitura ou escrita de operando. Em operações de busca de instrução, busca de índice ou busca de endereço de operando, a geração de um endereço ímpar será considerada inválida mesmo em instruções de byte, já que uma instrução, um índice ou um endereço de operando sempre ocupam uma palavra de 16 bits na estrutura definida para esta UCP.

Portanto, podemos considerar que, de forma geral, o circuito abaixo assegura a sinalização de aborto caso ocorra, em uma operação de E/S, geração de endereço ímpar inválido.

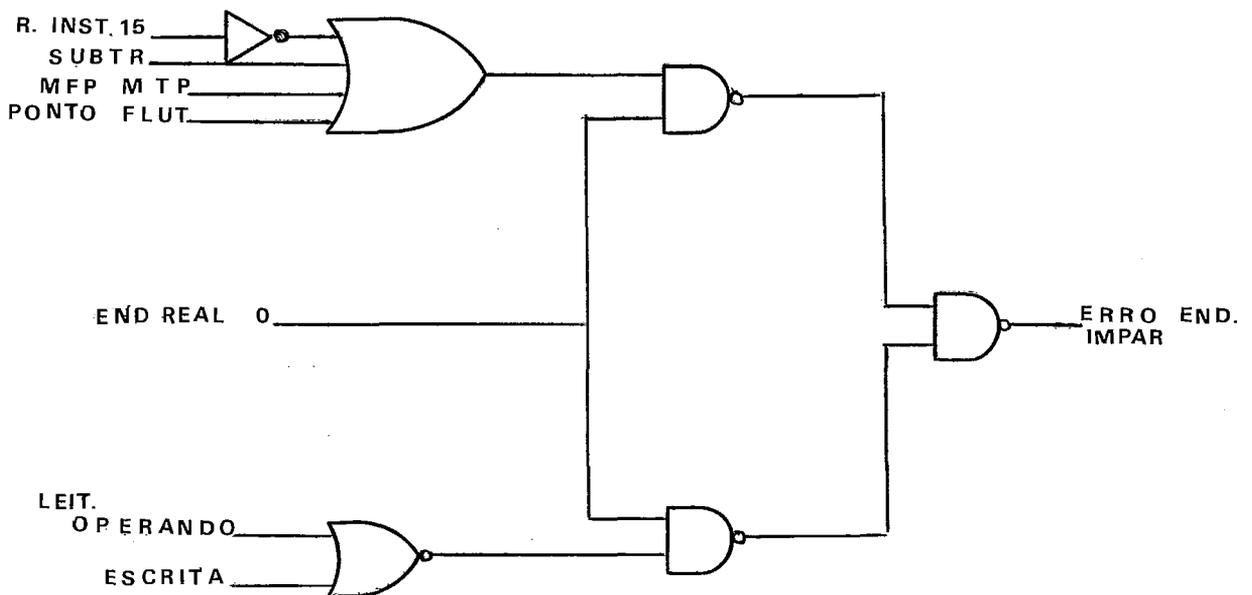


fig V-1

## 2.2 - Tentativa de Acesso a Posição Inexistente de Memória

Este tipo de erro é analisado no capítulo IV deste trabalho.

## 2.3 - Abortos do Sistema de Relocação

As condições em que ocorrem aborto no processo de relocação do endereço no processador são apresentadas no capítulo III deste trabalho.

## 2.4 - Violação Vermelha do Limite da "Stack"

Este tipo de erro é analisado no capítulo IV deste trabalho.

## 2.5 - Ocorrência de "Timeout" na Barra de Periféricos

Diz-se que há ocorrência de "timeout" em operações de E/S na barra de periféricos, quando a UCP não recebe resposta do periférico à requisição de uma operação de E/S. Esta requisição é caracterizada pela emissão da UCP para todos os periféricos de um sinal através da linha SINC MESTRE, após terem sido colocados, pela UCP, na barra de comunicação com os periféricos, endereço, dado e controles necessários à realização da operação de E/S. O periférico, que teve um de seus registros endereçado, ao completar a operação de E/S requisitada, deve responder a UCP com o envio de sinal através da linha SINC ESC. A não recepção pela UCP deste sinal até 10 $\mu$ s após o envio do sinal através da linha SINC MESTRE caracteriza a ocorrência de "timeout". Este evento encontra-se descrito, em maiores detalhes, no capítulo VIII deste trabalho.

Do que foi dito acima, podemos concluir que o circuito necessário à detecção de ocorrência de "timeout" encontra-se esquematizado na figura V.2.

## 2.6 - Erro de Paridade na Barra de Periféricos

Pode ser registrado em operações de leitura na barra de periféricos. Nesta barra existem duas linhas, PA e PB, que são utilizadas pelo periférico, em operações de leitura, para informar à UCP se o dado que está sendo enviado a ela contém ou não erro de paridade. Caso haja erro de paridade a UCP recebe PA em nível 1 e PB em nível 0. Um flip-flop tipo D registra a ocorrência do erro de paridade. A linha de "clock" deste flip-flop é comandada pelo mesmo sinal que carrega o dado lido no Registro de Co

municação de Dados.

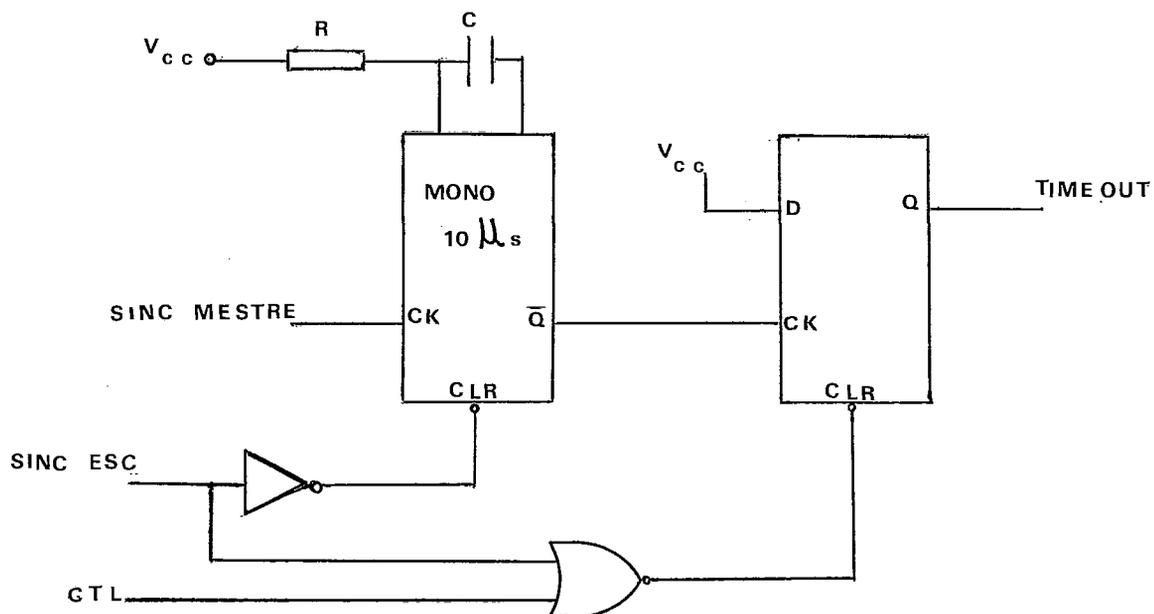


fig V-2

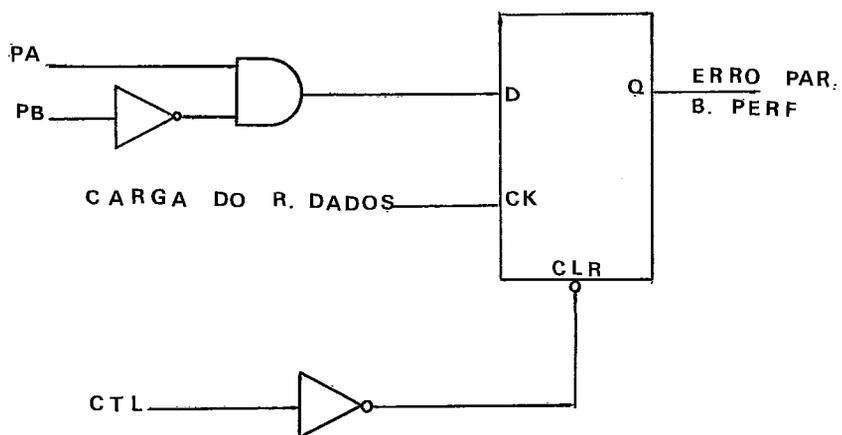


fig V-3

## 2.7 - Erro de Paridade no Sistema de Memória

A ocorrência de abortos, neste caso, é devida a existência de erro de paridade no conteúdo da palavra requisitada pela UCP ao sistema de memória. O próprio sistema de memória realiza a verificação da paridade da palavra lida, uma vez que, ao ser gravada qualquer palavra na memória, são também gravados bits de paridade por byte gerados pela UCP ou periférico. Com isto, toda vez que se realiza uma operação de leitura, o sistema de memória tem possibilidade de verificar se os dois bytes da palavra acessada - estão ou não com a paridade correta. Caso haja erro de paridade, o sistema de memória envia o sinal ABORTO PAR MEM que é registrado em um flip-flop tipo D no instante em que se realiza a carga do dado lido no Registro de Comunicação de Dados.

É também possível que o sistema de memória detecte, em operações de leitura ou escrita, erro de paridade no endereço. Tanto em acessos da UCP como em operações de ADM, são gerados bits de paridade por byte de endereço. Havendo erro de paridade no endereço recebido, o sistema de memória dá indicação de "timeout" gerando o sinal TIMEOUT MEM para a UCP. Na UCP, qualquer ocorrência de "timeout" no sistema de memória é considerado como erro de paridade, já que tentativas de acesso a posições inexistentes de memória são detetadas na própria UCP conforme já foi visto. O sinal TIMEOUT MEM tem atuação direta na linha de "preset" do flip-flop" tipo D citado acima, cuja saída Q indicará a ocorrência de erro de paridade no sistema de memória.

Do que foi visto podemos concluir que o circuito que gera um sinal indicador de ocorrência de erros de paridade, quer em operações de E/S na barra de periféricos quer em acessos ao sistema de memória, deve ser o seguinte:

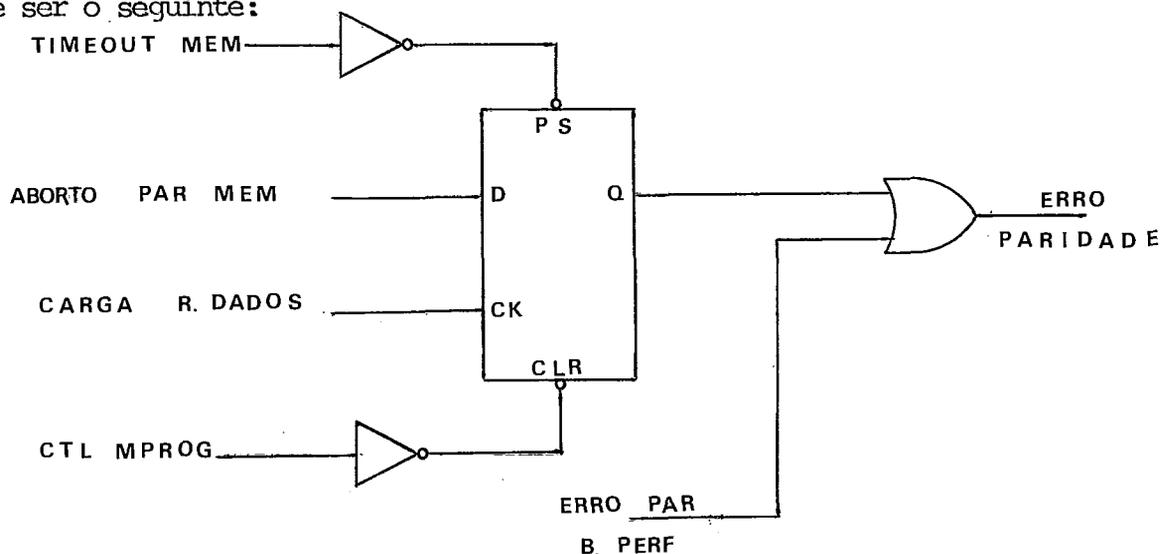


fig V-4

Uma descrição mais detalhada do procedimento de detecção de erros de paridade no sistema de memória pode ser encontrado no trabalho de tese de Ageu Cavalcanti Pacheco Júnior<sup>3</sup>.

### 3 - Tipos de "Traps"

#### 3.1 - Operação do Painel

Este tipo de "trap" ocorre quando o sinal "CONSOLE FLAG" é ativado indicando que o operador deseja executar alguma função de painel. As funções de painel existentes se encontram descritas, com detalhe, no trabalho de tese de Rogério Antônio Sampaio Parente Vianna<sup>5</sup>.

#### 3.2 - Erro de Paridade no Sistema de Memória

O sistema de memória em implementação para este computador é um sistema CACHE-BACKING que emprega a técnica de mapeamento associativo por conjunto, sendo cada conjunto constituído de dois blocos e cada bloco constituído de duas palavras. A transferência de informação entre CACHE e BACKING é feita, portanto, em blocos de duas palavras.

Um erro de paridade no sistema de memória gerará uma sinalização de "trap" ao invés de aborto, quando, em uma operação de leitura, no bloco acessado, a palavra requisitada não apresenta erro de paridade, mas a outra sim.

Uma descrição mais detalhada deste tipo de erro pode ser encontrada no trabalho de tese de Ageu Cavalcante Pacheco Júnior<sup>3</sup>.

#### 3.3 - "Traps" do Sistema de Relocação

As condições em que ocorrem sinalização de "trap" no processo de relocação de endereço na UCP são apresentadas no capítulo III deste trabalho.

#### 3.4 - Violação Amarela do Limite da "Stack"

A ocorrência deste evento é analisada no capítulo IV deste trabalho.

#### 3.5 - Falha na Alimentação

O circuito de monitoração da alimentação do sistema atua sobre dois sinais denominados AC e DC. O sinal AC é ativado para indicar que o valor de pico da tensão da rede, no ponto de alimentação do sistema, está abaixo do mínimo valor aceitável. O sinal DC é ativado 2ms após a ativa-

ção do sinal AC para indicar ao sistema que a tensão contínua de saída da fonte de alimentação vai cair. Os capacitores de saída da fonte têm capacidade de manter a tensão contínua estável até 5ms após a ativação do sinal AC.

O flip-flop indicador de falha na alimentação é ativado pelo sinal AC e estima-se que, sempre antes da ativação do sinal DC, o sistema já completou o procedimento necessário para salvamento do contexto do sistema em memória não volátil.

Na fase inicial deste projeto, o sistema não será dotado de memória principal não volátil, o que inviabilizará a realização de proteção do sistema contra falhas na alimentação.

### 3.6 - Erros em Operações em Ponto Flutuante

Uma sinalização de "trap" também ocorre quando em operações em ponto flutuante são detetadas anomalias dos seguintes tipos: "overflow", "underflow" ou geração de um número maior do que o maior número inteiro representável em operações de conversão de ponto flutuante para inteiro.

Uma descrição mais detalhada destes erros pode ser encontrada no trabalho de Mário Ferreira Martins<sup>4</sup> que trata do projeto da Unidade de Aritmética.

## VI - CONTROLE GERAL DAS OPERAÇÕES DE E/S

### 1 - Introdução

O objetivo deste capítulo é descrever a filosofia e os circuitos empregados na realização do controle de uma operação de E/S qualquer.

Conforme já foi visto podemos subdividir uma operação de E/S em quatro etapas:

a) Geração do ENDEREÇO REAL a partir do ENDEREÇO VIRTUAL de 16 bits gerado pelo processador.

b) Decodificação do ENDEREÇO REAL obtido a fim de se determinar se a operação de E/S iniciada se refere a uma posição de MEMÓRIA, a um REGISTRO DE PERIFÉRICO ou a um REGISTRO INTERNO do processador.

c) Verificação da ocorrência de abortos ou "traps".

d) Realização da operação de escrita ou leitura requisitada.

É função do circuito de controle geral das operações de E/S determinar quais destas etapas devem ser realizadas para uma dada operação de E/S, além de enviar sinais que permitam o início de cada uma delas e o registro dos resultados obtidos ao fim de cada etapa.

Por sua própria natureza, este circuito tem muita interação - não só com os demais circuitos que constituem o Sistema de E/S bem como com a Unidade de Controle do Processador, já que é através dela que são recebidos os sinais que definem uma operação de E/S e determinam seu início ou que ordenam a suspensão de uma operação de E/S anteriormente iniciada.

### 2 - Estrutura Geral do Controle de uma Operação de E/S

A parte central do circuito de controle das operações de E/S é constituída por um registro de deslocamento de 8 bits cujas saídas geram as marcas de tempo que definem o início e o fim das fases que compoem a execução de uma operação de E/S. Estas saídas do registro são denominadas TES1, TES2, TES3,.....,TES8. Normalmente, o registro trabalha em MODO CARGA. De acordo - com o tipo de operação de E/S a ser iniciada, há uma variação no conteúdo que é carregado no registro, havendo, no entanto, sempre apenas uma saída em  $\emptyset$ . A definição de qual saída será colocada inicialmente em  $\emptyset$  é feita em função do tipo de operação de E/S que será realizada. Uma vez dada a ordem de início de uma operação de E/S pela Unidade de Controle, o registro passa a trabalhar em MODO DESLOCAMENTO e o conteúdo do registro é deslocado, na frequência do oscilador central da UCP, fazendo com que o sinal em  $\emptyset$ , inicialmente presente em uma das saídas do registro, seja levado até a saída TES8.

Para uma melhor compreensão do que foi dito acima é interessante analisarmos as condições em que são executadas ou não cada uma das fa

ses em que se divide uma operação de E/S.

### Fase 1: Geração do Endereço Real

Esta fase é executada sempre que o sistema de relocação está ativado e a operação de E/S não é do tipo RÁPIDA. Chamaremos uma operação de E/S de E/S RÁPIDA quando ela se utiliza do mesmo endereço empregado pela operação de E/S imediatamente anterior. A Unidade de Controle caracteriza este tipo de E/S, fazendo com que, nestes casos, o Sistema de E/S suprima do procedimento de execução de uma operação de E/S as duas primeiras fases, ou seja, aquelas que geram e decodificam o endereço real, uma vez que os resultados obtidos na operação de E/S imediatamente anterior permanecem válidos para estas duas fases. A utilização de operações de E/S RÁPIDA é frequente na execução de instrução onde o resultado da operação realizada é armazenado no mesmo endereço de onde foi feita a última leitura dos operandos empregados.

Sempre que a fase 1 deve ser executada o registro de deslocamento é carregado com  $TES1=\emptyset$  e as demais saídas em 1.

### Fase 2: Decodificação do Endereço Real

Esta fase é executada sempre que a E/S em questão não é do tipo RÁPIDA. A fase 2 será a fase inicial do procedimento de execução de uma operação de E/S quando esta não for do tipo RÁPIDA e o sistema de relocação estiver desativado. Nesse caso, o registro de deslocamento é carregado inicialmente com  $TES3=\emptyset$  e as demais saídas em 1.

Na transição negativa da saída  $TES6$ , o resultado da decodificação do ENDEREÇO REAL é armazenado em registros ou flip-flops, determinando o término da fase 2.

Quando a operação de E/S é do tipo RÁPIDA, o registro de deslocamento é inicializado com a saída  $TES6$  em  $\emptyset$  e as demais em 1 e, portanto, não é dispendido o tempo necessário a execução das fases 1 e 2.

### Fase 3: Verificação da ocorrência de abortos ou "traps"

A fase 3 só é executada caso a Unidade de Controle tenha VALIDADO a operação de E/S por ela iniciada. Isto se faz necessário porque toda operação de E/S, após ter sido iniciada, pode ter ou não seu prosseguimento suspenso pela Unidade de Controle. Conseqüentemente, a ocorrência de erros só pode ser registrada pelo processador após ter sido obtida, da Unidade de Controle, a confirmação de que a operação de E/S não será INTERROMPIDA. A necessidade de se dar a Unidade de Controle meios de interromper uma operação de E/S anteriormente iniciada por ela é devida a estrutura dada a microprogramação do processador, que possui microinstruções de se onde se pode realizar desvios para trechos diferentes do microprograma. Dependendo do desvio-

a ser feito pode ser necessário realizar ou não uma operação de E/S. Com o objetivo de acelerar o procedimento de preparo de uma operação de E/S, a Unidade de Controle, nesses casos, ordena que se inicie uma operação de E/S antes de conhecer o destino do desvio a ser feito. Esta operação de E/S é, em microinstruções posteriores, validada pela Unidade de Controle ou interrompida por ela conforme o resultado do desvio realizado no microprograma. A validação ou interrupção de uma operação de E/S pela Unidade de Controle é feita, respectivamente, pelos sinais VALIDA E/S e INTERROMPE E/S.

Portanto, somente após ter sido recebido, pelo Sistema de E/S, o sinal VALIDA E/S é que a fase 3 se realiza. Na transição negativa da saída TES7 do registro de deslocamento são armazenados em flip-flops os sinais indicadores da ocorrência de abortos ou "traps" gerados por circuitos mostrados em capítulos anteriores deste trabalho.

A fase 3 é a única das quatro fases que, obrigatoriamente, é executada em qualquer operação de E/S validada pela unidade de controle.

#### Fase 4: Realização da operação de escrita ou leitura requisitada

A fase 4 só é executada caso não tenha sido detectada ocorrência de abortos na fase 3. Quando isto acontece, a operação de E/S é descontinuada e o registro de deslocamento é novamente colocado em modo de carga. Portanto, a saída TES8 do registro só é levada para  $\emptyset$  caso a operação de E/S tenha sido validada pela Unidade de Controle e não tenha sido abortada por algum tipo de erro. A ativação da saída TES8 indica que a operação de leitura ou escrita requisitada pode ser iniciada ou, caso já tenha sido, deve ser continuada. A transição negativa de TES8 ativa o sinal INIC OP que é recebido pelos circuitos de controle de operações de E/S com registros de periféricos, memória e registros internos.

Do que foi dito acima podemos concluir que existem três tipos diferentes de operações de E/S.

#### a) Operação de E/S normal com relocação do endereço virtual

Neste caso o início da operação de E/S é caracterizado pelo sinal da Unidade de Controle que ordena a carga do registro que armazena o Endereço Virtual, ou seja, o sinal CAR EV. O registro de deslocamento é inicializado com a saída TES1 em  $\emptyset$  e as demais saídas em 1.

#### b) Operação de E/S normal sem relocação do endereço virtual

A operação de E/S também se inicia com a ativação-

do sinal CAR EV pela Unidade de Controle. O registro de deslocamento é inicializado com a saída TES3 em 0 e as demais saídas em 1.

### c) Operação de E/S Rápida

Neste caso a ordem de início da operação de E/S é dada pela ativação do sinal E/S RÁPIDA pela Unidade de Controle. O registro de deslocamento é inicializado com a saída TES6 em 0 e as demais saídas em 1.

Em qualquer um dos três casos, no entanto, o registro de deslocamento opera até que a saída TES8 seja levada para 0, desde que a operação de E/S tenha sido validada pela Unidade de Controle e não haja sido detetada a ocorrência de abortos.

Uma operação de E/S pode, portanto, ser encerrada normalmente ou pela ocorrência de abortos ou ainda por ordem da Unidade de Controle, através do sinal INTERRUPE E/S.

A duração de cada fase de uma operação de E/S, definida pelo circuito de controle geral de operações de E/S, foi calculada, considerando-se os tempos mais desfavoráveis, citados pelo fabricante, dos circuitos integrantes da lógica responsável pela execução de cada fase.

A filosofia de se adotar um registro de deslocamento, no circuito de controle geral das operações de E/S, para determinar o sequenciamento das operações necessárias em cada caso, facilitou bastante o projeto do Sistema de E/S e tornou mais simples o seu entendimento. A existência de sinais indicadores do estágio em que se encontra o desenvolvimento de uma operação de E/S é, certamente também, uma facilidade importante, introduzida no projeto, para a depuração do Sistema de E/S e posteriores trabalhos de manutenção e testes rotineiros.

## 3 - Esquema Geral do Circuito de Controle das Operações de E/S

Na figura VI.1, T1, T1S, T2, T2S, T3 e T3S representam as marcas de tempo geradas pela Unidade de Controle durante a execução de uma microinstrução. O Sinal INIBE E/S é gerado caso tenha sido detetada ocorrência de "abortos" e o sinal RELOC indica que o Sistema de Relocação está ativo. Do esquema da figura VI.1, observa-se que o registro de deslocamento pode passar do modo carga para o modo deslocamento de duas formas distintas. Em operações de E/S normais, a mudança se dá após a marca de tempo T3 da microinstrução que aciona o sinal CAR EV. O registro sofre o primeiro deslocamento na primeira transição positiva de OSC CENTRAL após aquela que gerou a marca T3. Isto é feito porque o registro que armazena o endereço virtual só é carregado no tempo T3S pela Unidade de Controle. Como só a partir daí tem validade a contagem de tempo para relocação e demais tarefas do sistema de E/S, o processo de des

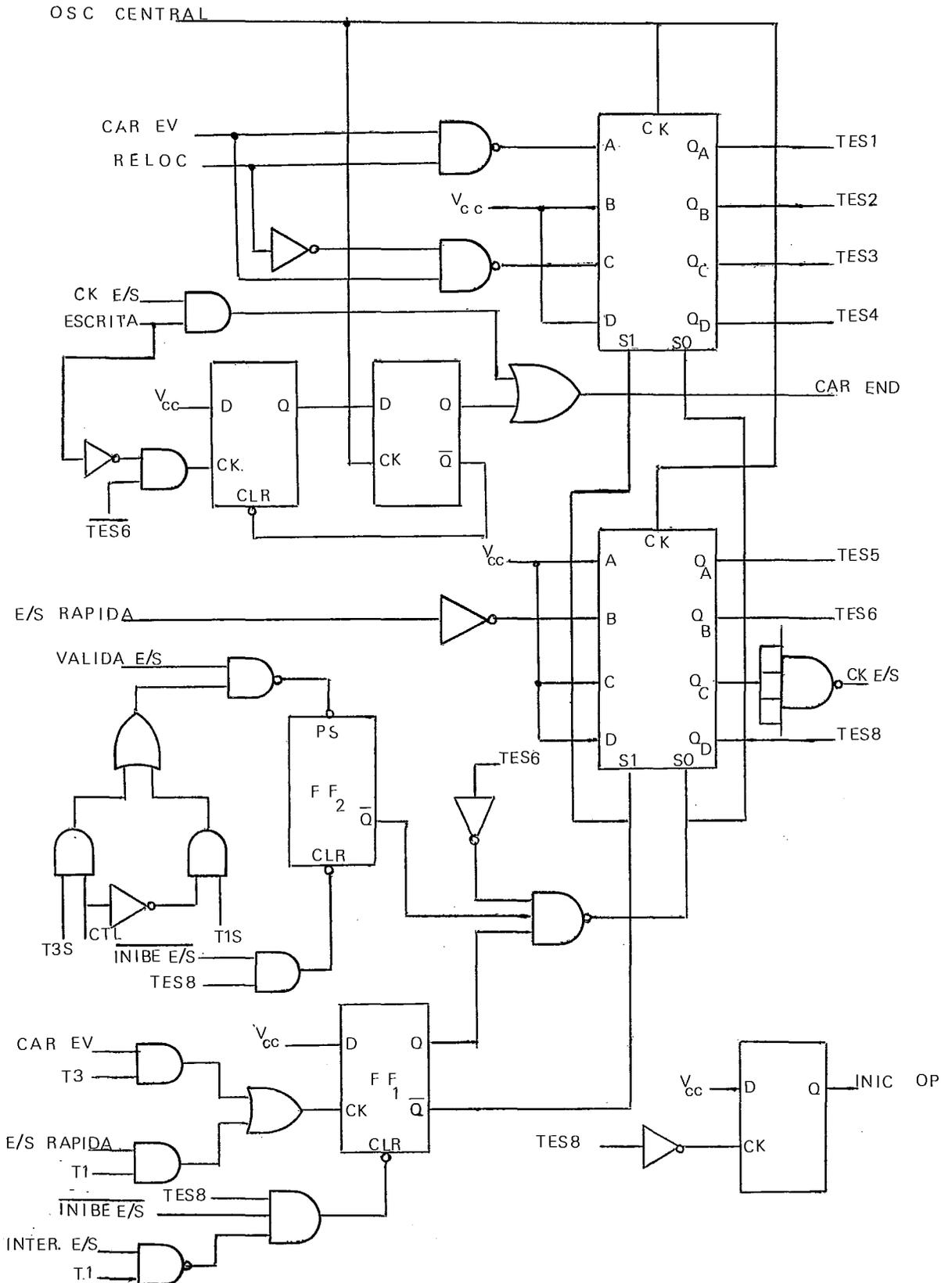


fig VI-1

locamento do registro só é inicializado após T3S. Em operações de E/S RÁPIDA, não há este problema e o registro de deslocamento passa do modo carga para o modo deslocamento na primeira transição positiva de OSC CENTRAL após aquela - que gerou a marca T1 na microinstrução que aciona o sinal E/S RÁPIDA.

A validação de uma operação de E/S deve ocorrer em T3S se ela se dá na mesma microinstrução que carrega o Registro de Comunicação de Dados - com o conteúdo a ser utilizado na operação de escrita requisitada. Isto é necessário porque a carga deste registro só é feita pela Unidade de Controle no tempo definido por T3S. Em qualquer outra situação a validação de uma operação de E/S pode ser feita em T1S.

O sinal INTERROMPE E/S atua no circuito em T1, permitindo que numa mesma microinstrução se interrompa a operação de E/S já iniciada e se comece uma outra.

O sinal CK E/S, gerado a partir da "bufferização" de TES7, é que comanda o armazenamento em flip-flops das indicações de abortos detetados no Sistema de E/S.

O sinal INIC OP, ativado na transição negativa de TES8, permanece acionado até que a operação de leitura ou escrita requisitada termine.

O sinal CAR END, gerado conforme se mostra na figura VI.1, ativa o funcionamento dos circuitos de controle de operações de E/S com a memória ou com registros de periféricos, mesmo antes de a operação de E/S ter sido validada pela Unidade de Controle, permitindo que as tarefas preliminares - às operações de leitura ou escrita possam ser efetuadas por estes circuitos - enquanto a ativação do sinal VALIDA E/S ou, mesmo do sinal INTERROMPE E/S não é feita pela Unidade de Controle.

#### 4 - Diagrama de Tempo

Do que foi exposto neste capítulo e por observação do circuito apresentado, podemos levantar os diagramas de tempo relativos às diferentes situações em que se desenvolvem as operações de E/S.

4.1 - Operação de E/S normal com relocação do endereço virtual:

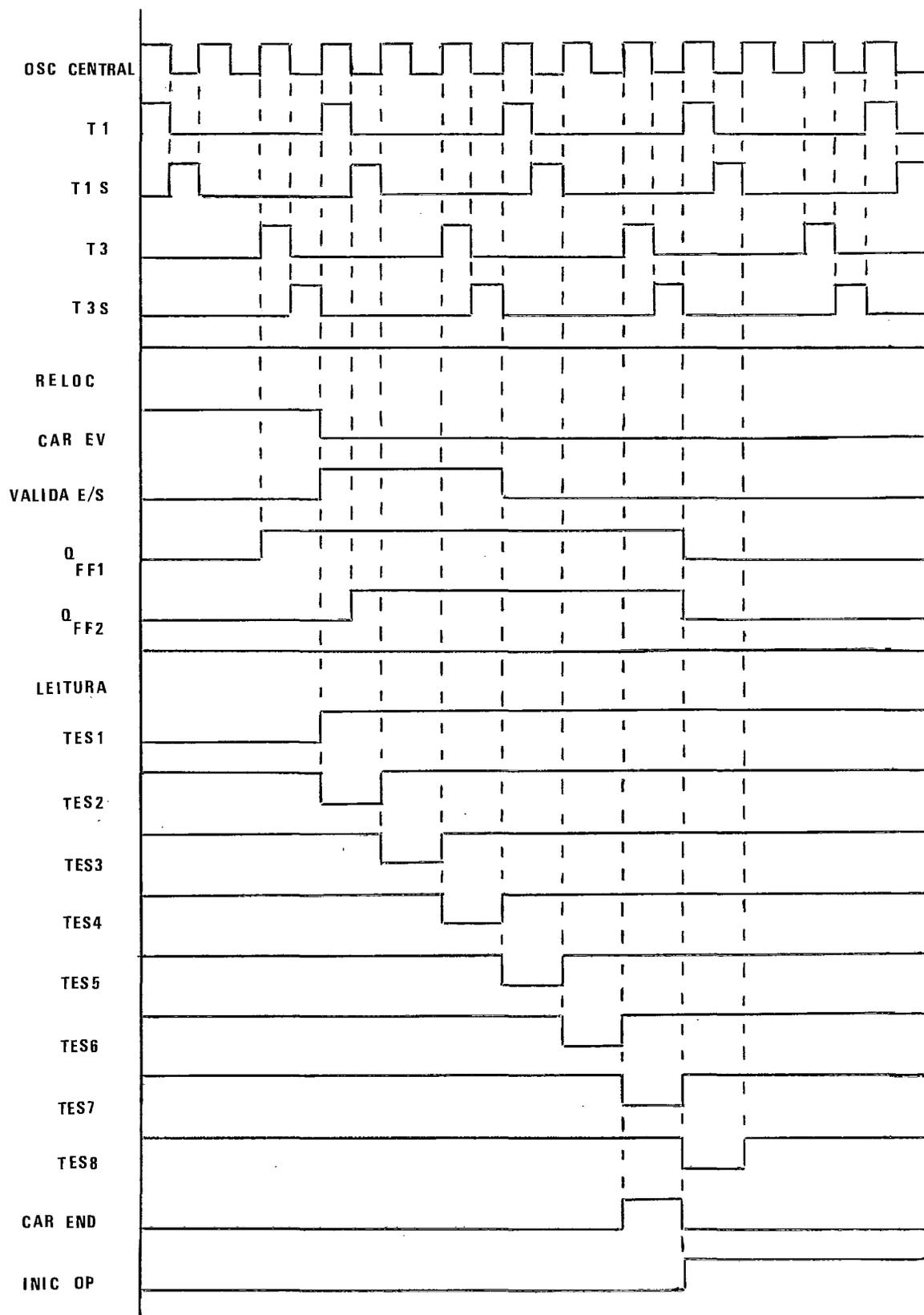


fig VI-2

4.2 - Operação de E/S normal sem relocação do endereço virtual:

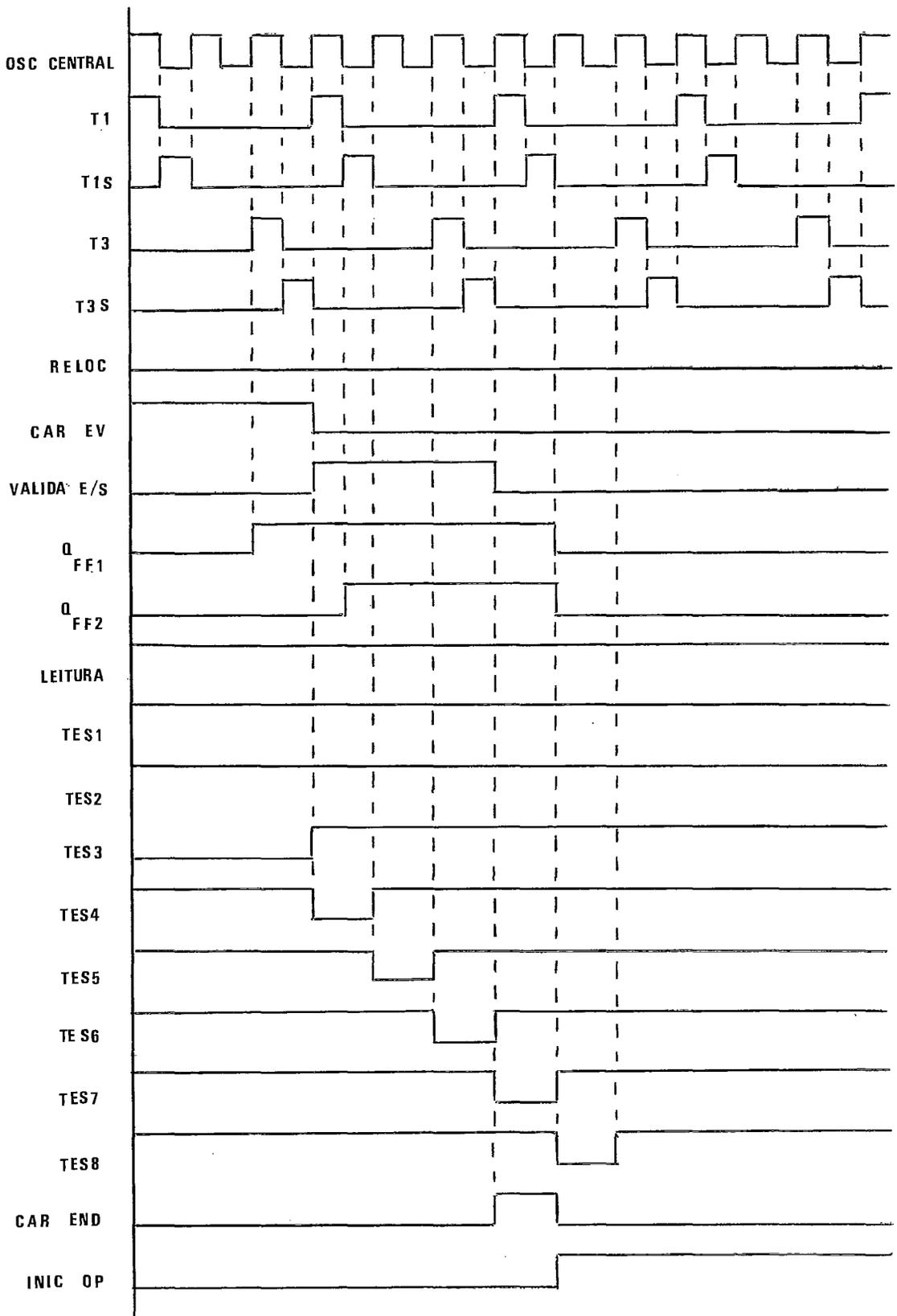


fig VI-3

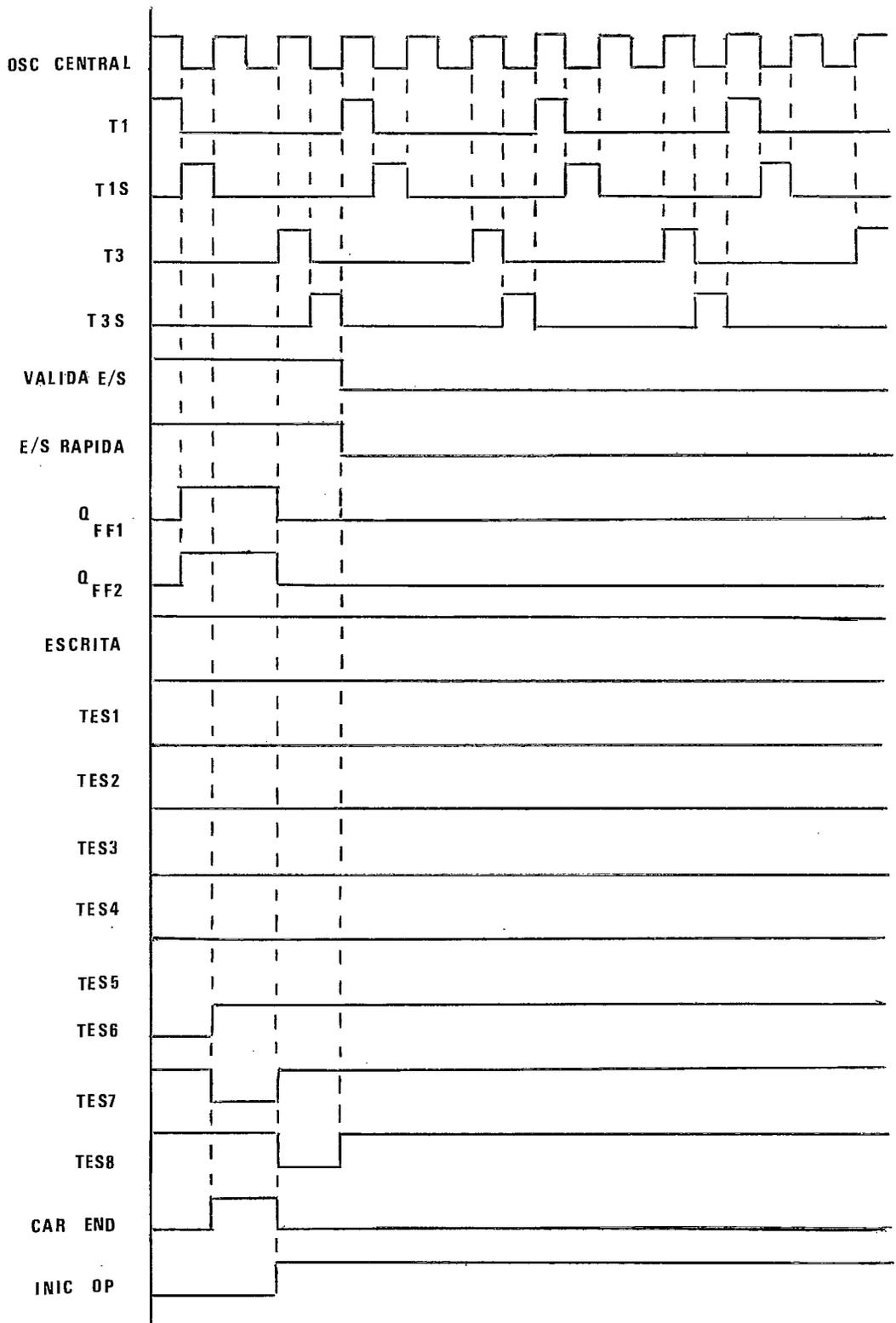
4.3 - Operação de E/S rápida

fig VI-4

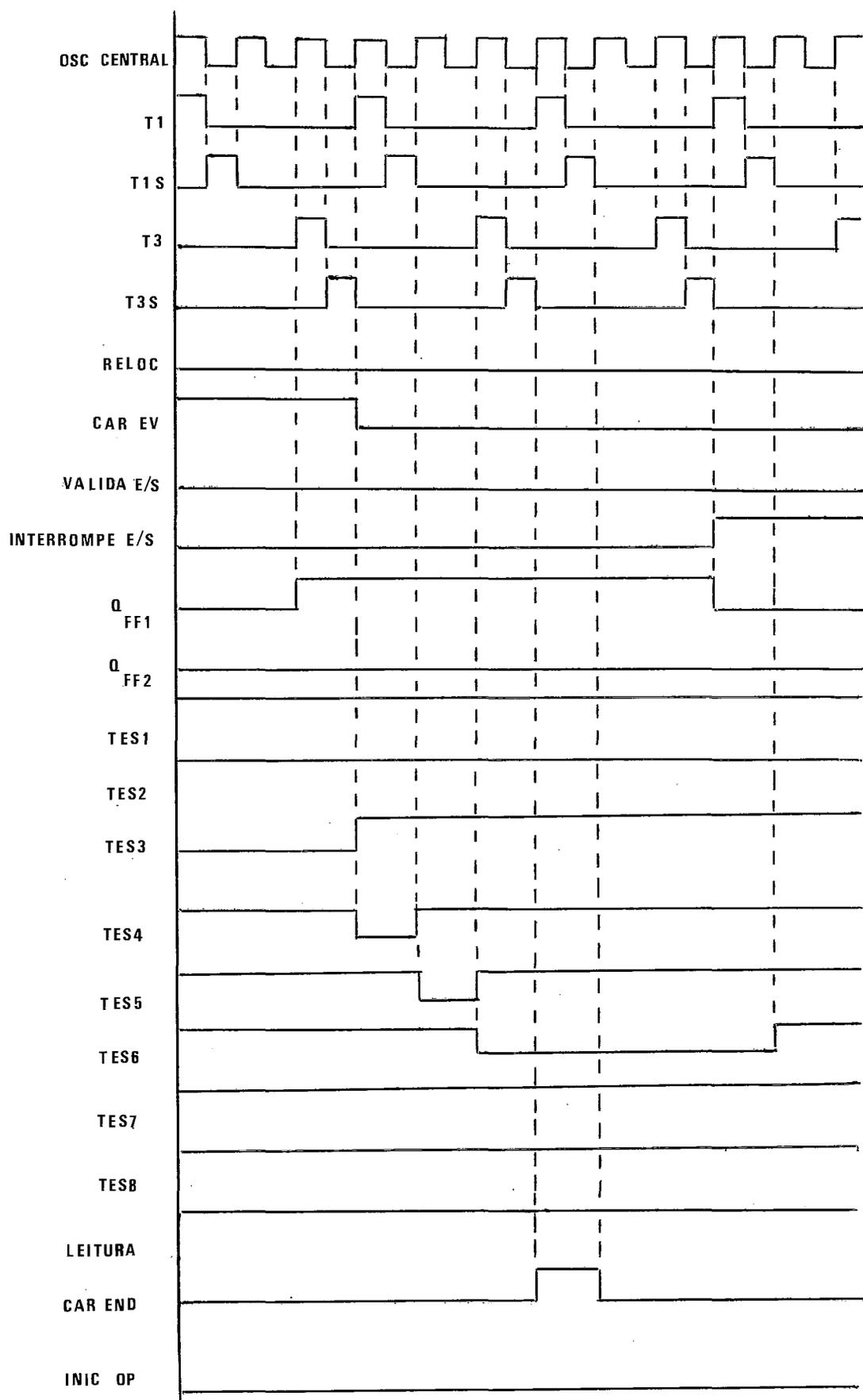
4.4 - Operação de E/S interrompida

fig VI-5

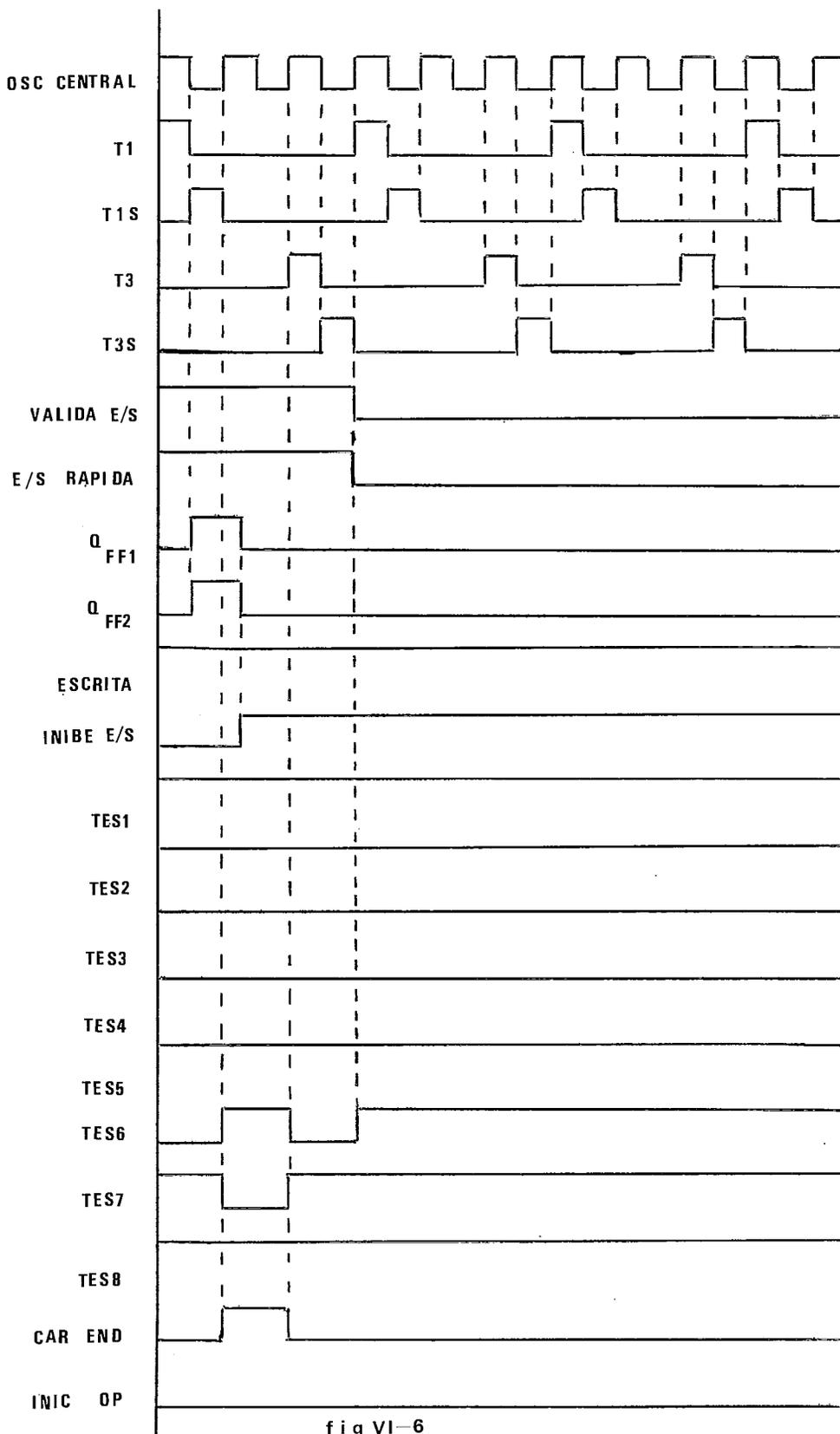
4.5 - Operação de E/S com erro:

fig VI-6

## VII - CONTROLE DAS OPERAÇÕES DE E/S COM REGISTROS INTERNOS

### 1 - Introdução

O objetivo deste capítulo é descrever o circuito do Sistema de E/S que controla as operações de leitura ou escrita nos registros internos da máquina, definindo as marcas de tempo em que cada uma dessas operações deve se realizar e gerando os sinais necessários à execução destas operações.

Este circuito de controle entra em operação sempre que a operação de E/S se refira a um dos registros internos da máquina, após ter sido completado o trabalho do circuito de controle geral das operações de E/S descrito no capítulo anterior. O tipo de operação de E/S, leitura ou escrita, é definido pela Unidade de Controle.

Existem, basicamente, dois procedimentos distintos para realização de operações de E/S com registros internos. Um deles diz respeito aos registros que estão situados em memórias, como é o caso dos Registros de Endereço de Página e dos Registros Descritores de Página. O outro procedimento é o utilizado para os demais registros internos da máquina.

### 2 - Estrutura Geral do Circuito de Controle

O circuito de controle das operações de E/S com registros internos é, basicamente, constituído por um registro de deslocamento possuindo três saídas denominadas TRI1, TRI2 e TRI3. A operação de E/S, propriamente dita, tem início quando o circuito de controle geral de operações de E/S emite o sinal INIC OP e o circuito de decodificação de endereço indica que a operação de E/S se refere a um registro interno, ativando o sinal REG INT. Somente nesta situação, o registro de deslocamento, citado acima, passa do MODO CARGA para o MODO DESLOCAMENTO. As operações de deslocamento são realizadas na frequência do oscilador central do processador. A cada operação de deslocamento, as saídas do registro, inicialmente zeradas, são levadas, em sequência, para 1. As transições de 0 para 1, que ocorrem nas saídas dos registros, definem as marcas de tempo que comandarão a geração de pulsos a serem enviados aos registros internos para efetivação da operação de E/S requisitada. O sinal INIC OP é desativado ao final da operação de E/S que pode ocorrer na transição positiva de TRI3 ou na transição positiva de TRI1, conforme a operação de E/S se refira, respectivamente, a um registro pertencente às tabelas de relocação ou não.

O diagrama de tempos mostrado na figura VII.1 ilustra o funcionamento do circuito em uma das situações definidas acima.

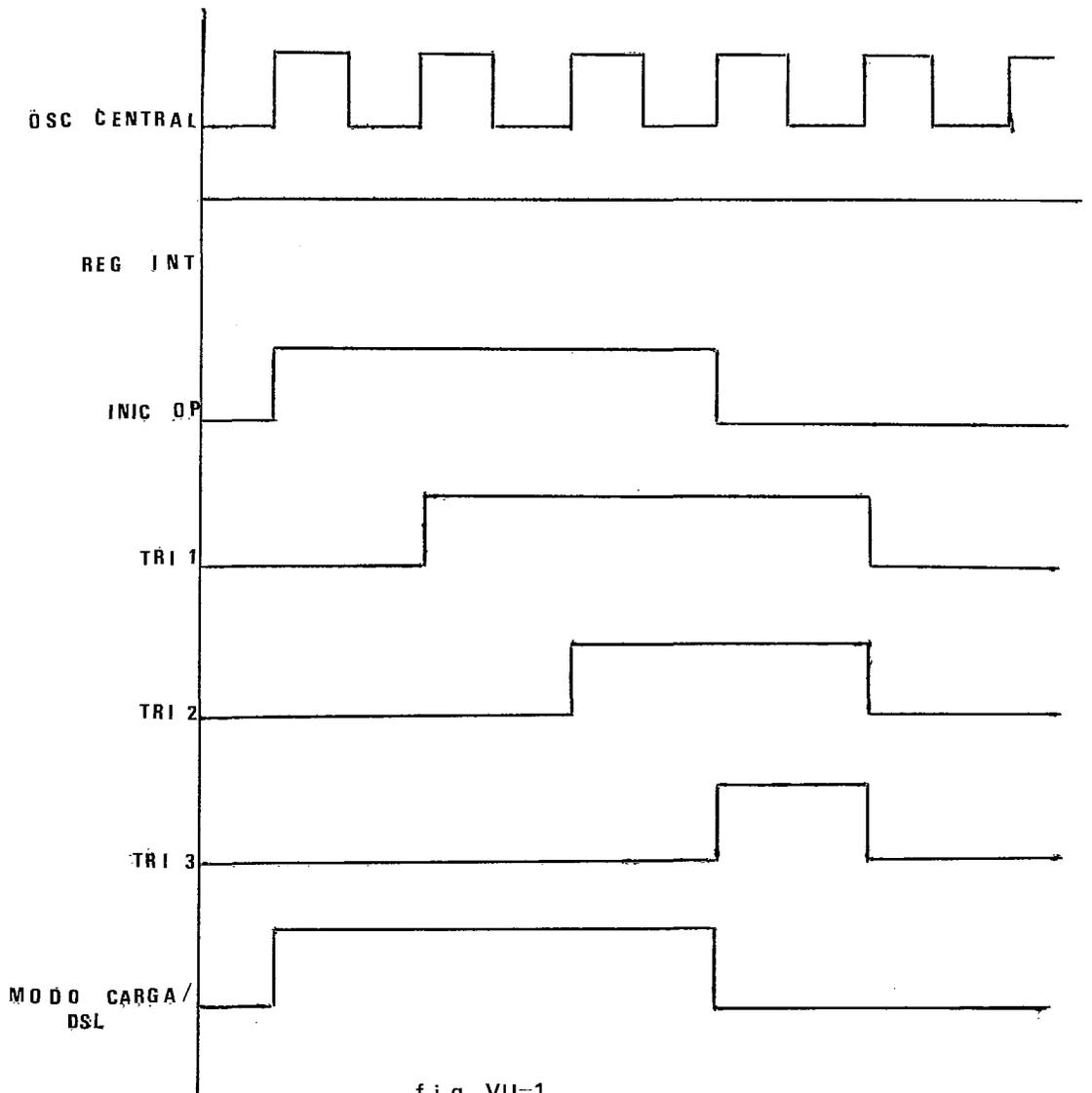


fig VII-1

### 3 - Operações de E/S com Registros Internos não pertencentes às tabelas de relocação

Uma operação de leitura consiste em carregar o conteúdo do registro a ser lido no Registro de Comunicação de Dados. Para que esta operação seja feita, é necessário que a informação a ser lida seja encaminhada através de multiplexadores até a entrada do Registro de Comunicação de Dados, onde é aplicado um pulso de carga após ter transcorrido o período de tempo mínimo necessário à estabilização da informação na sua entrada. A multiplexação dos registros internos é feita segundo o esquema já mostrado na figura IV.5.

Como se observa naquele esquema há, no máximo, três níveis de multiplexação para que o conteúdo de qualquer registro, não pertencente às tabelas de relocação, atinja à entrada do Registro de Comunicação de Dados. As linhas de seleção dos diversos multiplexadores são controladas pelas saídas dos circuitos decodificadores de endereço que são acionadas, como já foi vis-

to, no tempo TES6. Do diagrama de tempos apresentado neste capítulo, observa-se que a transição positiva de TRIL ocorre 40ns, um período do oscilador central, após a ativação do sinal INIC OP, que se dá no tempo TES8. Consequentemente, se acionarmos o pulso de carga no Registro de Comunicação de Dados no tempo TRIL, haverá 120ns, espaço de tempo existente entre o acionamento de TES6 e de TRIL, para que a informação se estabilize na entrada do registro, o que é suficiente.

Portanto, o pulso de carga é gerado pelo acionamento de TRIL quando a operação de E/S é de leitura não referente a um dos registros que constituem as tabelas de relocação, REP ou RDP.

Uma operação de escrita consiste, simplesmente, em carregar o conteúdo do Registro de Comunicação de Dados no registro interno desejado. O pulso de carga no registro interno é dado na transição positiva de TRIL. Em geral, para cada registro são gerados dois pulsos de carga: um que é aplicado no byte alto, bits 15 a 8, e outro no byte baixo, bits 7 a 0. A aplicação do pulso de carga em um dado registro só se dá caso o circuito decodificador de endereços dê indicação de que a operação de E/S a ser realizada se refere a aquele registro. O pulso de carga no byte alto é gerado quando a operação de escrita se refere a uma escrita de palavra ou a uma escrita de byte em que o endereço do byte é ímpar, ou seja, o bit menos significativo do endereço é igual a 1. O pulso de carga no byte baixo é gerado quando a operação de escrita se refere a uma escrita de palavra ou a uma escrita em byte em que o endereço do byte é par, ou seja, o bit menos significativo do endereço é igual a 0. O sinal que comanda a carga dos registros é chamado CK REG INT.

#### 4 - Operações de E/S com Registros Internos pertencentes às tabelas de relocação

As operações de leitura referentes a registros pertencentes às tabelas de relocação, ou seja, Registros de Endereço de Página (REP) ou Registros Descritores de Página (RDP) envolvem, da mesma forma, a transferência do conteúdo do registro a ser lido para o Registro de Comunicação de Dados. - No entanto, neste caso, esta operação envolve um acesso de leitura às memórias que compoem as tabelas de relocação, bem como, o encaminhamento da informação lida das memórias através de quatro níveis de multiplexação até a entrada do Registro de Comunicação de Dados.

O acesso às memórias das tabelas de relocação é iniciado após o tempo TES8, quando o sinal de saída dos circuitos de decodificação do endereço real, que indica que o endereço real gerado se refere a um Registro de - Endereço de Página ou a um Registro Descritor de Página, atua sobre os circuitos multiplexadores que geram o endereçamento e os sinais de "enable" necessá

rios ao acesso às tabelas de relocação.

Após um tempo de aproximadamente 80ns, no máximo, dispõe-se do conteúdo do registro lido na saída das memórias que compõem as tabelas de relocação. Mais 30ns, no máximo, são necessários para que este conteúdo atravesse os quatro níveis de multiplexação e alcance a entrada do Registro de Dados da Unidade Aritmética. Conclui-se, portanto, que após a ocorrência de TES8 ou seja, após a geração do sinal INIC OP, deve haver um intervalo de tempo de pelo menos 110ns para que se gere o pulso de carga que irá atuar sobre o Registro de Comunicação de Dados. Definiu-se, então, que este pulso de carga será ativado na transição positiva de TRI3, que ocorre 120ns após a geração do sinal INIC OP. O pulso de carga é, portanto, ativado em TRI3 quando a operação de E/S é uma operação de leitura referente a um Registro de Endereço de Página ou a um Registro Descritor de Página.

Uma operação de escrita nestes registros, REP ou RDP, consiste em realizar nas memórias, que compõem as tabelas de relocação, um acesso de escrita onde a informação a ser gravada é o conteúdo do Registro de Comunicação de Dados. O problema consiste, então, em gerar o pulso de escrita para estas memórias. A largura mínima deste pulso deve ser de 40ns. Adotou-se um pulso de escrita de largura igual a 60ns, que é gerado conforme se mostra na figura VII.2.

Com o pulso de escrita, assim obtido, são gerados dois sinais que irão comandar a operação de escrita nas memórias da tabela de relocação, sendo um dos sinais referente ao byte alto, ESC REP RDP BYTE ALTO e outro referente ao byte baixo, ESC REP RDP BYTE BAIXO. Estes dois sinais foram citados no capítulo III.10 deste trabalho.

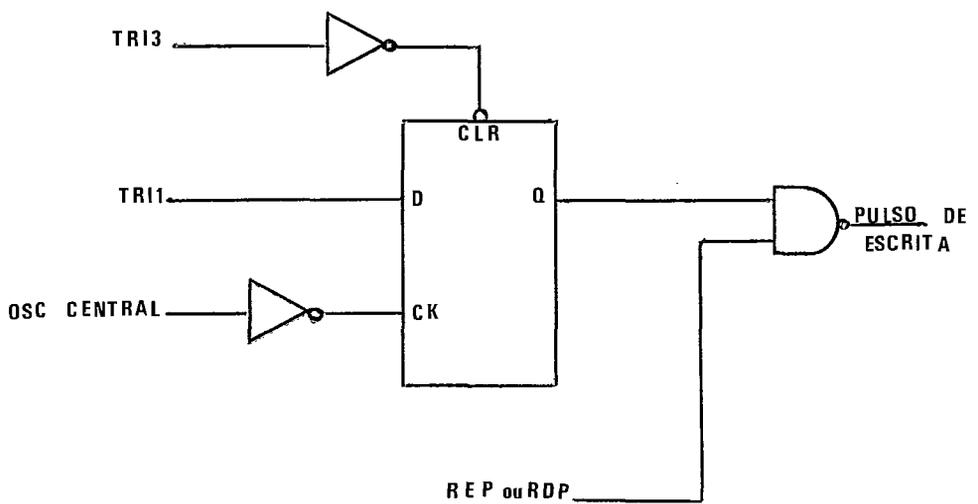
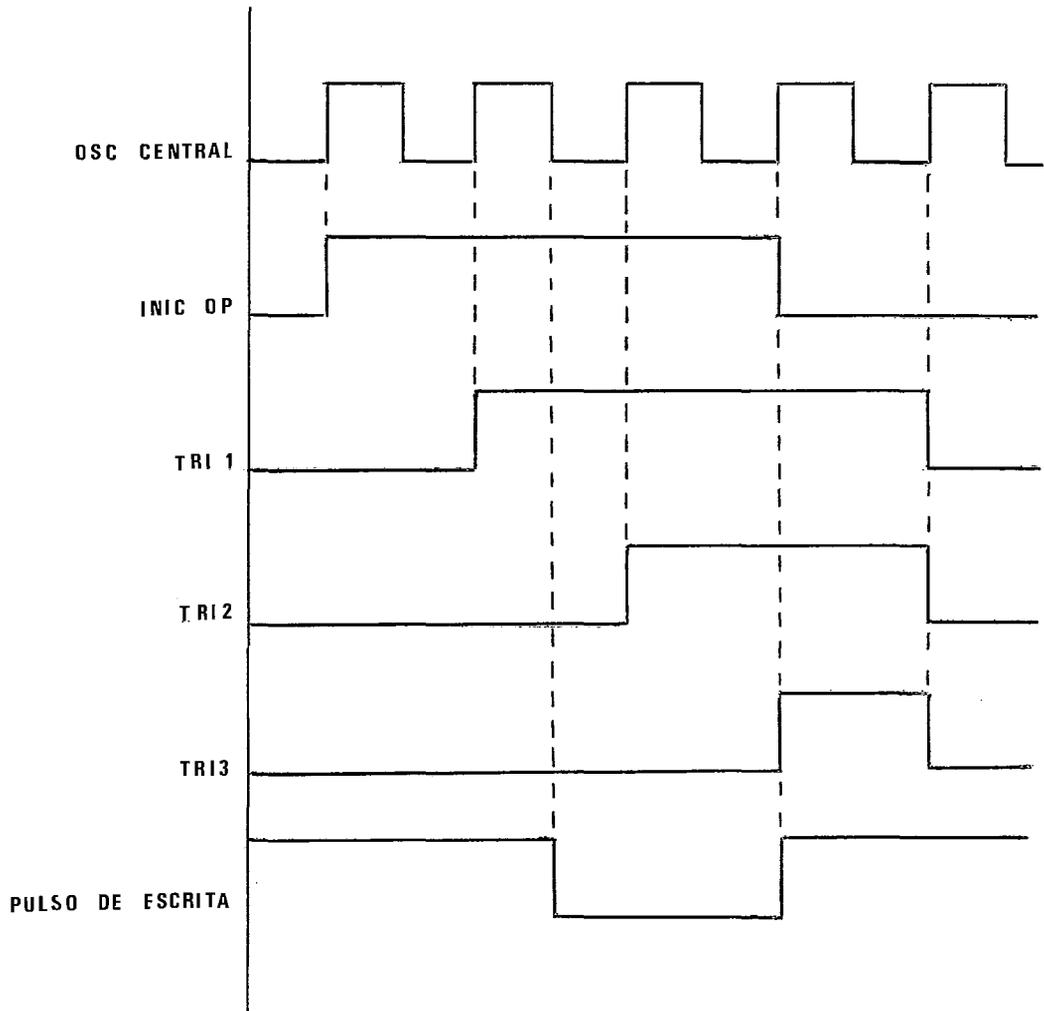


fig VII-2

## VIII - OPERAÇÕES DE E/S NA BARRA DE PERIFÉRICOS

### 1 - Introdução

Neste capítulo será feita uma descrição do protocolo de troca de sinais adotado para realização de operação de E/S na barra de periféricos, bem como dos circuitos responsáveis pelo controle, geração e recepção dos sinais necessários à execução do protocolo.

Uma operação de E/S na barra de periféricos consiste em uma operação de escrita ou leitura em algum registro de periférico requisitada pelo processador. Convem lembrar que, pelo fato de não haver instruções especiais de E/S, é o circuito decodificador de endereço real que identifica se a operação de escrita ou leitura requisitada pelo processador se refere a um registro de periférico, acionando ou não o sinal BARRA PER.

O protocolo adotado para realização de operações de E/S na barra de periféricos é semelhante ao utilizado no "UNIBUS" da "D.E.C.", o que permite a ligação direta dos periféricos da D.E.C. a este processador sem ser necessária a utilização de circuitos especiais de "interface".

### 2 - Registros de Periféricos

A cada periférico ligado a barra está associado um conjunto de registros, acessados pelo processador para inicializar ou obter resultados e informações relativas a operações do periférico. Alguns registros podem ser lidos ou escritos pelo processador e outros só podem ser escritos pelo próprio periférico, para registrar indicações de erro ou "status".

De forma geral, os registros existentes em cada periférico são os seguintes:

- a) Registro de Controle e Status - usado pelo processador para indicar a função que o periférico deve executar, para selecionar o periférico ligado à unidade e para habilitar ou não interrupção. O periférico indica, através deste registro, as ocorrências de erro e o seu "status".
- b) Registro de Dados - utilizado para transferência de dados entre o periférico e o processador.
- c) Registro de Endereço de Memória - usado pelo processador para indicar o endereço inicial de memória de onde ou para onde devem ser transferidos os dados em operações de Acesso Direto à Memória. É incrementado pelo periférico a cada pa

lavra transferida.

- d) Registro de Contagem de Palavras - usado pelo processador para indicar o número de palavras a serem transferidas. É decrementado pelo periférico a cada palavra transferida.
- e) Registro de Endereço do Periférico - usado pelo processador para indicar, por exemplo, o endereço da trilha ou do bloco a ser usado na transferência por dispositivos de armazenamento secundário.

As operações especificadas através desses registros são executadas pelo periférico, utilizando-se de sua capacidade de interromper o processador e, em alguns casos, através, também, de sua capacidade de realizar operações de acesso direto à memória.

### 3 - Definição do Protocolo

A BARRA DE PERIFÉRICOS é constituída por 56 linhas, das quais 40 são de uso fundamental na realização de operações de leitura ou escrita através da barra. A utilização das 16 linhas restantes será estudada em outros capítulos deste trabalho. As 40 linhas que analisaremos neste capítulo são as seguintes:

- 18 linhas de endereço: END PERF<17:00>.
- 16 linhas de dado: DADO PERF<15:00>.
- 2 linhas de controle, C1 PERF e C0 PERF, que especificam o tipo de operação de E/S a ser realizado.
- 1 linha de sincronismo, SINC MESTRE, acionada pelo dispositivo que requisita a operação de E/S. Este dispositivo é chamado MESTRE.
- 1 linha de sincronismo, SINC ESC, acionada pelo dispositivo que teve o conteúdo de um dos seus registros lido ou alterado, ao ser completada a operação de E/S. Este dispositivo é chamado ESCRAVO.
- 2 linhas, PA e PB, acionadas pelo dispositivo ESCRAVO, em operações de leitura, para indicar a ocorrência de erros de paridade.

Todas as linhas citadas acima são acionadas por meio de "gates" coletor-aberto, sendo, normalmente, bidirecionais. A recepção dos sinais enviados por estas linhas é feita por meio de circuitos RECEIVERS.

A seguir será mostrado o comportamento assumido por cada linha na realização de operações de leitura ou escrita por parte do processa-

dor, ou seja, considerando o processador como dispositivo MESTRE.

### 3.1 - Operações de Leitura

O procedimento para realização de uma operação de leitura é o seguinte:

a) O processador coloca o endereço do registro a ser lido nas linhas END PERF<17:00> e aciona as linhas de controle para indicar que a operação é de leitura, fazendo C1 PERF=0 e C0 PERF=0.

b) Após esperar 150ns, no máximo, caso a linha SINC ESC não esteja ativada devido a alguma operação de E/S anterior, o processador ativa a linha SINC MESTRE. O tempo de 150ns, dito acima, é dado pela soma do tempo máximo necessário à propagação dos sinais de endereço ou controle através da barra, avaliado em 75ns, e o tempo necessário à decodificação do endereço no dispositivo ESCRAVO, também avaliado em 75ns.

c) O dispositivo ESCRAVO ao colocar o conteúdo do registro a ser lido nas linhas DADO PERF<15:00>, aciona a linha SINC ESC.

d) O processador, ao receber o sinal na linha SINC ESC, espera um mínimo de 75ns, para garantir que o tempo máximo necessário à propagação do dado já transcorreu, armazena o dado recebido e retira o sinal da linha SINC MESTRE.

Obs: Caso o sinal na linha SINC ESC não seja recebido - 10µs após o envio pelo processador do sinal na linha SINC MESTRE, é feita a sinalização de ocorrência de TIMEOUT, e o sinal enviado na linha SINC MESTRE é desativado, passando o processador a executar uma rotina de tratamento de aborto.

e) No mínimo 75ns após a desativação do sinal enviado na linha SINC MESTRE, o processador retira a informação enviada através das linhas END PERF<17:00>, C1 PERF e C0 PERF. Caso não houvesse a folga de 75ns seria possível que as mudanças que ocorressem nas linhas de endereço gerassem configurações que correspondessem ao endereço de algum registro de periférico, estando a linha SINC MESTRE ainda ativada. Esta situação poderia provocar a realização de uma operação de E/S falsa.

f) Ao receber a desativação do sinal enviado na linha SINC MESTRE, o dispositivo ESCRAVO retira os sinais enviados através das linhas SINC ESC e DADO PERF<15:00>.

Na figura VIII.1 é mostrado, em diagrama, o protocolo de troca de sinais para operações de leitura na barra de periféricos, considerando tanto a geração e recepção de sinais no processador como a geração e recepção de sinais no dispositivo escravo.

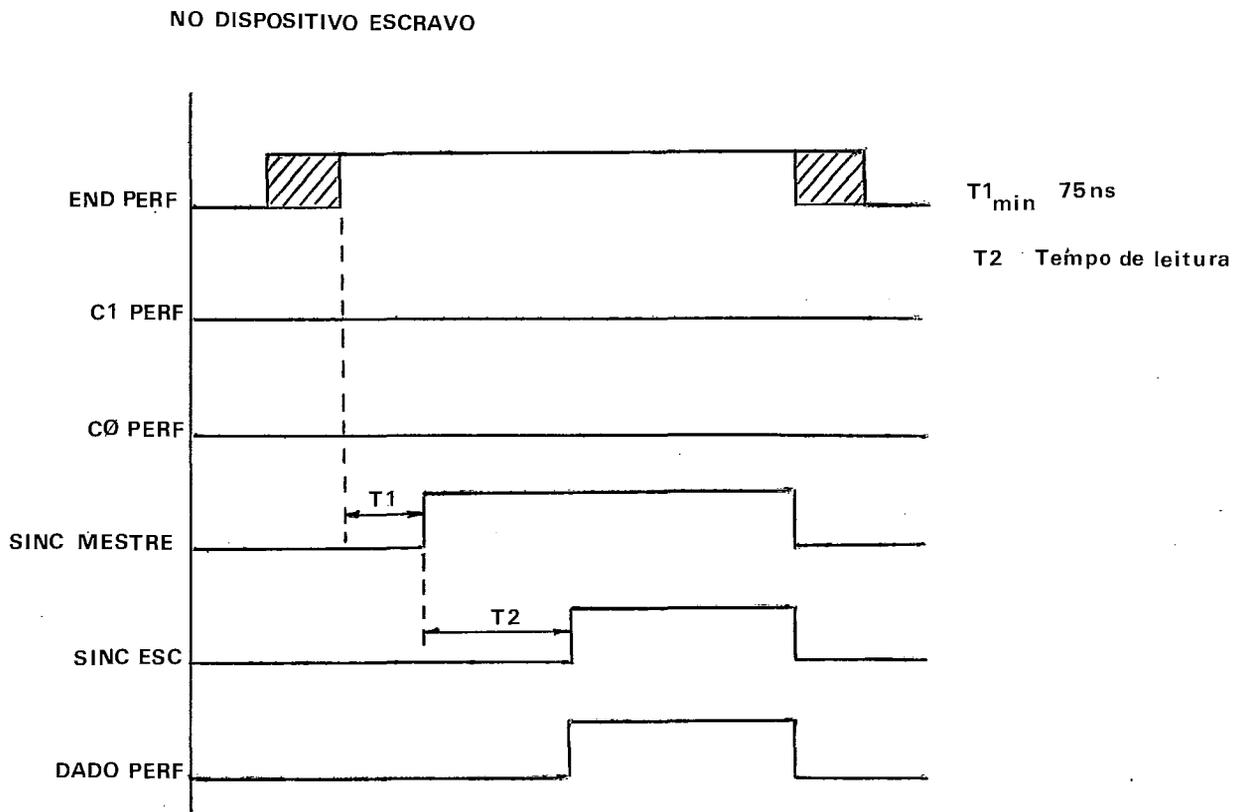
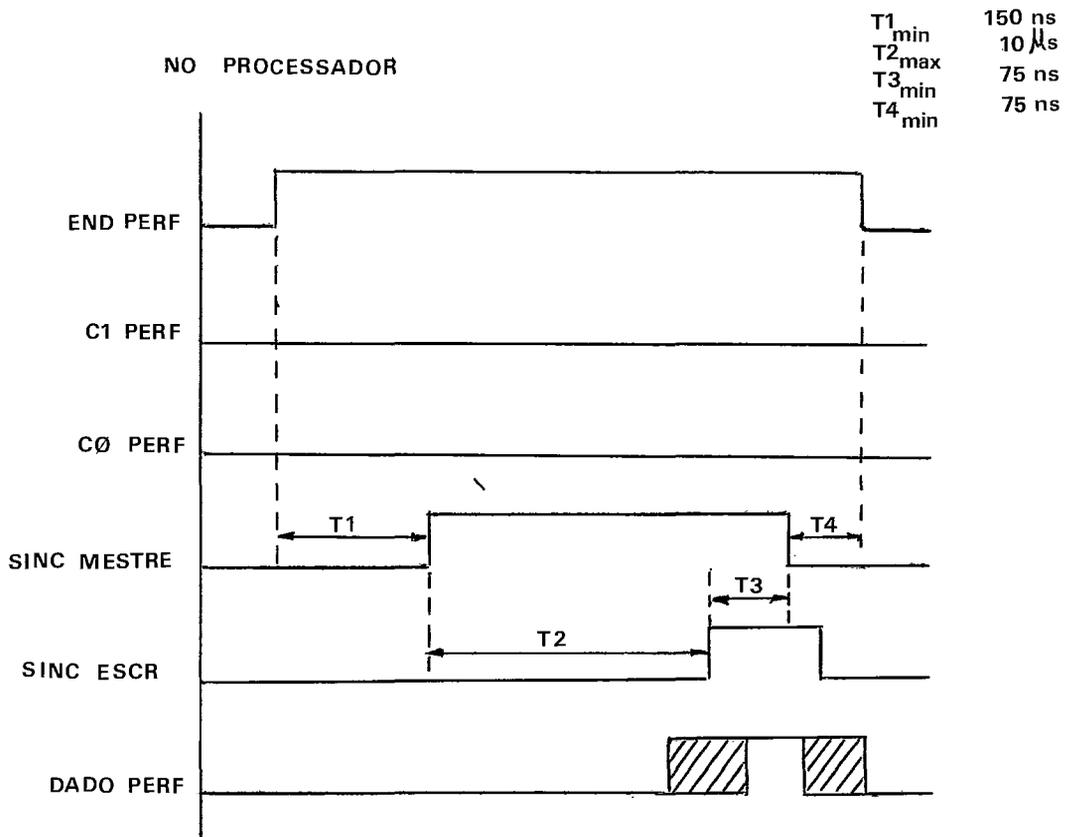


fig VIII-1

### 3.2 - Operação de Escrita

O procedimento para realização de uma operação de escrita é o seguinte:

a) O processador coloca o endereço do registro a ser acessado nas linhas END PERF<17:00>, o dado a ser escrito nas linhas DADO PERF<15:00> e aciona as linhas de controle para indicar que a operação é de escrita fazendo Cl PERF=1 e CØ PERF=Ø. Em operações de escrita em byte, faz-se Cl PERF=1 e CØ PERF=1.

b) Após esperar 150ns, no mínimo, caso a linha SINC ESC não esteja ativada, o processador ativa a linha SINC MESTRE.

c) Após realizar a operação de escrita em palavra ou no byte indicado pelo bitØ do endereço, o dispositivo escravo aciona a linha SINC ESC.

d) O processador, ao receber o sinal na linha SINC ESC, retira o sinal da linha SINC MESTRE.

Obs: Da mesma forma como foi visto em operações de leitura, caso o sinal na linha SINC ESC não seja recebido 1Øµs após o envio pelo processador do sinal SINC MESTRE, é gerada a sinalização de ocorrência de TIMEOUT e é desativado o sinal enviado na linha SINC MESTRE.

e) No mínimo 75ns após a desativação do sinal enviado na linha SINC MESTRE, o processador retira a informação enviada através das linhas END PERF<17:00>, Cl PERF, CØ PERF e DADO PERF<15:00>.

f) Ao receber a desativação do sinal enviado na linha SINC MESTRE, o dispositivo ESCRAVO retira o sinal da linha SINC ESC.

Na figura VIII.2 é mostrado, como foi feito para o caso de operações de leitura, em diagrama, o protocolo de troca de sinais em operações de escrita de palavra na barra de periféricos.

## 4 - Estrutura Geral do Circuito de Controle

Uma operação de E/S na barra de periféricos é iniciada quando o circuito de controle geral de operações de E/S ativa o sinal CAR END, estando o circuito decodificador de endereços com o sinal BARRA PER ativado, indicando que o endereço real gerado se refere a um registro de periférico. Neste instante, é armazenada, em flip-flops, a informação, proveniente da Unidade de Controle, que indica se a operação de E/S a ser iniciada consiste em uma operação de leitura, de escrita de palavra ou escrita de byte. Ao se dar o armazenamento desta informação, caso o processador tenha a posse do controle da BARRA DE PERIFÉRICOS, ou seja, caso o sinal BPER OCUP INT esteja ativado, as linhas de endereço (END PERF<17:00>), de controle (Cl PERF e CØ PERF) e de

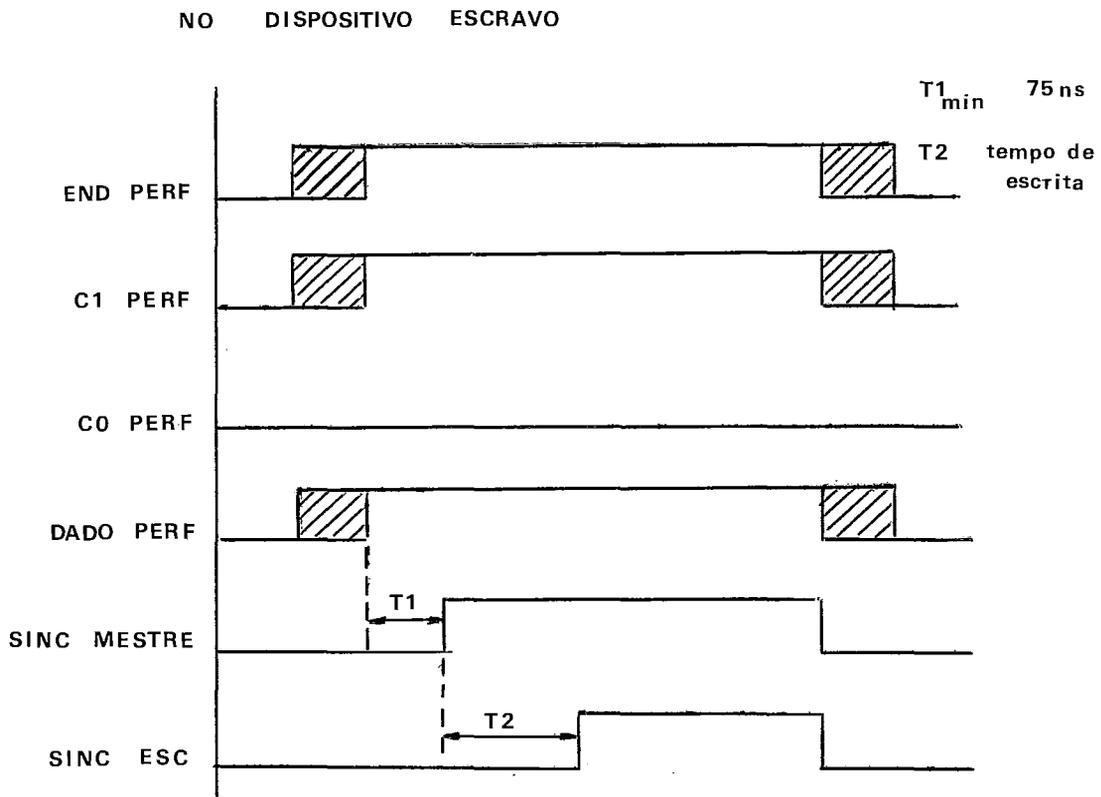
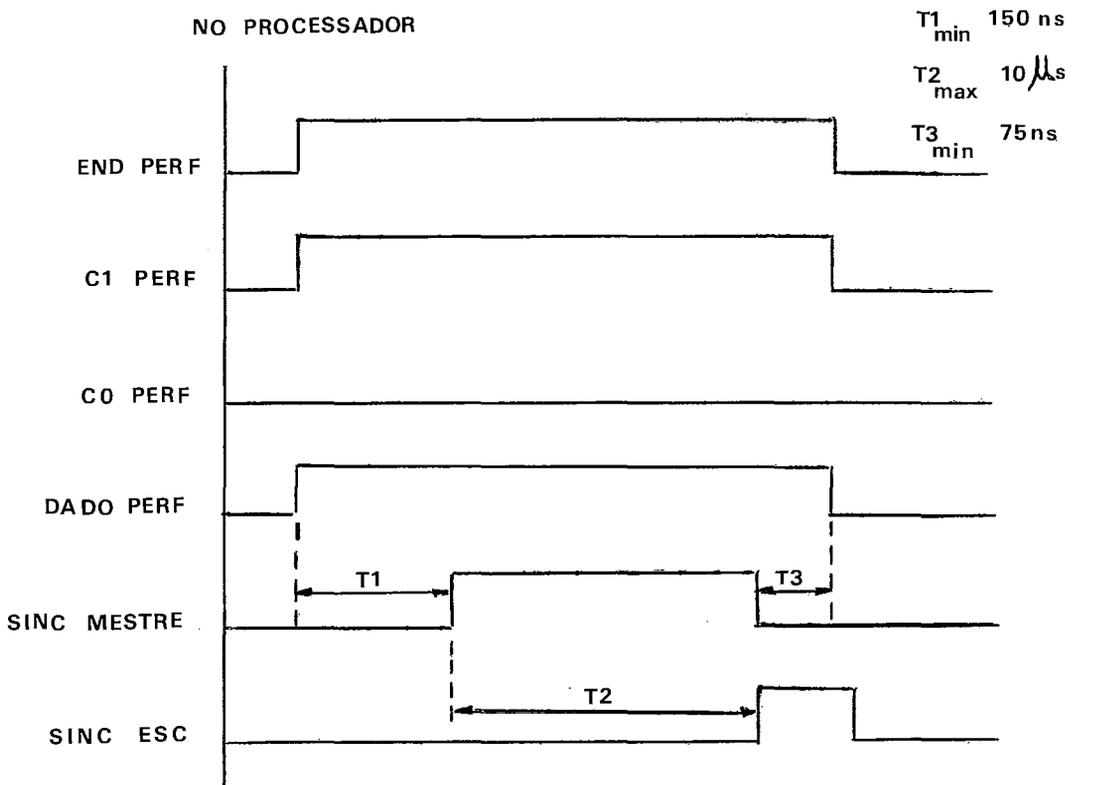


fig VIII-2

dado (DADO PERF<15:ØØ>), em operações de escrita, são acionadas pelo processador e um registro de deslocamento de 8 bits, que irá definir as marcas de tempo em que os sinais necessários serão ativados ou desativados, troca de modo de operação, passando do modo CARGA para o modo DESLOCAMENTO. Inicialmente, este registro possui apenas a saída T1P ativada. As demais saídas, T2P a T8P, estão inicialmente em zero. As operações de deslocamento neste registro se dão nas transições positivas do sinal de onda quadrada, com 40ns de período, gerado pelo oscilador central do processador.

Após 3 pulsos de deslocamento, ou seja, ao ser ativada a saída T4P do registro, a operação de deslocamento fica bloqueada caso uma das seguintes condições exista.

1) A linha SINC ESC permanece ativada devido a uma operação de E/S realizada anteriormente.

2) A operação de E/S é uma operação de escrita e não transcorreram, ainda, 150ns desde que a linha SINC ESC foi desativada após a operação de E/S realizada anteriormente. Este período de espera de 150ns é necessário para evitar que o dado a ser enviado pelo processador na operação de escrita não venha a se confundir com algum dado ainda presente na barra, fruto de uma operação de leitura anterior.

3) O sinal INIC OP está desativado, indicando que a operação de E/S requisitada ainda não foi validada pela Unidade de Controle.

Caso nenhuma destas condições exista, a saída T5P do registro é ativada, acionando a linha SINC MESTRE. O acionamento desta linha ocorre, devido aos atrasos existentes nos circuitos lógicos envolvidos e às operações de deslocamento realizadas, pelo menos, 160ns após o acionamento das linhas de dado, endereço e controle da barra de periféricos pelo processador.

Com a ativação da saída T5P do registro, as operações de deslocamento ficam bloqueadas até que o processador receba a resposta do periférico através da linha SINC ESC. Caso esta resposta não seja recebida 10µs após o acionamento da linha SINC MESTRE, a operação de E/S é interrompida por ocorrência de TIMEOUT e o registro de deslocamento volta a funcionar em modo CARGA.

Normalmente, 75ns após a ativação de SINC ESC pelo periférico, as operações de deslocamento tem prosseguimento e, ao ser ativada a saída T6P do registro, é acionado o sinal que comandará a carga do Registro de Comunicação de Dados para o armazenamento, neste registro, do dado enviado pelo periférico através das linhas DADO PERF<15:ØØ>, caso a operação de E/S em andamento seja de leitura. Neste mesmo caso, este sinal também realiza o armazenamento, em flip-flop, da indicação dada pelo periférico, através das linhas PA e PB, da existência ou não de erro de paridade no dado enviado por ele.

A ativação da saída T7P do registro de deslocamento provoca a desativação do sinal INIC OP e libera a Unidade de Controle para continuação da sua tarefa, caso estivesse em estado de ESPERA, aguardando o final da operação de E/S requisitada. Com a ativação da saída T7P é, também, desativada a linha SINC MESTRE.

Ao ser ativada a saída T8P do registro de deslocamento é feita a desativação das linhas de endereço, dado e controle por meio de um circuito lógico cujo retardo mínimo é superior a 40ns, o que garante um intervalo de tempo superior a 75ns entre a desativação destas linhas e da linha SINC MESTRE. A seguir, o registro de deslocamento é, novamente, colocado em modo CARGA.

Na figura VIII.3 é mostrado, de forma ligeiramente simplificada, o circuito que realiza o controle das operações de E/S na Barra de Periféricos e, na figura VIII.4, um diagrama de tempos relativo ao funcionamento do circuito em uma operação de leitura normal.

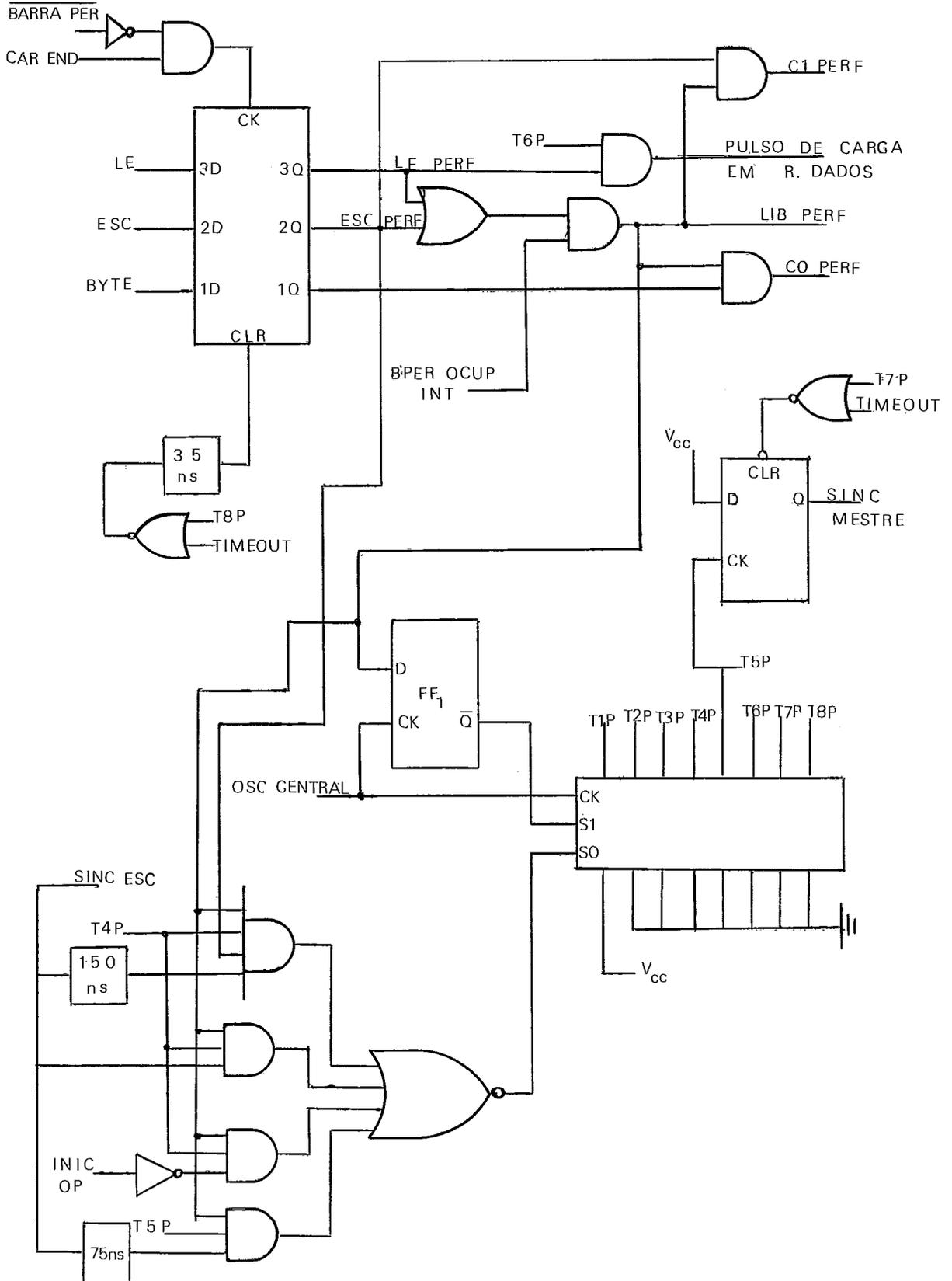


fig VIII-3

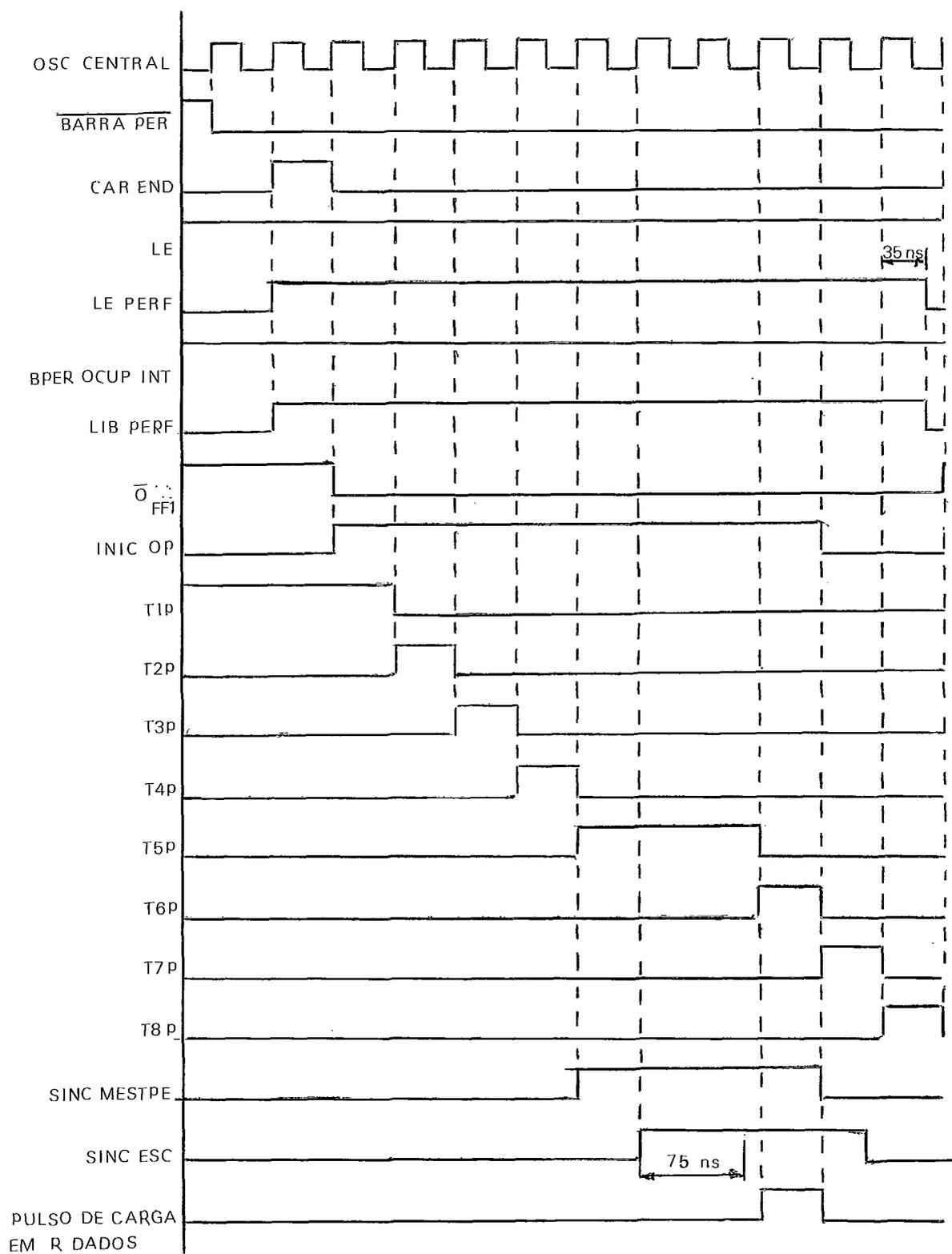


fig VIII-4

## IX - OPERAÇÕES DE E/S COM O SISTEMA DE MEMÓRIA

### 1 - Introdução

O objetivo deste capítulo é descrever o funcionamento dos circuitos responsáveis pela geração e recepção dos sinais necessários à realização de uma operação de escrita ou leitura de palavras ou bytes localizados na memória principal do sistema.

Uma operação de E/S relativa ao Sistema de Memória tem início caso a decodificação do endereço real gerado pelo processador indique que este endereço é referente a uma posição de memória.

O protocolo de troca de sinais adotado para realização de operações de E/S com o Sistema de Memória é, em linhas gerais, semelhante ao que foi utilizado na Barra de Periféricos. As diferenças mais importantes existentes dizem respeito ao problema de velocidade. Já que o sistema adota memória-CACHE procurou-se utilizar um protocolo de troca de sinais mais rápido e, inclusive, criar a possibilidade de operações de E/S serem iniciadas, no Sistema de Memória, antes mesmo de a Unidade de Controle tê-la validado ou de o Sistema de E/S ter verificado a ocorrência de erros. Como resultado desta política, dois sinais, inexistentes na Barra de Periféricos, são enviados pelo processador ao Sistema de Memória: um deles para validar e o outro para abortar uma operação de E/S já iniciada.

### 2 - Descrição da Barra de Comunicação com o Sistema de Memória

A Barra de Comunicação do Processador com o Sistema de Memória é constituída de 52 linhas relacionadas abaixo.

- 22 linhas de endereço: END MEM<21:00>
- 16 linhas bidirecionais de dado: DADO MEM<15:00>
- 2 linhas de controle, Cl MEM e CØ MEM, que especificam o tipo de operação de E/S a ser realizado segundo o seguinte código:

Cl MEM	CØ MEM	Operação
Ø	Ø	Leitura
1	Ø	Escrita de Palavra
1	1	Escrita de Byte
Ø	1	Não Usado

- 3 linhas de paridade por byte do endereço enviado. Para geração do bit de paridade referente ao byte mais alto são consideradas, na formação do byte, além das 6 linhas END MEM<21:16>, as duas linhas de controle, Cl MEM e CØ MEM.

- 2 linhas de paridade por byte do dado enviado ao Sistema de Memória em operações de escrita.

- 1 linha de sincronismo, REQ UCP, ativada pelo Sistema de E/S para requisitar o início de uma operação de E/S no Sistema de Memória.

- 1 linha de sincronismo, ACESSO OK, acionada pelo Sistema de E/S para indicar ao Sistema de Memória que uma operação de E/S já iniciada deve ser completada.

- 1 linha de sincronismo, ABORTA CICLO, acionada pelo Sistema de E/S para indicar ao Sistema de Memória que uma operação de E/S já iniciada deve ser interrompida.

- 1 linha de sincronismo, RESP MEM, acionada pelo Sistema de Memória para indicar ao processador que a operação de E/S requisitada foi completada.

- 3 linhas para indicação de ocorrência de erros pelo Sistema de Memória:

a) TIMEOUT MEM - indica ocorrência de TIMEOUT ou de erro de paridade no endereço recebido. A indicação de ocorrência de TIMEOUT não pode ser feita internamente no processador, devido ao fato de que o processador não tem controle do instante exato em que a operação de leitura ou escrita foi efetivamente iniciada, uma vez que uma requisição de operação de E/S, feita pelo processador, pode ficar em estado de espera caso, no Sistema de Memória, já tenha sido registrada uma requisição de operação de E/S por parte de dispositivos **periféricos em operações de acesso direto à memória**.

b) ABORTO PAR MEM - indica existência de erro de paridade na palavra requisitada para leitura pelo processador. A ativação desta linha provoca a suspensão da execução da instrução em curso, passando o processador a executar uma rotina de tratamento de erro de paridade.

c) TRAP PAR MEM - indica existência de erro de paridade na palavra que ocupa, na memória principal, o endereço seguinte ao da palavra requisitada para leitura pelo processador. A ativação desta linha não provoca a suspensão da execução da instrução em curso, já que este erro é tratado pelo Sistema de E/S como "trap" e não como aborto.

### 3 - Estrutura Geral do Controle das Operações de E/S com o Sistema de Memória

De maneira semelhante ao que já foi descrito no capítulo VIII deste trabalho, uma operação de E/S relativa ao Sistema de Memória é iniciada quando o circuito de controle geral de operações de E/S ativa o sinal CAR END, estando o circuito decodificador de endereços com o sinal MEMÓRIA ativado, indicando que o endereço real gerado se refere a uma posição de memória. Neste instante, é armazenada, em flip-flops, a informação, proveniente da Uni

dade de Controle, que indica se a operação de E/S a ser iniciada consiste em uma operação de leitura, de escrita de palavra ou escrita de byte. Ao se dar o armazenamento desta informação, as linhas de endereço (END MEM<17:00>), de controle (Cl MEM e C0 MEM), de dado (DADO MEM<15:00>) e as linhas de paridade da barra de comunicação com a memória são acionadas pelo processador e um registro de deslocamento de 4 bits, que irá definir as marcas de tempo em que os sinais necessários serão ativados ou desativados, troca de modo de operação, passando do modo CARGA para o modo DESLOCAMENTO. Inicialmente, este registro possui apenas a saída T1M ativada. As demais saídas, T2M, T3M e T4M, estão inicialmente em zero. As operações de deslocamento neste registro se dão nas transições positivas do sinal de onda quadrada, com 40ns de período, gerado pelo oscilador central do processador.

Com a saída T1M acionada, a operação de deslocamento fica bloqueada apenas caso a linha RESP MEM não esteja desativada há, pelo menos, 20ns. Dessa forma assegura-se que a ativação de T2M só ocorre após ter sido completada totalmente qualquer operação de E/S realizada anteriormente.

Ao ser ativada a saída T2M é acionada a linha REQ UCP, requisitando que uma operação de E/S seja iniciada no Sistema de Memória. Caso o sinal INIC OP já esteja ativado é acionada simultaneamente a linha ACESSO OK. Caso o sinal INIC OP não esteja ativado, o Sistema de Memória desenvolve todas as operações necessárias, que antecedem a realização efetiva da operação de escrita ou leitura, e mesmo, a atualização de posições do CACHE, enquanto aguarda a ativação da linha ACESSO OK, para dar continuidade a operação iniciada, ou a ativação da linha ABORTA CICLO, para cancelar a operação. A linha ABORTA CICLO é ativada durante um período da onda quadrada gerada pelo oscilador central, quando o circuito de controle geral de operações de E/S gera o sinal RESET E/S, indicando que a Unidade de Controle ordenou a interrupção da operação de E/S iniciada ou que algum tipo de erro grave (aborto) foi detectado pelo Sistema de E/S. Com a ativação da linha ABORTA CICLO, o registro de deslocamento é colocado novamente em MODO CARGA e a linha REQ UCP é desativada.

Considerando que a operação de E/S tenha prosseguimento pela ativação da linha ACESSO OK, ao ser ativada a saída T2M as operações de deslocamento ficam novamente bloqueadas até que a linha RESP MEM seja acionada pelo Sistema de Memória. Nesta fase da operação de E/S é possível que o Sistema de Memória ative a linha TIMEOUT MEM, por um dos motivos já citados, e, neste caso, o registro de deslocamento é colocado em MODO CARGA, a linha REQ UCP é desativada e é acionado um flip-flop que dará indicação ao Sistema de E/S da ocorrência de aborto, que é tratado como erro de paridade.

Supondo que a operação de E/S transcorra normalmente, a pri -

meira operação de deslocamento, após ter sido ativada a linha RESP MEM, aciona a saída T3M. Em operações de leitura, o acionamento da saída T3M provoca a emissão de um pulso que comanda a carga do Registro de Comunicação de Dados com o conteúdo das linhas DADO MEM<15:00> e que comanda o armazenamento em flip-flop do estado da linha ABORTO PAR MEM, a fim de provocar sinalização de aborto para o Sistema de E/S caso haja erro de paridade no dado lido.

A ativação da saída T4M, em seguida, provoca a desativação da linha REQ UCP, a colocação do registro de deslocamento em MODO CARGA e a desativação do sinal INIC OP, encerrando a operação de E/S.

Na figura IX.1 é mostrado, de forma ligeiramente simplificada, o circuito que realiza o controle das operações de E/S com o Sistema de Memória e, na figura IX.2, um diagrama de tempos relativo ao funcionamento do circuito em uma operação de leitura normal.

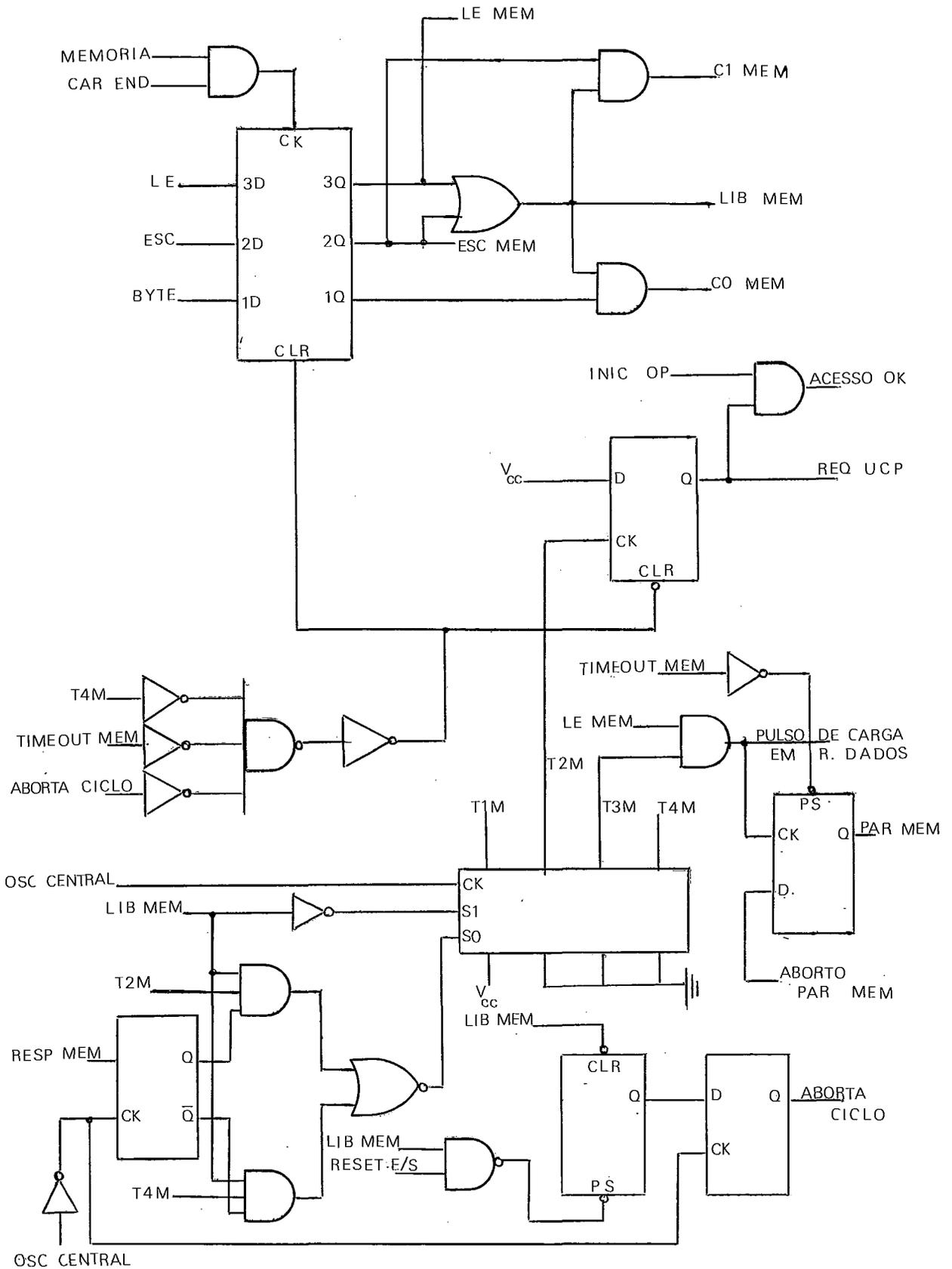


fig IX-1

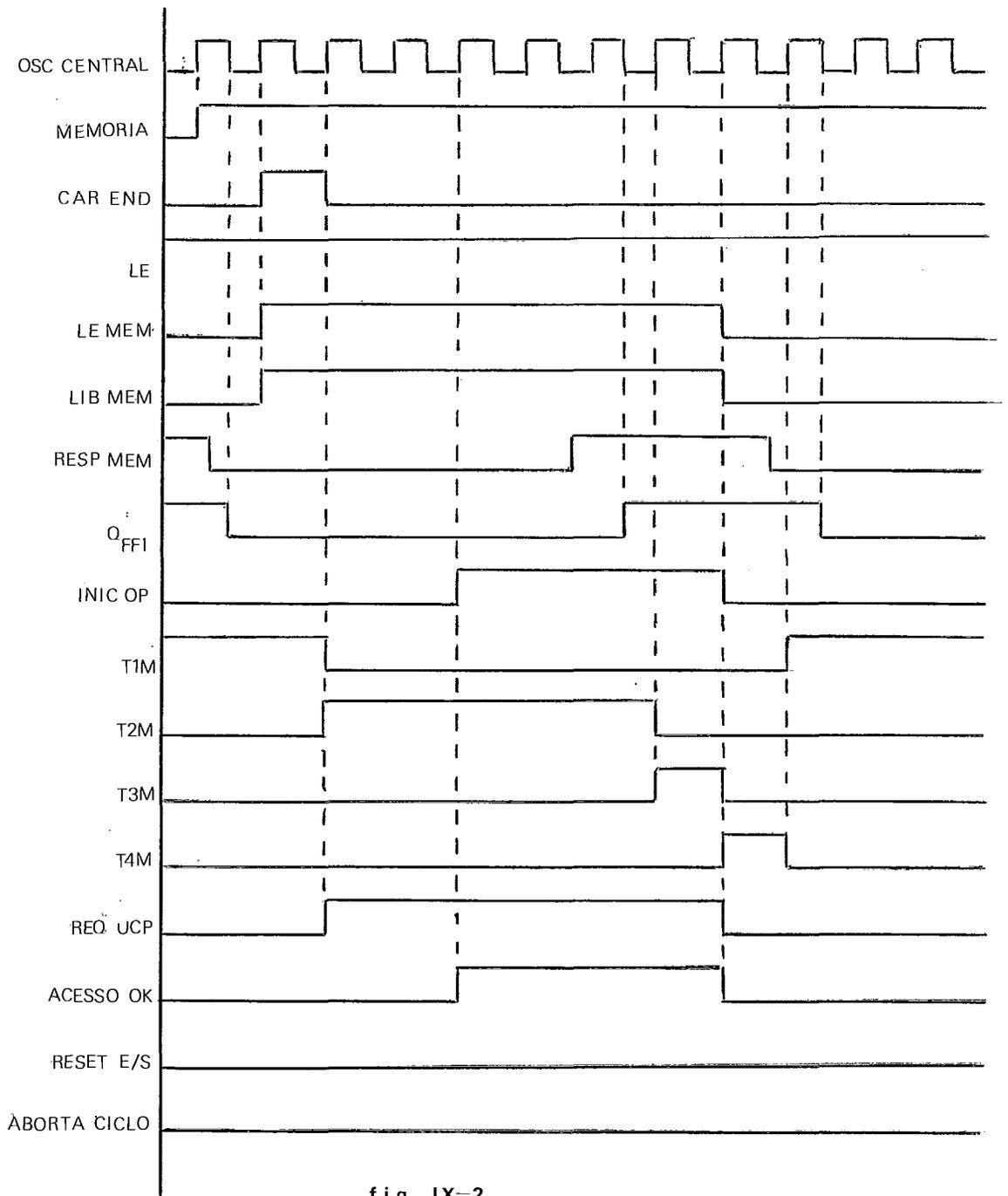


fig IX-2

## X - CIRCUITO DE PRIORIDADE E DE CONTROLE DE INTERRUPÇÕES E OPERAÇÕES DE ACESSO DIRETO

### 1 - Introdução

A função do Circuito de Prioridade é, através de um critério pré-estabelecido, definir, por exame das linhas que sinalizam ocorrência de abortos ou "traps" e das linhas por onde são feitas requisições de interrupção por hardware ou software, qual dos eventos tem maior prioridade para ser tratado pelo processador e inicializar o procedimento necessário para tratamento do evento escolhido, ou seja, em função do evento selecionado, o Circuito de Prioridade aciona ou não determinadas linhas que tem atuação sobre outras partes do Sistema de E/S e, inclusive, sobre outras partes do processador.

Caso o evento escolhido seja uma interrupção por "hardware", antes da entrada em ação da rotina de tratamento da interrupção, é realizado um protocolo de troca de sinais entre o processador e o periférico com o objetivo de identificar o periférico que requisitou a interrupção. Este protocolo será descrito neste capítulo, bem como a forma como o processador se comporta ao ser notificado de que algum periférico deseja realizar uma operação de Acesso Direto.

### 2 - Descrição do Circuito de Prioridade

O circuito de prioridade trata com cinco tipos de informações distintas que chegam até ele através de linhas específicas.

- as linhas que sinalizam ocorrência de aborto, acionadas pelos circuitos descritos em capítulos anteriores deste trabalho.

- as linhas que sinalizam ocorrência de "traps", acionadas por circuitos também já descritos neste trabalho.

- as linhas que requisitam interrupção por "software", acionadas pelos bits 15 a 9 do Registro de Pedido de Interrupção (RPI<15:09>).

- as linhas que requisitam interrupção por "hardware", pertencentes a barra de periféricos e que são acionadas por periféricos. Estas linhas são em número de quatro e são denominadas PED INT<07:04>.

- as linhas que indicam a prioridade da tarefa que está sendo executada pelo processador no momento, que são acionadas pela decodificação dos bits 7 a 5 da Palavra de Status do Processador. Estas linhas são denominadas PRIOR PROC<07:00>.

De forma geral, sempre que o Circuito de Prioridade determina que um certo tipo de evento deve ser tratado pelo processador, o procedimento adotado consiste em fazer com que a Unidade de Controle passe a executar uma

rotina a nível de microprograma, cuja finalidade básica é realizar o salvamento do Contador de Programa e da Palavra de Status atuais do processador na "Stack" e efetuar a busca, na memória, do conteúdo do novo Contador de Programas e da nova Palavra de Status. Os endereços de memória onde se encontram estas informações são obtidos internamente no processador no caso de abortos, traps ou interrupções por "software" e são gerados pelo periférico em interrupções por "hardware".

O critério de prioridades adotado estabelece prioridade máxima para ocorrências de aborto. As ocorrências de "trap" só serão notificadas ao processador pelo Circuito de Prioridade, caso não haja sinalização de ocorrência de aborto ao final da instrução em curso. Os pedidos de interrupção são notificados também ao final da instrução em curso, caso não haja sinalização de ocorrência de abortos ou "traps" e caso o nível de prioridade máximo dos pedidos de interrupção existentes seja maior do que o nível de prioridade do processador no momento.

### 2.1 - Notificação de Abortos

Ao ser acionada qualquer linha indicadora de ocorrência de aborto, o Circuito de Prioridade gera o sinal ABORTO que é reconhecido pela Unidade de Controle quando ela se encontra ou entra em estado de espera para aguardar o resultado da operação de E/S requisitada. O efeito que o sinal ABORTO provoca é um desvio na execução normal do microprograma, passando a Unidade de Controle a executar uma rotina a nível de microprograma, que chamaremos de microrotina de serviço, que irá, como já foi dito, preparar o processador para executar a rotina de serviço ou tratamento da ocorrência de aborto.

A busca do novo Contador de Programas e da nova Palavra de Status nesta microrotina é feita através da relocação, em modo Kernel, de um endereço virtual gerado no processador. A geração deste endereço se dá através da leitura de uma Memória de Constantes existentes na Unidade Aritmética. O conteúdo armazenado nesta memória, na posição endereçada por quatro bits gerados pelo Circuito de Prioridade, é o endereço virtual. Os quatro bits que endereçam a Memória de Constantes são gerados em função do tipo de aborto ocorrido. Abortos causados por violação do limite da "stack", erro de endereçamento ímpar, tentativa de acesso a posição inexistente de memória, erro de paridade e "timeout" provocam a geração de uma única configuração de quatro bits, já que para todos estes casos o sistema utiliza o mesmo endereço virtual para a busca do novo Contador de Programas e da nova Palavra de Status. Apenas no caso de abortos registrados no sistema de relocação é que uma configuração de quatro bits diversa é gerada pelo Circuito de Prioridade.

Esta diferença de tratamento se deve ao fato de que a rotina que trata os abortos do sistema de relocação é distinta da rotina que trata os demais tipos de aborto, uma vez que apenas no caso de ocorrência de aborto do sistema de relocação é feita uma tentativa de reexecutar a instrução que provocou o aborto.

## 2.2 - Notificação de "Trap"

O Circuito de Prioridade notifica à Unidade de Controle a ocorrência de "trap" caso não haja sinalização de aborto e caso haja alguma linha indicando ocorrência de "trap". A notificação é feita através do sinal TRAP que só é reconhecido pela Unidade de Controle ao final da instrução em curso. O reconhecimento deste sinal provoca a execução, na Unidade de Controle, de uma microrrotina que realiza o salvamento do Contador de Programas e da Palavra de Status atuais e a busca do novo Contador de Programas e da nova Palavra de Status, utilizando um endereço virtual gerado pela leitura da Memória de Constantes e relocado em modo Kernel. O endereçamento da Memória de Constantes para obtenção deste endereço virtual é, também neste caso, feito por quatro bits gerados pelo Circuito de Prioridade. A configuração binária representada por estes quatro bits varia de acordo com a sinalização de "trap" de mais alta prioridade presente.

Excluindo o caso de acionamento do bit T da Palavra de Status do Processador, há seis eventos que provocam sinalização de "trap". Cada um destes eventos possui uma prioridade para atendimento. Em ordem decrescente de prioridade estes eventos estão relacionados abaixo:

operação de painel (CONS FLAG), erro de paridade na palavra de memória que ocupa o endereço seguinte ao da palavra requisitada (MEM PAR), "traps" gerados no sistema de relocação (TRAP RELOC), ameaça de violação do limite da "stack" em modo Kernel (VIOL AM), falha de alimentação (TRAP ALIM) e exceção em operação de ponto flutuante (TRAP PF).

Os sinais, citados acima entre parênteses, indicadores da ocorrência de TRAP são armazenados em um registro no Circuito de Prioridade por comando da Unidade de Controle. De forma geral, este comando é acionado em pontos do microprograma de uma instrução, onde há possibilidade de não haver outras operações de E/S entre aquele ponto e o final do microprograma. Os sinais, armazenados no registro citado, endereçam uma ROM cujas saídas geram a configuração de quatro bits adequada para endereçamento da Memória de Constantes e ativam o sinal TRAP. Esta ROM só fica liberada para leitura caso não haja sido detetada ocorrência de aborto.

### 2.3 - Notificação de Ocorrência de Pedido de Interrupção

O Circuito de Prioridade notifica à Unidade de Controle a ocorrência de interrupção caso não hajam sinalizações de abortos ou "traps" e caso haja alguma requisição de interrupção em nível de prioridade mais alto que o do processador, definido pelos bits 7 a 5 da Palavra de Status. Esta notificação só é reconhecida pela Unidade de Controle ao final da instrução - em curso.

Caso a notificação tenha sido causada por uma requisição de interrupção por "software", o sinal TRAP é ativado e o procedimento na Unidade de Controle para inicializar o processo de tratamento da interrupção - é semelhante ao já descrito para o caso de "traps". Qualquer que seja o nível de prioridade da interrupção por "software" a ser atendida, o Circuito de Prioridade gera uma única configuração de quatro bits para endereçar a Memória de Constantes a fim de se obter o endereço virtual necessário à busca do novo Contador de Programas e da nova Palavra de Status. O nível da interrupção só pode, portanto, ser determinado por "software", durante a execução da rotina de tratamento da interrupção, através da leitura e utilização como índice do conteúdo do Registro de Pedido de Interrupção por Programa.

Caso a notificação de interrupção tenha sido causada por uma requisição de interrupção por "hardware", através das linhas PED INT<07:04>, o sinal INT é ativado e a Unidade de Controle ao iniciar a execução da microrotina de tratamento de interrupção, entra em estado de espera, aguardando que o periférico, que requisitou a interrupção, envie, através das linhas de dado da BARRA DE PERIFÉRICOS, o endereço virtual que possibilitará a busca do novo Contador de Programas e da nova Palavra de Status, referentes à rotina de tratamento da interrupção. Desta forma fica feita, também, a identificação, pelo processador, do periférico causador da interrupção.

O protocolo de troca de sinais entre o processador e o dispositivo periférico para envio do endereço virtual citado acima, é iniciado pelo Circuito de Prioridade. Este protocolo será descrito mais adiante, neste capítulo do trabalho, com detalhe.

O estado das linhas por onde são feitas as requisições de interrupção, RPI<15:09> e PED INT<07:04>, é armazenado em registros do Circuito de Prioridade por comando da Unidade de Controle, de forma semelhante a descrita para o caso de "traps". As saídas destes registros e as linhas PRIOR PROC<07:00>, que revelam o nível de prioridade do processador, endereçam uma ROM cujas saídas ativam o sinal TRAP e geram o endereço para a Memória de Constantes, caso deva ser atendida uma interrupção por programa, ou ativam o sinal INT e acionam uma das linhas RESP INT ROM<07:04>, que inicializam o pro

protocolo de troca de sinais entre processador e periférico, caso uma interrupção por "hardware" deva ser atendida.

Como se observa, o processador dispõe de oito níveis de prioridade, numerados de 0 a 7, e o sistema admite sete níveis de prioridade para interrupção por programa, situados entre 1 e 7, e quatro níveis de prioridade para interrupção por "hardware", situados entre 4 e 7. A função exercida pela ROM é determinar se existe algum pedido de interrupção com nível de prioridade maior do que o do processador e, em caso afirmativo, identificar se este pedido foi feito por programa ou por algum periférico. Caso haja pedidos de interrupção por programa e por "hardware" com o mesmo nível de prioridade, o critério estabelecido dá maior prioridade ao pedido de interrupção por programa. A leitura desta ROM fica bloqueada somente quando há sinalizações de abortos ou "traps".

#### 2.4 - Notificação de "Trap" devida ao acionamento do bit T

O Circuito de Prioridade aciona o sinal TRAP quando o bit T, bit 4 da Palavra de Status, está acionado e as seguintes condições são satisfeitas:

- não há ocorrência de aborto e "traps"
- não há nenhum pedido de interrupção com prioridade maior do que a do processador
- o processador não está executando a instrução RIT.

O sinal TRAP assim gerado só é reconhecido pela Unidade de Controle ao final da instrução e, após o reconhecimento, o procedimento seguido é análogo ao já citado para o caso de ocorrência dos demais "traps".

### 3 - Recepção do Vetor de Interrupção

Ao ser acionado o sinal INT pelo Circuito de Prioridade, indicando que um pedido de interrupção feito através das linhas PED INT<07:04> vai ser atendido pelo processador, é iniciado um protocolo de troca de sinais entre o processador e o periférico causador da interrupção, com o objetivo de concretizar o envio, pelo periférico, do endereço virtual necessário à busca do Contador de Programas e da Palavra de Status referentes a rotina que tratará a interrupção requisitada. A este endereço virtual dá-se o nome de VETOR DE INTERRUPÇÃO.

Na realização do protocolo são utilizadas várias linhas da BARRA DE PERIFÉRICOS, algumas delas já citadas no capítulo VIII. A função desempenhada por cada linha no processo é descrita a seguir:

BARRA OCUPADA - quando acionada indica que a BARRA DE PERIFÉ-

RICOS está sob controle de algum dispositivo: o processador ou periféricos. Normalmente, o controle da barra está com o processador. No caso de interrupção, este controle é passado a um periférico, para que este comande a operação de envio do VETOR DE INTERRUPTÃO.

PED INT<07:04> - linhas por onde os periféricos realizam seus pedidos de interrupção. A cada linha está associado um nível diferente de prioridade.

RESP INT<07:04> - linhas acionadas pelo processador para indicar ao periférico que seu pedido de interrupção vai ser atendido. A cada linha RESP INT corresponde uma linha PED INT. Apenas a linha RESP INT, corresponde a linha PED INT de mais alta prioridade acionada, é ativada pelo processador a cada instante.

REC PERF - esta linha é acionada pelo periférico para indicar ao processador o reconhecimento da ativação de alguma linha RESP INT. É também através do acionamento desta linha que o periférico requisita ao processador que este libere o controle da barra para que ele possa realizar o envio do vetor de interrupção.

VET INT - linha acionada pelo periférico para indicar que o vetor de interrupção já está presente nas linhas DADO PERF<15:00>.

SINC ESC - esta linha, também usada em operações de E/S normais, é acionada pelo processador para indicar a recepção do vetor de interrupção.

DADO PERF<15:00> - estas linhas são utilizadas pelo periférico para envio do vetor de interrupção ao processador.

Definidas as funções das diversas linhas, podemos descrever, passo a passo, o protocolo de troca de sinais adotado para envio do vetor de interrupção.

- Ao notificar à Unidade de Controle a existência de um pedido de interrupção por "hardware", que deve ser atendido, o Circuito de Priori

dade aciona uma das quatro linhas RESP INT ROM<7:4>. A linha acionada corresponderá ao nível de mais alta prioridade dentre os pedidos de interrupção existentes.

- Ao final da instrução em curso, caso a linha REC PERF já esteja desativada há pelo menos 75ns, não haja requisições pendentes de operações de Acesso Direto e o processador possua o controle da barra, uma das quatro linhas RESP INT<07:04> é ativada.

- Ao perceber a ativação da linha RESP INT a que ele está ligado, o periférico aciona a linha REC PERF. Caso a linha REC PERF não seja acionada pelo periférico 10µs após a ativação da linha RESP INT, é disparado um circuito de "timeout".

- Tanto a ocorrência de "timeout" como a recepção normal do sinal na linha REC PERF, fazem com que o processador desative o sinal na linha RESP INT.

- Ao detetar o sinal enviado através da linha REC PERF, o processador, caso não esteja realizando nenhuma operação de E/S na barra de periféricos, libera o controle desta barra, desativando a linha BARRA OCUPADA.

- O periférico assume o controle da barra acionando a linha BARRA OCUPADA.

- Caso a linha SINC ESC esteja desativada, o periférico envia o vetor de interrupção através das linhas DADO PERF, aciona a linha VET INT e pode desativar a linha REC PERF.

- Ao receber o sinal na linha VET INT, o processador espera um tempo mínimo de 75ns e carrega o conteúdo das linhas DADO PERF<15:00> no Registro de Comunicação de Dados. Em seguida, o processador aciona a linha SINC ESC.

- Ao receber o sinal na linha SINC ESC, o periférico retira o vetor das linhas DADO PERF<15:00> e desativa as linhas VET INT e BARRA OCUPADA.

- O processador, então desativa a linha SINC ESC e, caso a linha REC PERF já esteja desativada há pelo menos 75ns, reassume o controle da barra, acionando a linha BARRA OCUPADA.

Durante a realização do protocolo entre o Sistema de E/S e o periférico, a Unidade de Controle, após receber a notificação feita pelo Circuito de Prioridade, inicia a execução de uma microrrotina de serviço. Caso a Unidade de Controle evolua nesta microrrotina até o ponto em que se torna indispensável conhecer o Vetor de Interrupção, pode ser parada, temporariamente, a execução da microrrotina, se este vetor ainda não estiver disponível no Registro de Comunicação de Dados. O prosseguimento da execução da microrrotina só se dá após uma sinalização feita pelo Sistema de E/S, que indicará uma das

seguintes situações:

- a) Liberação Ativa - o vetor foi carregado corretamente no Registro de Comunicação de Dados
- b) Liberação Passiva - não se procedeu a carga do vetor por ocorrência de "timeout" na espera da ativação da linha REC PERF, ou por ter o periférico desativado a linha REC PERF sem enviar o vetor de interrupção.

Na figura X.1 é mostrado um diagrama de tempos relativo ao protocolo de troca de sinais descrito para recepção pelo processador do vetor de interrupção.

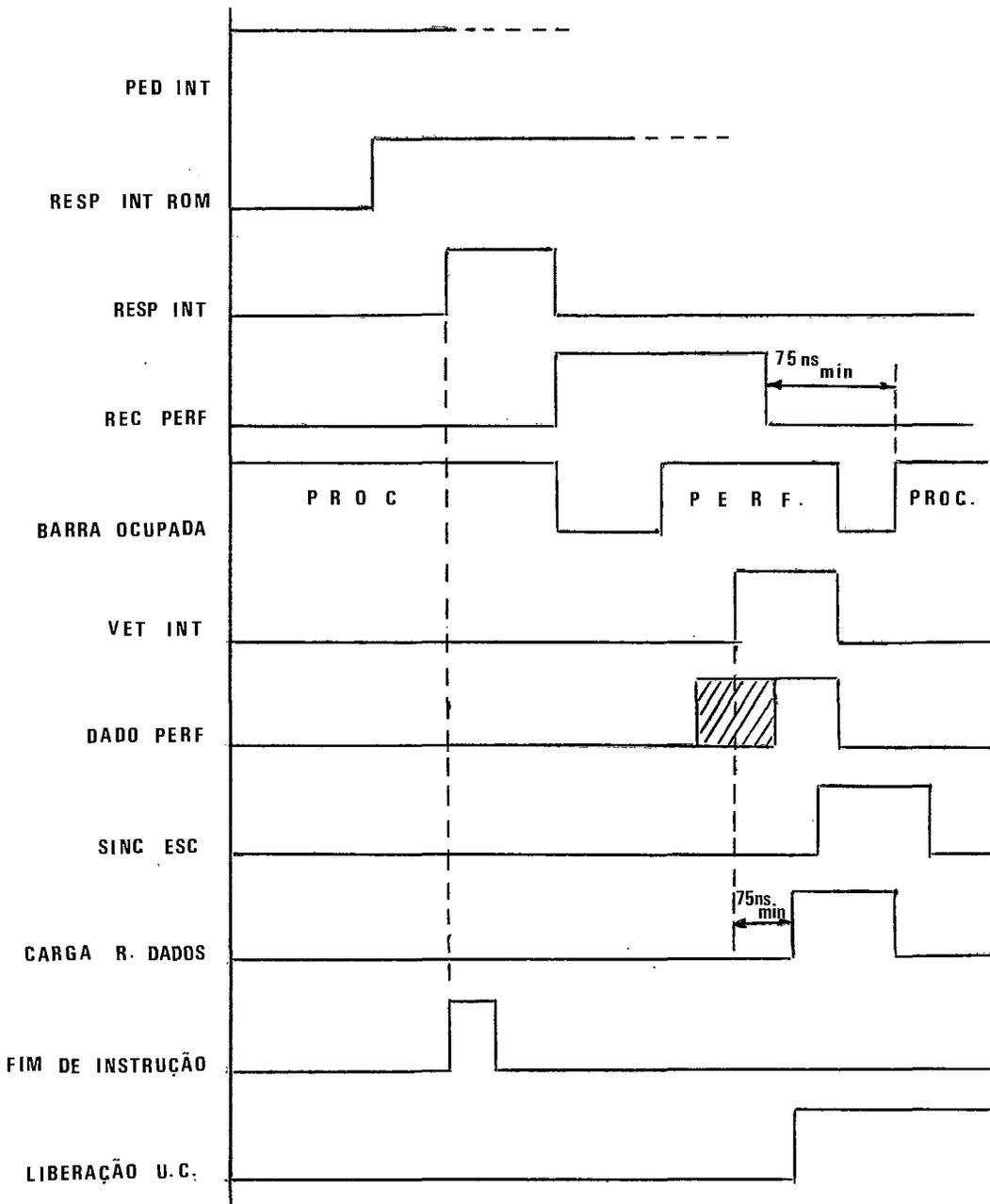


fig X-1

De forma esquemática, pode-se visualizar, pelo diagrama da figura X.2, o modo como os periféricos se ligam as linhas PED INT<Ø7:Ø4> e as linhas RESP INT<Ø7:Ø4>.

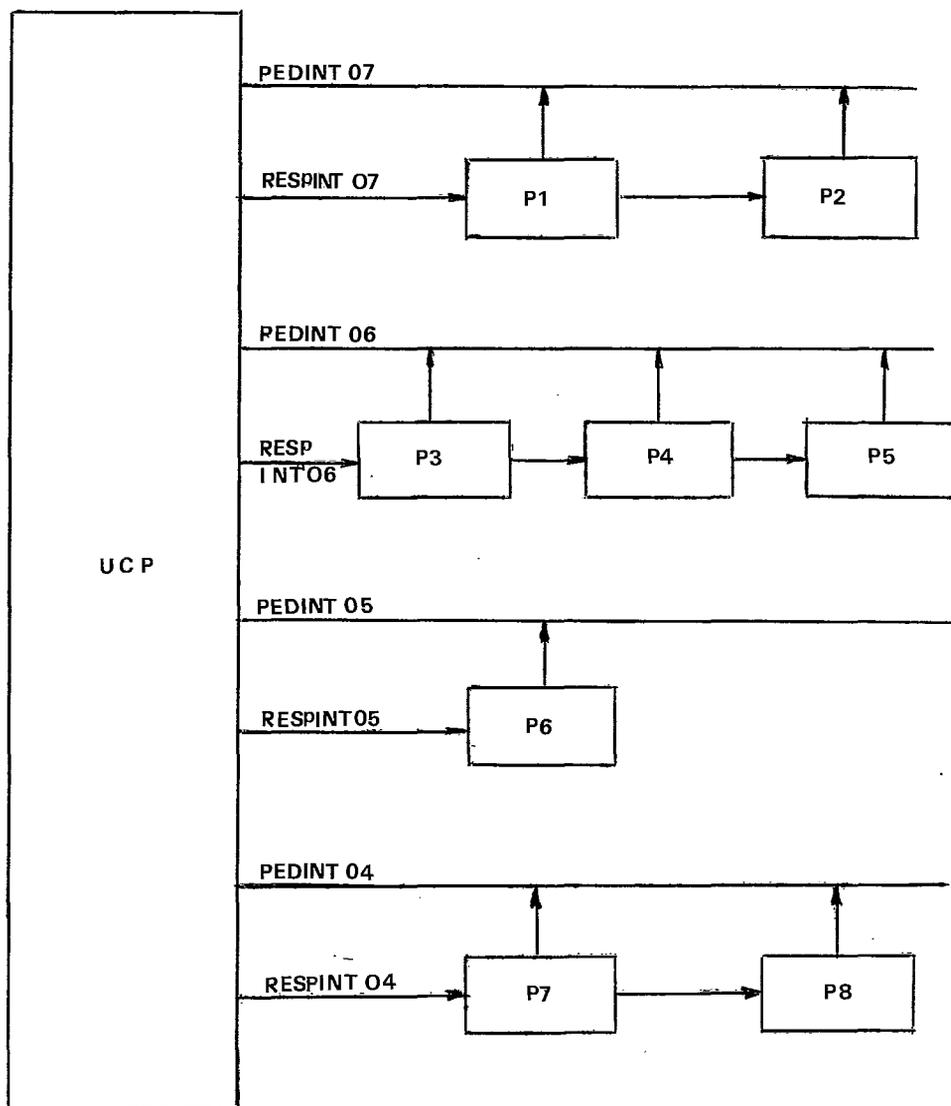


fig X-2

Pelo que já foi dito, os periféricos ligados a linha PED INT Ø7 terão maior prioridade no atendimento a pedidos de interrupção do que os periféricos ligados nas demais linhas, bem como os periféricos ligados à linha PED INT Ø6 terão maior prioridade do que os periféricos ligados às linhas PED INT Ø5 e PED INT Ø4 e assim por diante. Suponhamos agora, o caso em que dois ou mais periféricos ligados à mesma linha requisitem interrupção. Nesta situação, o periférico da linha conectada eletricamente mais perto do

processador terá a prioridade maior na linha. Para ilustrar como isso se dá tomemos o caso da linha PED INT 06 na figura X.2 e consideremos o caso em que tanto os periféricos P4 e P5 estão requisitando interrupção ao processador. O Circuito de Prioridade, ao estabelecer que o pedido de interrupção existente na linha PED INT 06 deve ser atendido, emite, ao final da instrução em curso, um sinal através da linha RESP INT 06. Este sinal chega ao periférico P3, que por não estar pedindo interrupção, o retransmite ao periférico P4. Estando P4 requisitando uma interrupção ele não envia o sinal RESP INT 06 ao periférico P5, bloqueando a sua passagem. O periférico P4 inicia então o protocolo com o processador para envio do vetor de interrupção, enquanto P5 mantém a linha PED INT 06 ativada, aguardando que seu pedido de interrupção possa ser atendido.

#### 4) Descrição da Microrotina de Serviço

Embora este tópico possa ser encontrado com explicações mais detalhadas no trabalho de tese de Adriano Joaquim de Oliveira Cruz<sup>2</sup>, faremos aqui referência a ele devido à sua grande interligação com o Sistema de E/S no que diz respeito aos circuitos que atuam na detecção e tratamento de abortos, "traps" e interrupções.

De forma esquemática, o fluxograma da microrotina de serviço é mostrado na figura X.3.

Como se pode observar há três pontos de entrada na microrotina de serviço, sendo um deles referente a ocorrência de abortos, o outro a ocorrência de "traps" ou interrupções por programa e um terceiro para o caso de interrupções por "hardware". Os três ramos, assim originados, se encontram no trecho da microrotina onde se procede a busca do novo Contador de Programas e da nova Palavra de Status e o salvamento na "stack" do conteúdo anterior destes dois registros.

No ramo independente referente a ocorrências de interrupção por "hardware", a microrotina aguarda o sinal proveniente do Sistema de E/S que indica que o protocolo iniciado para recepção do vetor de interrupção chegou ao fim. Como já vimos, este protocolo pode se encerrar ao ser realmente recebido o vetor ou por ter ocorrido o que chamamos de liberação passiva, quando, então, o periférico não chega a enviar o vetor ao processador. No primeiro caso, o vetor, carregado pelo Sistema de E/S no Registro de Comunicação de Dados, é transferido para o registro EV (Endereço Virtual) e passa-se a executar o trecho comum aos três ramos da microrotina de serviço. Caso haja ocorrido liberação passiva, é realizado um desvio a nível de microprograma para que se proceda a busca de uma nova instrução.

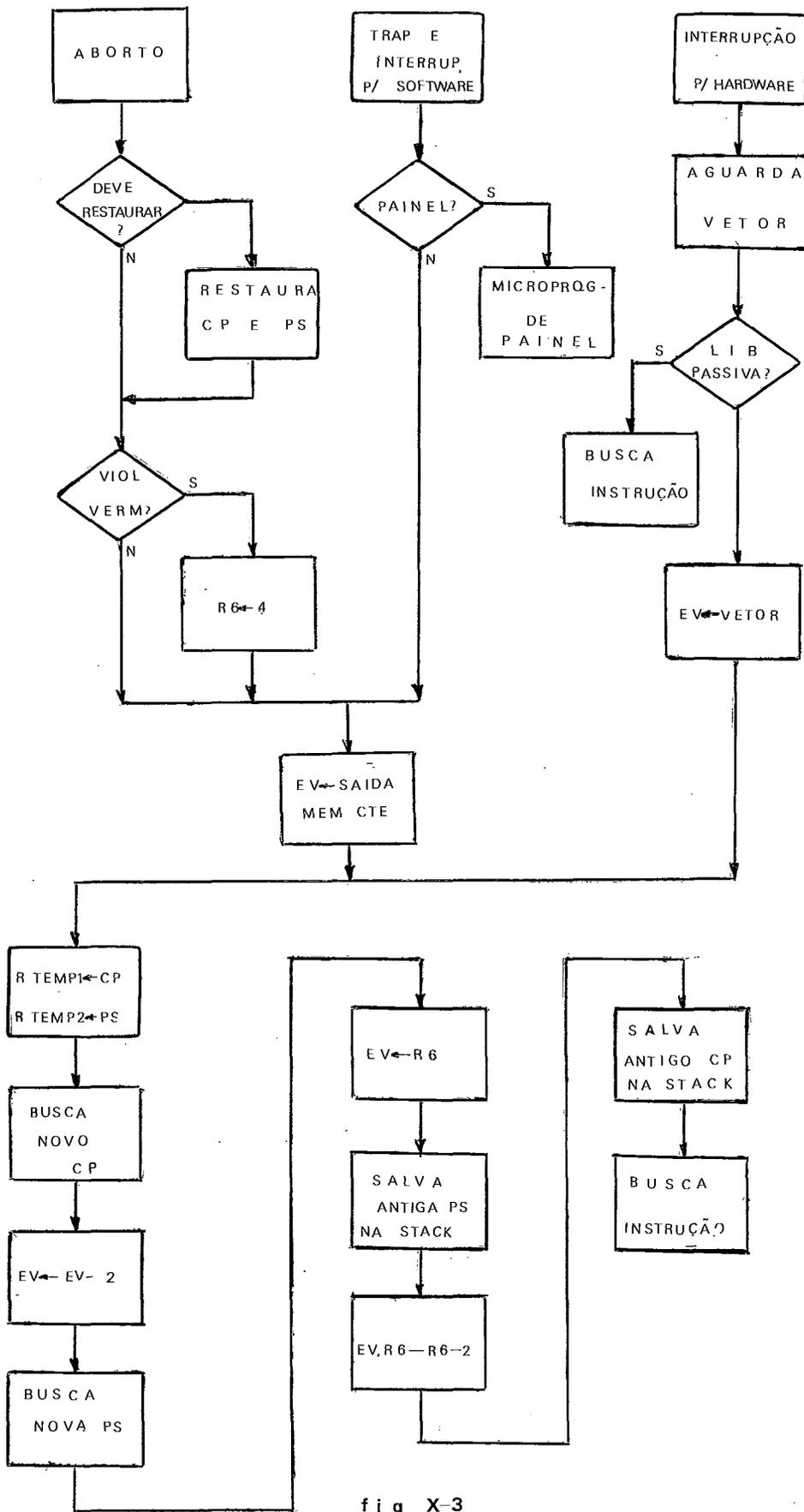


fig X-3

No ramo referente a ocorrências de "traps" ou interrupções - por programa, é feito, inicialmente, um teste para verificar se a sinalização de "trap" foi ou não devida a alguma requisição de operação de painel. Em caso afirmativo, é feito um desvio para execução dos microprogramas que controlam as funções de painel. Em caso negativo, o registro EV é carregado com o conteúdo lido da Memória de Constantes que fornece o endereço virtual da posição de memória onde se encontra o novo Contador de Programas. Em seguida, passa-se a executar o trecho comum aos três ramos da microrotina de serviço.

No ramo referente a ocorrência de abortos é feito, inicialmente, um teste para verificar a necessidade ou não de restaurar os conteúdos do Contador de Programas e da Palavra de Status. Esta necessidade é gerada quando ocorre aborto nas operações de E/S existentes na própria microrotina de serviço, pois, nestes casos, é feito um desvio para o início da microrotina, no ramo referente a abortos, estando, tanto o Contador de Programas como a Palavra de Status do programa inicial, armazenados em registros temporários da Unidade Aritmética. Para que as operações de salvamento, a serem realizadas na microrotina, transcorram de forma correta, é necessário restaurar o conteúdo tanto do Contador de Programas como da Palavra de Status a partir do conteúdo existente nos registros temporários.

A indicação da necessidade ou não de restaurar o conteúdo é dada por um flip-flop que é acionado pela Unidade de Controle na primeira microinstrução do trecho comum da microrotina de serviço e que é desativado na última microinstrução deste mesmo trecho.

Tendo ou não havido necessidade de realizar a restauração do Contador de Programas ou da Palavra de Status, a microrotina realiza a seguir um teste para verificar se a ocorrência de aborto foi ou não devida a uma violação do limite da "stack". Em caso afirmativo, é necessário carregar o registro R6, apontador da "stack", com um novo valor, pois, caso isto não fosse feito, certamente nova sinalização de aborto seria gerada dentro da microrotina de serviço quando se procedesse o salvamento da Palavra de Status na "stack". Este novo valor foi escolhido como sendo quatro e, desta forma, o conteúdo do registro R6 será zero ao final da microrotina de serviço, já que R6 é decrementado de dois duas vezes na microrotina. O valor zero pode ser facilmente detectado por instruções da rotina de serviço da ocorrência de aborto, permitindo, a esta rotina, saber, rapidamente, se é necessário ou não criar uma nova "stack".

Após a alteração ou não do conteúdo do registro R6, é feita a leitura da Memória de Constantes para obtenção do endereço virtual da posição de memória onde se encontra o novo Contador de Programas. Após ser carregado

gado o registro EV com o conteúdo lido, passa-se a execução do trecho comum aos três ramos da microrrotina de serviço.

Cabe aqui uma observação a respeito de uma exceção na obtenção do endereço virtual por leitura da Memória de Constantes. Quando ocorre a bordo durante a microrrotina de serviço que estava em execução devido a detecção de falha na alimentação, é feito um desvio para a microinstrução inicialdo ramo referente a ocorrência de abortos, processando-se normalmente a restauração do Contador de Programas e da Palavra de Status e a modificação, certamente necessária, do conteúdo do registro R6. No entanto, ao ser lida a Memória de Constantes, o endereço virtual obtido é referente a rotina de serviço que tratará a ocorrência de falha na alimentação e não ao aborto. Isto é feito por ação do Circuito de Prioridade que, nesta situação, mantém os quatro bits que endereçam a Memória de Constantes com a configuração referente a ocorrência de falha na alimentação, não alterando-a em função da sinalização de aborto detetada. Desta forma fica garantido que, uma vez iniciada a microrrotina de serviço por detecção de falha na alimentação, a rotina, a nível de programa, referente ao tratamento desta anormalidade, é iniciada mesmo que sejam geradas sinalizações de aborto durante a microrrotina de serviço.

É necessário citar também que, na execução da microrrotina de serviço, após ter se obtido, por leitura da memória de constantes, o endereço virtual da posição de memória onde se encontra o novo Contador de Programa, a Unidade de Controle ativa um bit da sua palavra de microinstrução, denominado REC ERRO, que tem como função desativar os flip-flops indicadores de aborto ou o flip-flop indicador da ocorrência de "trap" de mais alta prioridade existente no momento, no caso de não haver sinalização de aborto.

## 5 - Controle das Operações de Acesso Direto

Alguns periféricos, que podem ser ligados ao processador, possuem, além da capacidade de requisitar interrupção, condições de realizar leitura ou escrita de dados na memória ou em outro periférico sem a intervenção do processador, ou seja, sem que seja necessário que este execute uma sequência de instruções para que a operação de transferência de dados se concretize. Com isso, consegue-se realizar transferências de dados entre dois periféricos rápidos ou entre um periférico rápido e a memória a uma velocidade suficiente para que não haja perda de dados no processo, o que não seria possível através do processo de interrupção, que tem a velocidade máxima para transferência de dados limitada pelo tempo necessário para reconhecimento da interrupção e, principalmente, pelo tempo que deve ser gasto na execução das instruções que compoem a rotina de tratamento da interrupção.

A este modo de operação para transferência de dados sem a in

tervenção do processador chamaremos, aqui, de ACESSO DIRETO.

No protocolo de troca de sinais existente entre o periférico e o processador para solicitação de permissão para realização de uma operação de Acesso Direto duas outras linhas da BARRA DE PERIFÉRICOS, ainda não descritas neste trabalho, são utilizadas. Uma delas é a linha AD REQ, por onde o periférico requisita permissão para realização da operação e a outra é a linha AD OK, por onde o processador concede a permissão solicitada.

O protocolo de troca de sinais existente no processo é descrito abaixo:

- O periférico que deseja realizar uma operação de Acesso Direto aciona um sinal através da linha AD REQ.

- Caso a linha REC PERF já esteja desativa há pelo menos 75 ns, caso não haja nenhum protocolo para atendimento de interrupção em andamento, e caso o processador possua o controle da barra de periféricos, ele aciona a linha AD OK.

- Ao perceber a ativação da linha AD OK, o periférico aciona a linha REC PERF. Caso a linha REC PERF não seja ativada até 10µs após o acionamento da linha AD OK, é detetada ocorrência de TIMEOUT e a linha AD OK é desativada pelo processador.

- No caso normal, ao receber o sinal através da linha REC PERF, o processador desativa a linha AD OK e a linha BARRA OCUPADA.

- Ao perceber a desativação da linha BARRA OCUPADA, o periférico assume o controle da barra, acionando esta linha.

- O periférico, então, inicia a operação de transferência desejada e antes do seu término desativa linha REC PERF.

- Ao final da transferência, o periférico desativa a linha BARRA OCUPADA.

- Ao perceber a desativação da linha BARRA OCUPADA e, caso a linha REC PERF já esteja desativada há pelo menos 75 ns, o processador reassume o controle da barra, ativando a linha BARRA OCUPADA.

É interessante observar que, nas operações de Acesso Direto à Memória, o processo de transferência de dados é feito através do Sistema de Relocação da Barra de Periféricos, a ser descrito no capítulo seguinte deste trabalho, que tem, como principal função, converter o endereço de 18 bits gerado pelo periférico em um endereço de 22 bits a ser enviado ao Sistema de Memória.

O diagrama de tempos, mostrado na figura X.4, ilustra melhor o protocolo de troca de sinais descrito aqui.

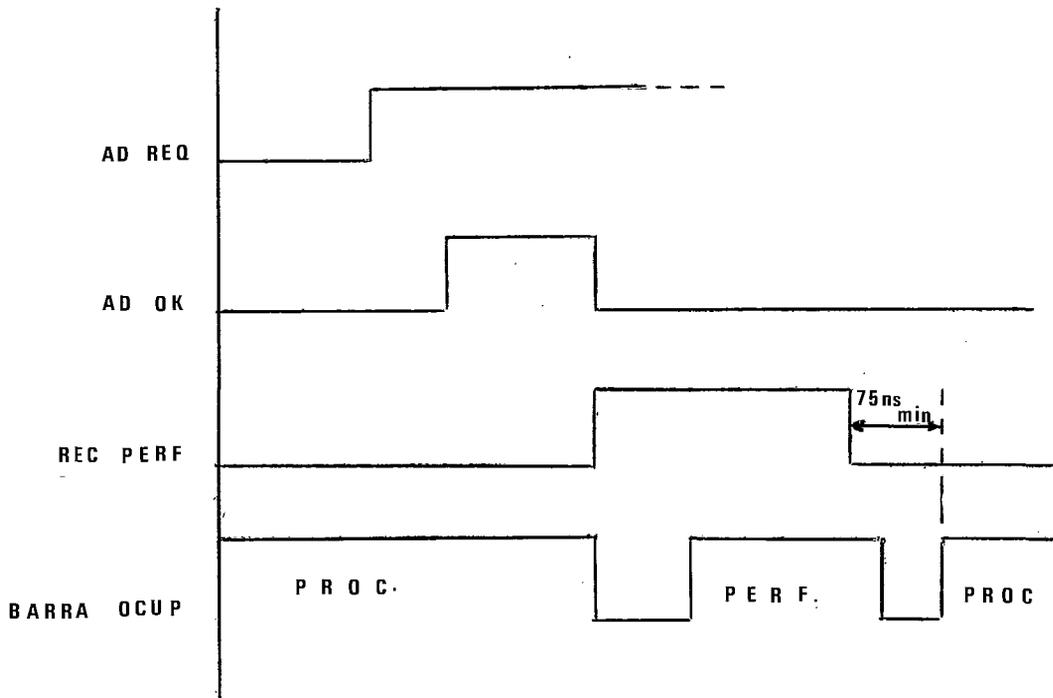


fig X-4

## XI - SISTEMA DE RELOCAÇÃO DE ENDEREÇOS DA BARRA DE PERIFÉRICOS

### 1 - Introdução

A função básica do Sistema de Relocação de Endereços da Barra de Periféricos (SREBP) é relocar os endereços gerados por periféricos em operações de acesso direto à memória. O processo de relocação transforma endereços de 18 bits, na barra de periféricos, em endereços de 22 bits que são enviados ao Sistema de Memória.

O SREBP é também utilizado pelo processador para acessar REGISTROS DO SISTEMA DE MEMÓRIA e, inclusive, para acessar posições de memória.

A operação de relocação efetuada pelo SREBP, caso não esteja inibida por "software", atua sobre os endereços, enviados pela barra de periféricos, pertencentes ao intervalo  $(000000)_8$  a  $(757777)_8$ . A fonte geradora destes endereços pode, de forma geral, ser o processador ou um periférico, porém, em qualquer dos dois casos, eles são referentes a posições de memória.

Os registros que compoem as tabelas de relocação do SREBP possuem endereços pertencentes a faixa onde se encontram os endereços dos registros de periféricos e registros internos do sistema. Em operações de leitura ou escrita, relativas a estes registros, o SREBP funciona como um periférico do sistema.

### 2 - Acesso às Tabelas de Relocação

Um endereço na barra de periféricos pode ser relativo a um registro do sistema de memória, a um registro do SREBP, a uma posição de memória ou a um registro de periférico. Apenas neste último caso o SREBP não atua na execução da operação de E/S.

No primeiro caso, o SREBP funciona como uma "interface" entre a barra de periféricos e o Sistema de Memória, realizando apenas a troca de sinais necessária à execução da operação de leitura ou escrita. As tabelas de relocação não são utilizadas no processo.

Nos dois outros casos são feitos acessos às tabelas de relocação. Quando o endereço é relativo a um registro do SREBP, ou seja, a um dos registros que constituem a tabela de relocação, esta é acessada para que um dos seus registros possa ser lido ou alterado e o comportamento do SREBP é semelhante ao de um periférico do sistema. Quando o endereço é relativo a uma posição de memória, a tabela de relocação é acessada para que ela forneça o valor que deve ser somado ao endereço existente na barra de periféricos para obtenção do endereço a ser enviado ao Sistema de Memória. Neste caso, o SREBP funciona também como uma "interface" entre o Sistema de Memória e a barra de

periféricos.

As tabelas de relocação do SREBP são compostas de 31 registros de 22 bits. Cada registro ocupa duas palavras no espaço de endereçamento. A uma das palavras estão associados os bits 21 a 16 de um registro e a outra palavra estão associados os bits 15 a 00. Os endereços relativos às palavras que constituem um registro da tabela de relocação são da forma  $(7702xx)_8$  ou  $(7703xx)_8$ . Caso uma destas configurações seja detetada, o SREBP ativa o sinal REG SREBP. Este sinal terá atuação sobre os multiplexadores que geram os sinais de endereço e de "enable" que permitem a realização do acesso à tabela de relocação.

A organização das memórias que compoem a tabela de relocação é mostrada na figura XI.1.

Do esquema mostrado, observa-se que, quando é solicitada uma operação de leitura ou escrita em palavras de registros do SREBP, a seleção da palavra é feita pelos bits 6 a 1 do endereço presente na barra de periféricos, ou seja, por  $END\ PERF<06:01>$ . A decodificação de  $END\ PERF<02:01>$  gera os sinais de "enable" que atuarão nas memórias que compoem a tabela de relocação e  $END\ PERF<06:03>$  fornecem o endereçamento das memórias, tendo, portanto, cada memória, 16 palavras.

Em operações de relocação os sinais de "enable" que atuam nas memórias são gerados pelo bit 13 do endereço. Quando  $END\ PERF<13>=0$ , os 22 bits lidos da tabela de relocação correspondem ao conteúdo de um par de palavras de endereço  $(7702x2)_8$  e  $(7702x0)_8$  ou  $(7703x2)_8$  e  $(7703x0)_8$ . Quando  $END\ PERF<13>=1$  o par de palavras lido tem endereços da forma:  $(7702x6)_8$  e  $(7702x4)_8$  ou  $(7703x6)_8$  e  $(7703x4)_8$ . Nestes casos, o endereçamento das memórias que compoem a tabela de relocação é feito pelos bits  $END\ PERF<17:14>$ . O conteúdo lido, desta forma, da tabela de relocação é somado ao conteúdo de  $END\ PERF<17:00>$  para gerar o endereço que será enviado ao Sistema de Memória em 22 bits.

É interessante observar que quando  $END\ PERF<17:13>=1$  deveria ser acessado o 32º registro da tabela de relocação que, no entanto, não existe. Isto se dá porque quando  $END\ PERF<17:13>=1$ , o endereço presente na barra é relativo a um registro de periférico e, nesse caso, o SREBP não atua, o que justifica a inexistência deste 32º registro.

### 3 - Operação de Acesso a uma Posição de Memória

Quando o endereço presente na barra de periféricos pertence ao intervalo  $(000000)_8$  a  $(757000)_8$ , a operação de leitura ou escrita a ser feita se refere a uma posição de memória.

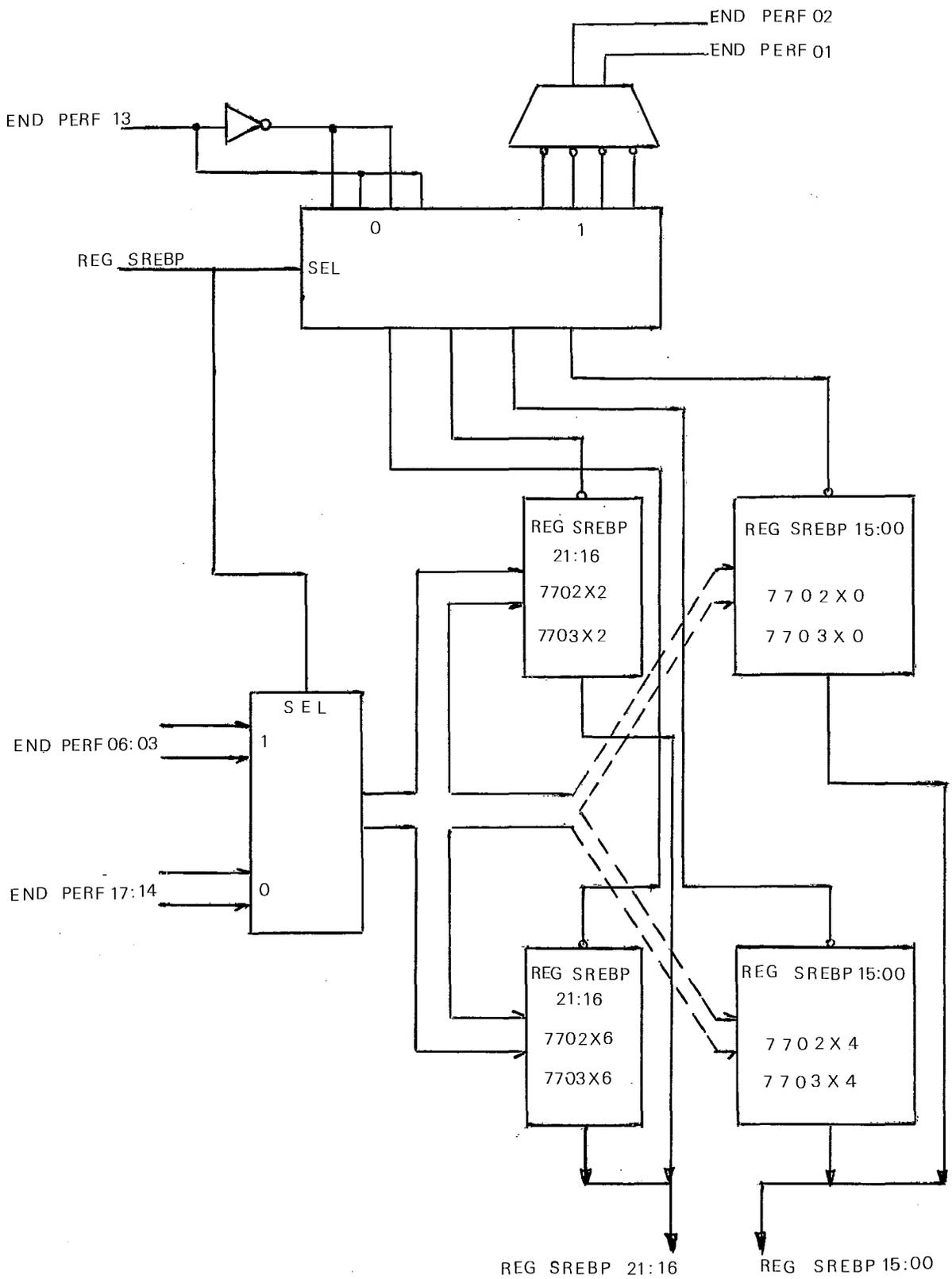


fig XI-1

A relocação de endereço pelo SREBP, em operações de acesso à memória, se dá sempre que o bit 5 do Registro 3 do Sistema de Relocação está ativado, indicando que as operações de relocação estão liberadas. A relocação do endereço se processa como explicado anteriormente. Caso as operações de relocação estejam inibidas, o endereço gerado pelo periférico, em 18 bits, é enviado pelo SREBP, sem alteração, ao Sistema de Memória.

A faixa de endereços permitida para acesso à memória através da barra de periféricos pode ser restringida, fazendo com que o SREBP só encaminhe à memória operações que utilizem um endereço com valor não menor do que um determinado limite inferior, igual ou maior que  $(000000)_8$ , e não maior do que um determinado limite superior, igual ou menor que  $(757000)_8$ . Esta restrição é realizável por circuito, estabelecendo-se as ligações elétricas necessárias à definição dos limites superior e inferior desejados.

Caso o endereço presente na barra de periféricos esteja dentro dos limites estabelecidos, o circuito do SREBP ao receber o sinal através da linha SINC MESTRE envia, ao Sistema de Memória, o sinal INIC ACESSO MEM. A geração deste sinal se dá, no entanto, com um certo atraso em relação ao instante em que é ativada a linha SINC MESTRE. Este atraso é dado pelo tempo necessário para que o endereço enviado pela barra de periféricos seja relocado no SREBP somado ao tempo necessário à estabilização do endereço, assim obtido, nas linhas que o conduzem ao Sistema de Memória. A função do sinal INIC ACESSO MEM é requisitar ao Sistema de Memória que realize uma operação de leitura ou escrita.

O final de uma operação é sinalizado pelo Sistema de Memória pelo acionamento de um entre dois sinais. O primeiro deles, denominado ACESSO SREBP COMP, indica que a operação de leitura ou escrita requisitada foi completada. O outro, TIMEOUT SREBP MEM, indica a ocorrência de "timeout" na operação requisitada ao Sistema de Memória pelo SREBP.

Ao receber o sinal ACESSO SREBP COMP, o SREBP ativa a linha SINC ESC da barra de periféricos. Ao perceber a ativação desta linha, o periférico ou o processador recolhe o dado, caso a operação seja de leitura, e desativa o sinal SINC MESTRE. A desativação deste sinal faz com que o SREBP desative a linha SINC ESC e o sinal INIC ACESSO MEM. O protocolo é idêntico ao descrito no capítulo VIII para realização de operações de leitura ou escrita na barra de periféricos.

Em operações de leitura, a indicação de erro de paridade no dado lido é feita fazendo-se com que a linha PB da barra de periféricos vá para zero. O SREBP recebe do sistema de memória a indicação de erro de paridade através da linha ERRO PAR SREBP. A linha PB é levada para zero caso esta linha esteja ativada no instante em que o Sistema de Memória aciona a linha A-

CESSO SREBP COMP e caso a operação seja de leitura. A linha PB permanece em zero enquanto o periférico ou processador mantiverem a linha SINC MESTRE ativada, indicando que ainda não recolheram o dado lido na operação de E/S.

Em resumo, as linhas utilizadas na realização do protocolo de troca de sinais entre o SREBP e o Sistema de Memória são as seguintes:

- 22 linhas de endereço, denominadas END SREBP MEM<21:00>
- 2 linhas de controle, Cl SREBP e C0 SREBP, que indicam se a operação é de leitura, escrita em palavra ou escrita em byte.
- 16 linhas bidirecionais de dado, denominadas DADO SREBP <15:00>
- 2 linhas de paridade por byte do dado enviado ao Sistema de Memória.
- 3 linhas de paridade por byte do endereço enviado ao Sistema de Memória. As 2 linhas de controle compoem com os 6 bits mais significativos do endereço um dos 3 bytes.
- 1 linha, denominada, INIC ACESSO MEM, acionada pelo SREBP para requisitar o início de um acesso ao Sistema de Memória.
- 1 linha, denominada ACESSO SREBP COMP, acionada pelo Sistema de Memória para indicar que o acesso requisitado foi completado.
- 1 linha, denominada TIMEOUT SREBP MEM, acionada pelo Sistema de Memória para indicar ocorrência de "timeout" em operações de acesso requisitadas pelo SREBP.
- 1 linha, denominada ERRO PAR SREBP, acionada pelo Sistema de Memória para indicar existência de erro de paridade no dado lido através do SREBP.

Na figura XI.2 é mostrado um diagrama de tempos representativo da operação de leitura de uma posição de memória, feita através do SREBP.

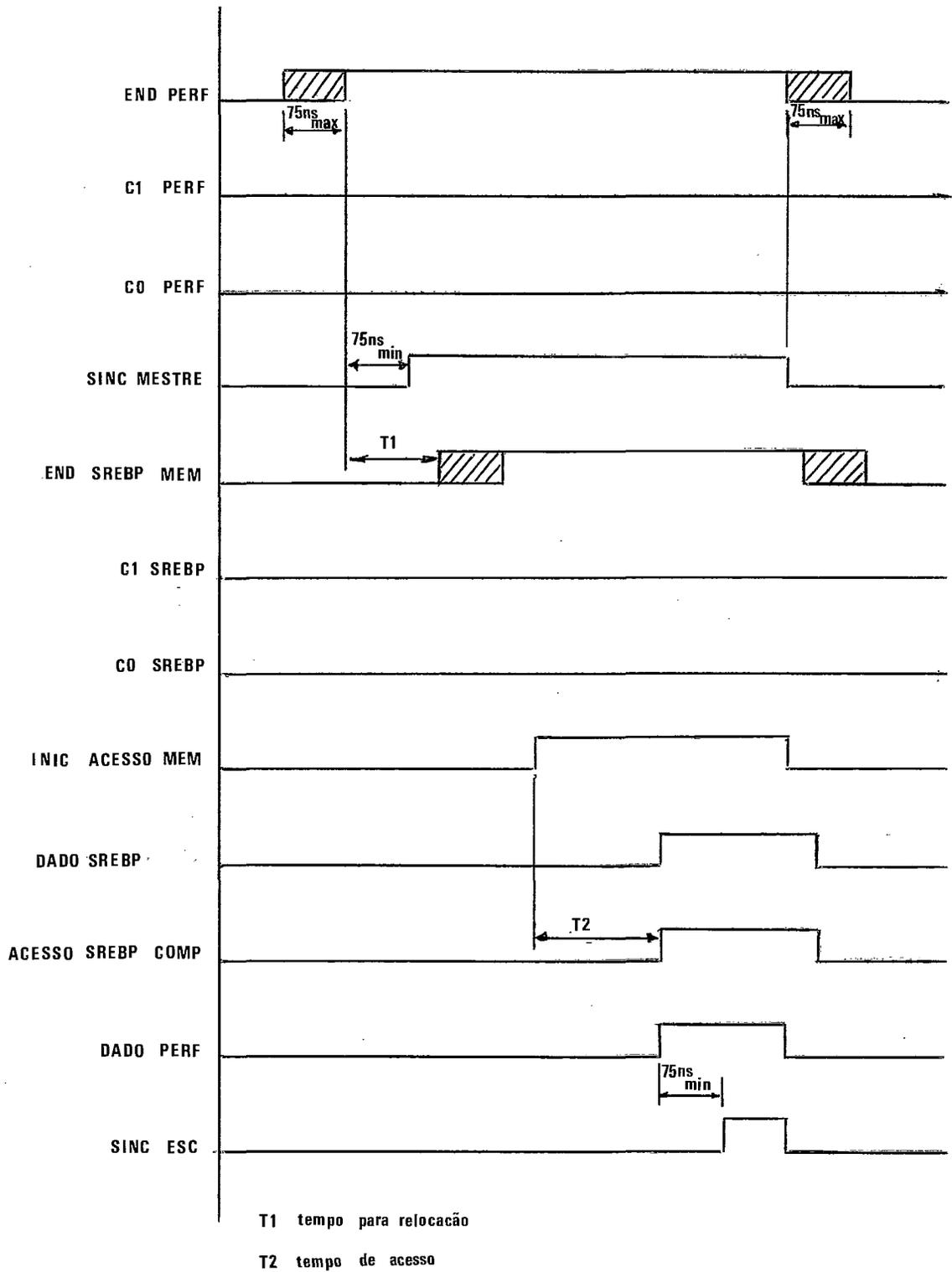


fig XI-2

#### 4 - Operação de Acesso a um Registro do SREBP

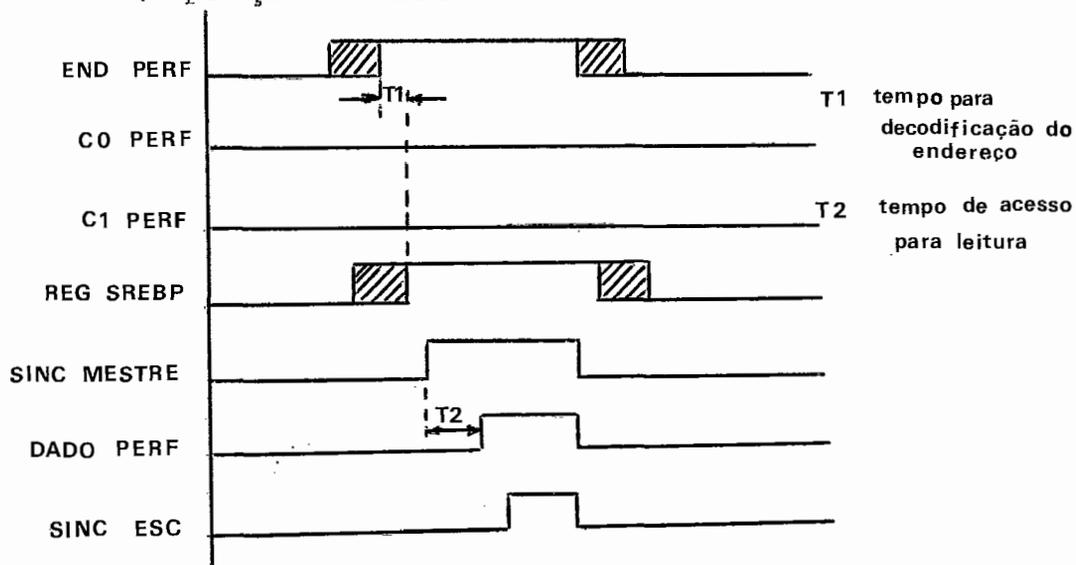
Quando o endereço presente na barra de periféricos é da forma  $(7702xx)_8$  ou da forma  $(7703xx)_8$ , a operação de leitura ou escrita a ser realizada se refere a alguma das duas palavras que constituem um dos 31 registros do SREBP. Ao ser detetada no SREBP uma destas configurações, é gerado o sinal REG SREBP que atua, como já foi visto, nos circuitos multiplexadores que geram os sinais de "enable" e de endereçamento para as memórias que compoem a tabela de relocação. O SREBP funciona, nesses casos, como um periférico do sistema.

Em operações de leitura, o conteúdo da palavra lida é colocado nas linhas DADO PERF<15:00> e a linha SINC ESC é ativada a partir de um monoestável disparado pela recepção de sinal na linha SINC MESTRE. A largura do pulso gerado pelo monoestável é dada pelo tempo necessário para leitura das memórias que compoem as tabelas de relocação. Ao final do pulso, a linha SINC ESC é ativada, permanecendo assim até que a linha SINC MESTRE seja desativada pelo dispositivo que requisitou a leitura.

Em operações de escrita, o pulso de escrita que deve atuar nas memórias é denominado ESC SREBP e sua geração se dá quando a operação é de escrita, indicação dada por C1 PERF e C0 PERF, o sinal REG SREBP está ativado e a linha SINC MESTRE está acionada. A ativação da linha SINC ESC se dá de forma idêntica à descrita para o caso de operações de leitura, já que o tempo de acesso das memórias para escrita ou leitura é aproximadamente o mesmo.

A seguir são mostrados diagramas representativos de uma operação de leitura e de uma operação de escrita em registros do SREBP.

##### a) Operação de Leitura



## b) Operação de Escrita

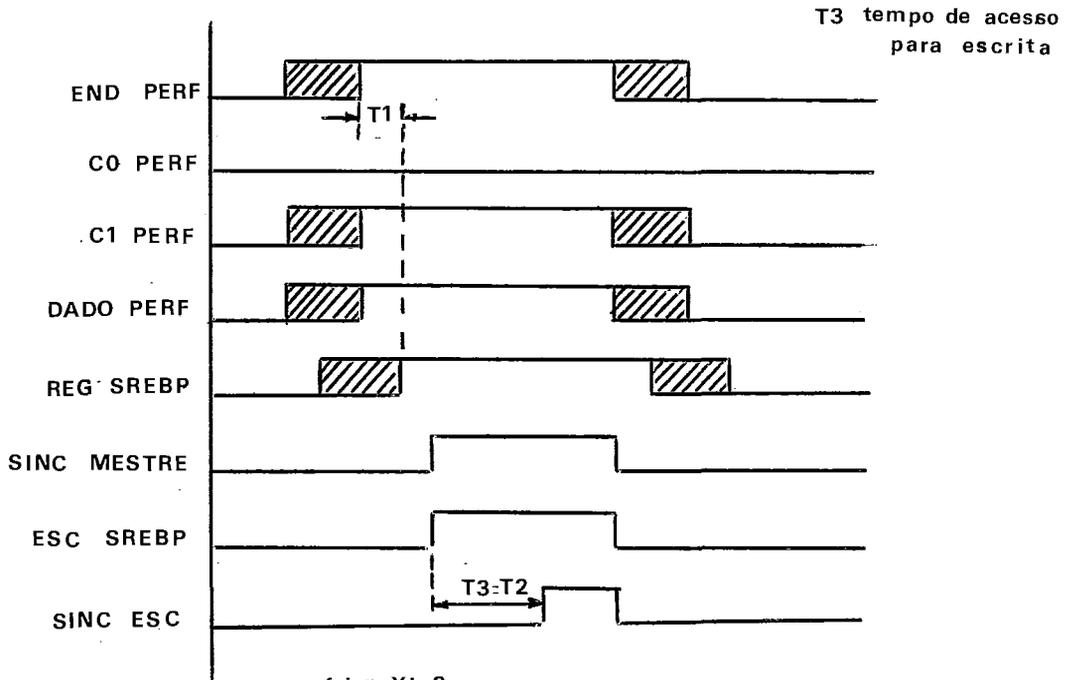


fig XI-3

5 - Operação de Acesso a Registros do Sistema de Memória

O SREBP é também utilizado como "interface" entre a barra de periféricos e o Sistema de Memória em operações de leitura ou escrita nos registros internos do Sistema de Memória. Estes registros são em número de seis e a função de cada um deles está descrita no trabalho de tese de Ageu Cavalcanti Pacheco Júnior<sup>3</sup>. Os endereços destes registros são da forma  $(77775x)_8$  ou  $(77774x)_8$ . O SREBP ao identificar uma configuração deste tipo presente nas linhas de endereço da barra de periféricos ativa o sinal REG MEM que é enviado ao Sistema de Memória. No restante, o protocolo de troca de sinais existente para realizar uma operação de leitura ou escrita em registros do Sistema de Memória é idêntico ao já descrito para o caso de acessos a uma posição de memória. É importante notar, no entanto, que neste caso o endereço presente na barra de periféricos é enviado sem relocação ao sistema de memória, diferentemente do que ocorre em operações de leitura ou escrita em posições de memória.

6 - Multiplexação de Dados no SREBP

Pelo que foi exposto neste capítulo, existem três fontes distintas de dado que são levadas as linhas DADO PERF<15:00> pelo SREBP:

- a palavra constituída pelos bits 21 a 16 de um registro do SREBP, que chamaremos REG SREBP<21:16>.
- a palavra constituída pelos bits 15 a 00 de um registro do SREBP, que chamaremos REG SREBP<15:00>.

- o conteúdo lido do Sistema de Memória que, sendo o conteúdo de uma posição de memória ou de um registro, chega ao SREBP através das linhas DADO SREBP<15:00>.

O encaminhamento da fonte correta para as linhas de dado da barra de periféricos, DADO PERF<15:00>, é feita por meio de circuitos multiplexadores. A seleção da fonte de dado nestes circuitos é realizada da seguinte forma:

- a) Bits 15 a 6.

Se o sinal REG MAP estiver ativado, o conteúdo de REG SREBP<15:6> é selecionado para liberação nas linhas DADO PERF<15:6>. Em caso contrário, o conteúdo das linhas DADO SREBP<15:6> é selecionado.

- b) Bits 5 a 0

Neste caso se o sinal REG MAP estiver desativado, o conteúdo de DADO SREBP<05:00> é selecionado para liberação nas linhas DADO PERF<05:00>. Caso REG MAP esteja ativado, o bit 1 de END PERF vai comandar a seleção. Se END PERF<01> estiver em 1, o endereço presente na barra de periféricos é da forma  $(7702 \times 2)_8$  ou  $(7703 \times 2)_8$  ou  $(7702 \times 6)_8$  ou  $(7703 \times 6)_8$  e, portanto o conteúdo de REG SREBP<21:16> deve ser selecionado. Caso END PERF<01> esteja em 0, o endereço presente na barra de periféricos é da forma  $(7702 \times 0)_8$  ou  $(7703 \times 0)_8$  ou  $(7702 \times 4)_8$  ou  $(7703 \times 4)_8$  e, portanto, o conteúdo de REG SREBP<15:00> deve ser selecionado.

A informação selecionada pelo circuito multiplexador é liberada nas linhas DADO PERF<15:00>, caso as seguintes condições sejam satisfeitas: a operação seja de leitura (Cl PERF=0), a linha SINC MESTRE esteja ativada, e o sinal REG SREBP ou o sinal ACESSO SREBP MEM estejam ativados. O sinal ACESSO SREBP MEM é ativado quando o SREBP é utilizado para acessar um registro ou posição de memória.

A figura XI.4 mostra, esquematicamente, o processo de acionamento das linhas DADO PERF<15:00>.

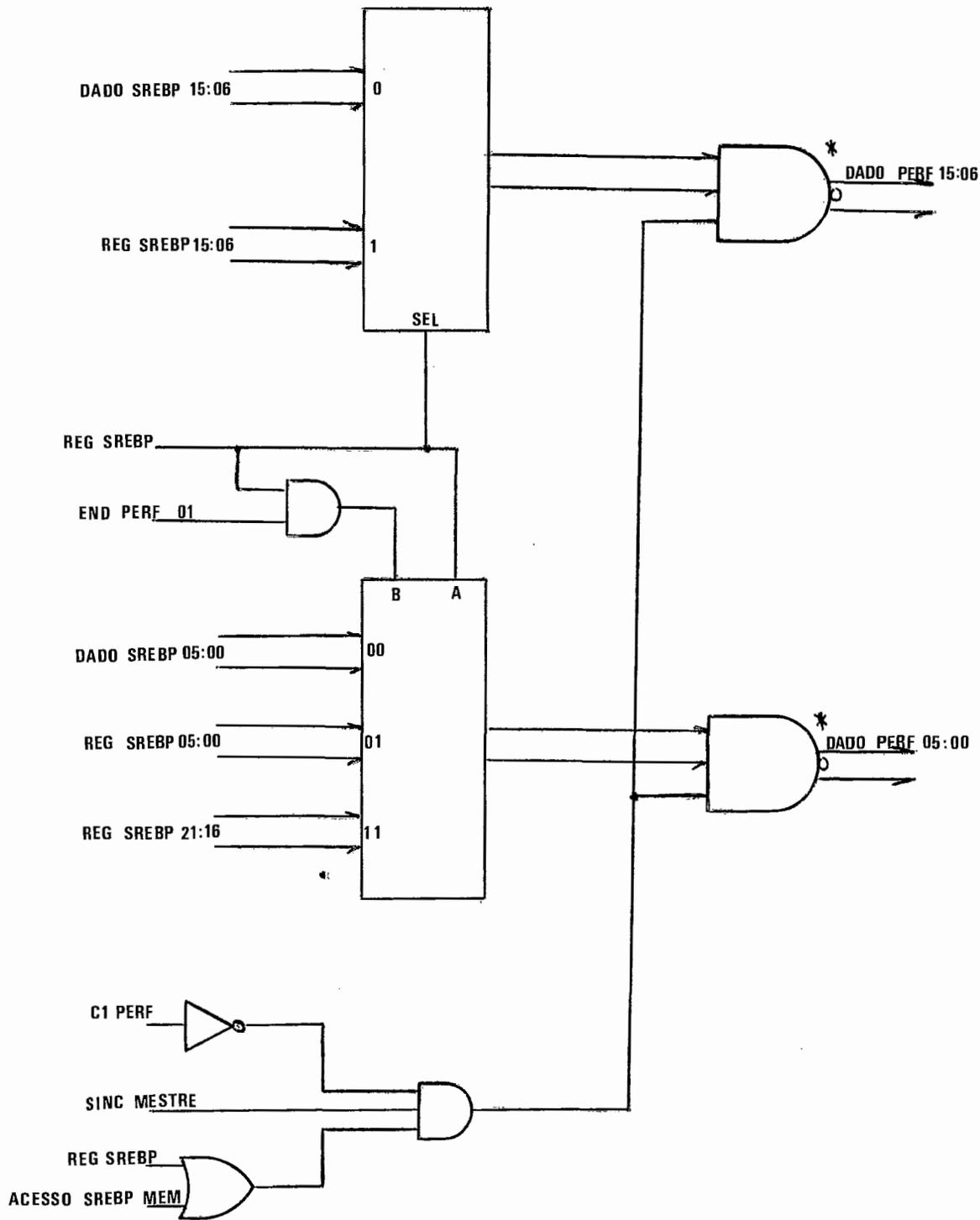


fig XI-4

## XII - INICIALIZAÇÃO DO SISTEMA

### 1 - Introdução

A função básica dos sinais de inicialização é definir o estado inicial dos flip-flops e registros do processador e dos periféricos que compoem o sistema. Existem basicamente três condições em que sinais de inicialização são gerados: ativação da alimentação do sistema, execução da instrução RESET em modo Kernel e acionamento da tecla INÍCIO do painel. A geração de um determinado sinal de inicialização se dá quando algumas destas condições está presente. Nem todos os sinais de inicialização são gerados ao ser detetada qualquer das condições acima citadas.

Há quatro sinais de inicialização que são gerados pelo Sistema de E/S do processador. As diferenças existentes entre eles estão nas condições que determinam sua geração e nos pontos do sistema onde atuam. Os quatro sinais são os seguintes:

- INIC INT - atua nos registros do Sistema de Relocação, no registro Limite da "Stack", no registro de Pedido de Interrupção por Programa e nos flip-flops existentes no circuito de prioridade.
- INIC ROM - atua sobre os circuitos de "timing" e registro de controle da Unidade de Controle.
- INIC - atua nos demais registros e flip-flops do processador e nos registros do Sistema de Memória.
- INIC PERF - atua nos registros de periféricos. É enviado através de uma linha da barra de periféricos.

### 2 - Inicialização por Ativação da Alimentação do Sistema

Repetindo o que já foi dito anteriormente neste trabalho, o circuito de monitoração da alimentação do sistema atua sobre dois sinais denominados AC e DC. O sinal AC é ativado para indicar que o valor de pico da tensão da rede, no ponto de alimentação do sistema, está abaixo do mínimo valor aceitável. O sinal DC é ativado 2ms após a ativação do sinal AC para indicar ao sistema que a tensão contínua de saída da fonte de alimentação vai cair. Os capacitores de saída da fonte têm capacidade de manter a tensão contínua estável até 5ms após a ativação do sinal AC.

Quando a alimentação é ligada ou restaurada, o sinal AC e o sinal DC ficam ativados por um certo tempo, após a restauração da alimentação. Durante este tempo todos os sinais de inicialização são ativados. Ainda com os sinais de inicialização ativados, os sinais DC e AC são desativados em

sequência. O estado destes sinais é enviado a todos os periféricos através da barra de periféricos. A desativação do sinal DC carrega o registro de endereço da memória de controle com o endereço da primeira microinstrução do microprograma de inicialização.

Ao serem desativados os sinais de inicialização, 10ms após a ativação da alimentação, o microprograma de inicialização é executado, carregando o contador de programas do processador, registro R7, com o endereço inicial do programa de inicialização da máquina gravado em memória não volátil.

### 3 - Inicialização por Execução da Instrução RESET em modo Kernel

Ao ser executada a instrução RESET em modo Kernel é ativado, sob controle do microprograma, um monoestável, que gera um pulso com a largura de 10ms, responsável pela ativação dos sinais de inicialização INIC PERF e INIC INT. Os sinais INIC ROM e INIC não são acionados pela instrução RESET, fazendo com que os registros e flip-flops da Unidade de Controle, do Sistema de Memória e do processador não sejam afetados. Exceção deve ser feita aos registros e flip-flops do processador que são afetados pelo sinal INIC INT. Através do acionamento do sinal INIC PERF, a instrução RESET tem o poder também de inicializar os flip-flops que compoem os registros de periféricos.

### 4 - Inicialização por Acionamento da Tecla INÍCIO no Painel

O efeito do acionamento da tecla INÍCIO no painel está condicionado ao estado de uma outra chave existente no painel, a chave PARE/LIBERRE. Caso esta chave esteja no modo PARE, ao ser apertada a tecla INÍCIO todos os sinais de inicialização são acionados, permanecendo ativos enquanto a tecla INÍCIO estiver pressionada. Ao ser liberada a tecla INÍCIO os sinais de inicialização são desativados e a Unidade de Controle passa a executar um "loop" em microprograma, aguardando que o operador requisite a execução de alguma função de painel.

Caso a tecla INÍCIO seja pressionada com a chave em modo LIBERRE, um monoestável de 10ms é ativado, sob comando da Unidade de Controle, provocando a geração de todos os sinais de inicialização, com exceção do sinal INIC ROM. Ao fim dos 10ms os sinais de inicialização são desativados e a Unidade de Controle procede a busca da instrução armazenada no endereço de memória definido, anteriormente, pelo operador, através da execução da função CARREGUE ENDEREÇO no painel.

### XIII - CONSIDERAÇÕES SOBRE A IMPLEMENTAÇÃO DO PROJETO E CONCLUSÕES

O projeto do Sistema de E/S, descrito neste trabalho, encontra-se atualmente em fase de teste em laboratório. Sua implementação resultou na utilização de, aproximadamente, 500 circuitos integrados SSI e MSI da família TTL alocados em 7 placas "Cambion", de tamanho grande, que dispõem de 140 pinos em conectores e de espaço para colocação de cerca de 100 circuitos integrados.

O procedimento que vem sendo adotado no desenvolvimento do projeto do Sistema de E/S e das demais partes que compõem a UCP (Unidade Aritmética, Unidade de Controle, Sistema de Memória e Painel) pode ser dividido em várias etapas descritas, sumariamente, a seguir:

#### 1<sup>a</sup> Etapa: Realização do Projeto Lógico e dos Desenhos dos Circuitos

A execução do projeto lógico consiste em, a partir da definição do Sistema de E/S, projetar circuitos que realizem as diversas funções necessárias ao Sistema de E/S, descritas ao longo deste trabalho, atendendo aos requisitos de velocidade impostos e utilizando componentes preferencialmente convencionais. Dada a velocidade da máquina, a quase totalidade dos circuitos integrados utilizados no projeto pertence a família TTL Schottky, podendo, no entanto, na sua maioria, serem substituídos por circuitos da família TTL normal, desde que se reduza a frequência do oscilador central.

Os desenhos dos circuitos foram realizados com o objetivo de fornecer todas as informações necessárias à implementação do projeto e de servir como documentação na fase de depuração.

No caso específico do Sistema de E/S, a execução desta etapa consumiu, aproximadamente, um ano e meio de trabalho, de janeiro de 1976 a junho de 1977.

#### 2<sup>a</sup> Etapa: Partição do Projeto e Elaboração de Documentação para Montagem

A partição do projeto consiste em dividir os circuitos que o constituem em partes que possam ser alocadas em uma única placa do tipo - CAMBION já descrita, que se encontra disponível para montagem. A necessidade de se efetuar a partição vem, obviamente, do fato de o projeto utilizar um número de circuitos integrados maior do que o número máximo de circuitos que uma placa comporta.

Ao se efetuar a partição procurou-se, prioritariamente, realizá-la de forma que, em cada placa, fossem alocados circuitos que constituís-

sem um módulo lógico bem definido do Sistema de E/S. Por razões práticas, isto nem sempre foi possível, uma vez que há módulos comportando um número de integrados ainda maior do que a capacidade da placa. Ainda mais crítica foi a limitação existente nos 140 pinos disponíveis nos conectores da placa, o que, em alguns casos, obrigou a realização de divisões não desejáveis em certos módulos e, também, a reunião numa mesma placa de circuitos não muito afins.

Para minimizar o problema de escassez de conectores nas placas, foi instalado um conector adicional de 50 pinos, em cada placa, que permite o envio e recepção de sinais por cabos tipo Scotch-Flex. No Sistema de E/S só existem alguns pinos destes conectores sendo utilizados para chegada de alimentação nas placas. A existência deste conector, no entanto, cria uma folga de pinos de conectores nas placas, viabilizando modificações no projeto que vierem a ser necessárias numa fase mais avançada de depuração. Dada a precariedade do plano de terra existente na transmissão de sinais através do cabo a ser ligado a este conector, a sua utilização será preferencialmente feita para transmissão de sinais em baixa frequência.

Devido as dificuldades existentes para realização da partição do projeto, foi necessário, algumas vezes, alterar o projeto lógico e os esquemas de circuitos, obtidos na etapa anterior, em pequenos detalhes a fim de viabilizar um esquema de partição mais interessante.

Após a partição, o projeto do Sistema de E/S ficou dividido, em linhas gerais, da seguinte forma:

Placa 1 → Circuito de Controle Geral das Operações de E/S; Tabelas de Relocação; Lógica de Detecção de Erros do Sistema de Relocação.

Placa 2 → Circuitos Somadores do Sistema de Relocação; Circuitos Decodificadores de Endereços; Registros do Sistema de Relocação; Multiplexação dos Registros do Sistema de Relocação.

Placa 3 → Circuitos de Detecção e Sinalização de Abortos e "Traps" do Processador; Circuitos de Prioridade; Circuito de Controle de Protocolo de Interrupção; Circuito de Controle de Protocolo de Operações de Acesso Direto.

Placa 4 → Circuito de Controle de Operações de E/S com Registros Internos; Registros Internos do Processador; Multiplexação dos Registros Internos.

Placa 5 → Controle das Linhas de Dado das Barras de Comunicação com o Sistema de Memória e com os Periféricos; Multiplexação dos Caminhos de Dado; Registro de Comunicação de Dados.

Placa 6 → Circuitos de Controle de Operações de E/S com Periféricos e com o Sistema de Memória; Controle das Linhas de Endereço das Barras de Comunicação com Periféricos e com o Sistema de Memória; Circuitos Geradores dos Sinais de Inicialização.

Placa 7 → Sistema de Relocação de Endereços da Barra de Periféricos.

A documentação para montagem do Sistema de E/S consiste na especificação das posições que os componentes ocuparão nas placas, na denominação dos sinais a serem enviados ou recebidos em cada pino de conector e numa listagem completa das ligações que devem ser feitas entre os componentes existentes na placa e entre eles e os conectores. Esta listagem é obtida por meio de um programa desenvolvido no NCE/UFRJ. Além da listagem, este programa deteta certas inconsistências existentes no plano de ligação proposto, fornece o comprimento de fio envolvido em cada ligação e dá uma relação de todos os pinos de componentes e conectores da placa que foram utilizados no plano de ligação.

A realização desta 2<sup>a</sup> etapa de desenvolvimento do projeto do Sistema de E/S se estendeu durante 6 meses, de julho a dezembro de 1977.

### 3<sup>a</sup> Etapa: Montagem e Elaboração de Rotinas de Teste

O procedimento que se adotou nesta etapa foi o de somente efetuar a montagem de uma determinada placa após a elaboração, por escrito, de uma rotina de teste para a placa em questão. Esta rotina de teste visa simplificar o trabalho do projetista na fase de depuração, organizando-o através de um ataque sequencial a pequenas partes do projeto existente na placa e criando condições favoráveis à detecção e correção de eventuais erros.

A idéia de se efetuar a montagem somente após a elaboração da rotina de teste veio do fato de ter-se observado que, durante a execução do exame minucioso do circuito necessário à realização da rotina, alguns erros são normalmente detetados. É indiscutível que a correção destes erros é bastante mais simples se feita ainda apenas na documentação do que se feita também no circuito já montado.

A montagem das placas foi feita utilizando-se a técnica de

"wire-wrap" seguindo-se a listagem de ligações obtida na etapa anterior. Ao final da montagem, as ligações são conferidas uma a uma e os circuitos antes de serem colocados na placa são testados por meio de um Testador de Circuitos Integrados desenvolvido no NCE/UFRJ. Estas duas medidas tem-se mostrado sumamente importantes na melhoria do desempenho do trabalho de depuração do projeto, que, sem dúvida, não é uma tarefa simples.

A execução desta 3<sup>a</sup> etapa, no caso do Sistema de E/S, demandou seis meses de trabalho, de janeiro a junho de 1978.

#### 4<sup>a</sup> Etapa: Depuração das Placas

Esta depuração é realizada para cada placa seguindo-se o procedimento definido nas rotinas de teste, que é adequado à utilização de instrumentos de depuração projetados no NCE/UFRJ. Qualquer tipo de erro encontrado tem sido imediatamente corrigido não só no circuito como, também, na documentação existente. Este cuidado tem sido tomado dada a necessidade de se manter um mínimo de organização, indispensável à continuidade dos trabalhos num projeto de tamanho razoavelmente grande.

A depuração nesta fase é realizada simulando-se as condições reais de operação do circuito, exceto no tocante a velocidade.

Esta etapa se encontra atualmente em fase final de execução, devendo ser completada até o final de 1978.

#### 5<sup>a</sup> Etapa: Depuração de Conjunto de Placas

No caso do Sistema de E/S, esta etapa deverá ser iniciada em janeiro de 1979 com a interligação das placas e simulação das condições de operação do Sistema de E/S como um todo inicialmente a uma velocidade baixa de operação para, posteriormente, procurar atingir a velocidade desejada. É possível, também, que a interligação das placas se faça gradualmente, procurando-se verificar o funcionamento de módulos do Sistema de E/S isoladamente para depois interligá-los.

#### 6<sup>a</sup> Etapa: Teste da UCP

Ao terem sido concluídas as 5 primeiras etapas no desenvolvimento do projeto de cada uma das partes que compoem a UCP serão, então, iniciados os testes de funcionamento conjunto das partes que, provavelmente, começarão pela verificação do comportamento da Unidade Aritmética e da Unidade de Controle na execução de cada instrução isoladamente. O passo seguinte deverá ser o teste da UCP na execução de programas carregados na memória através do painel, inicialmente a uma velocidade baixa e, posteriormente, procurando a-

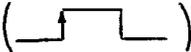
tingir a velocidade de operação desejada. Somente, depois, serão feitos testes de comportamento da UCP diante de condições de erro e com a ligação de dispositivos periféricos.

### 7ª Etapa: Adaptação do "Software"

Nesta etapa serão realizados os testes para adaptação do "software" existente ao "hardware" projetado. Inicialmente deverá se testar o comportamento da UCP trabalhando com Sistemas Operacionais menos complexos produzidos pela D.E.C. Somente após terem sido superados os problemas detectados nesta fase é que se passará a testar o funcionamento da UCP sob controle do IAS, que é o Sistema Operacional mais sofisticado produzido pela D.E.C. para computadores da linha PDP-11/70.

Para execução destas etapas, vários projetos de suporte foram desenvolvidos ou estão em desenvolvimento. Como periféricos do Terminal Inteligente do NCE/UFRJ, dispõe-se um Testador de Circuitos Integrados, um Programador de PROMS e um Depurador Programável de Circuitos Digitais descrito no trabalho de tese de Rogério Antonio Sampaio Parente Vianna<sup>5</sup>, onde também é apresentado um Sistema Carregador de Microprogramas utilizando o Terminal Inteligente. Este sistema permitirá a depuração da microprogramação, oferecendo uma série de facilidades ao projetista para gravação, leitura e alteração de microinstruções na memória de controle, que, durante a fase inicial do projeto, será implementada com memória tipo RAM.

Dado o volume de trabalho de depuração existente, foi desenvolvido um protótipo de um depurador de circuitos digitais não inteligente, que deverá ser reproduzido, com o objetivo de aliviar a demanda de utilização do Depurador Programável já citado. Estes depuradores permitem testar as placas de circuito, segundo o procedimento descrito nas rotinas de teste, por meio de:

- aplicação de sinais com tensão correspondente ao nível lógico "1" e ao nível lógico "0" da família TTL.
- leitura das saídas dos circuitos por meio de "leds".
- aplicação de pulsos positivos  e de pulsos negativos 
- leitura de transições positivas ou negativas ocorridas em pontos do circuito sob teste.
- simulação da sequência de tempos (T1, T1S, T2, ... T3S) gerada pela Unidade de Controle.

Para permitir a realização dos testes, em bancada, foram desen

volvidas, também, fontes reguladas de 5V/10A. Para solucionar o problema de alimentação do protótipo final encontra-se, atualmente, em fase de desenvolvimento, o projeto de fontes "switching" de 5V/20A. Estima-se que, ao menos, quatro módulos de fonte deste tipo serão necessários para suprir a alimentação do primeiro protótipo da UCP.

Para o caso específico do Sistema de E/S, encontram-se, em desenvolvimento, dois projetos que serão de grande auxílio na execução da 5ª etapa prevista, ou seja, a depuração conjunta das placas que constituem o Sistema de E/S. Um destes projetos simulará os sinais gerados por periféricos em operações de leitura ou escrita de registros, em operações de requisição de interrupção e de acesso direto e, também, os sinais gerados pelo Sistema de Memória em operações de leitura ou escrita. O outro projeto permitirá a simulação da execução de trechos de microprograma que provocam a geração pelo processador de sinais com ativação sobre o Sistema de E/S. O ciclo de microinstrução terá sua duração controlada pelo operador, o que permitirá uma avaliação do comportamento do Sistema de E/S a medida em que se aumenta a frequência do oscilador central do processador. Por meio destes dois projetos o teste completo do Sistema de E/S poderá ser feito, quase integralmente, de forma independente do processador e do Sistema de Memória, que estarão a esta altura também sendo testados, e dos periféricos.

As principais dificuldades que esperamos encontrar no restante do desenvolvimento do projeto do Sistema de E/S e da UCP como um todo estão relacionadas com a adaptação do "software" existente ao "hardware" projetado e com os problemas elétricos que deverão surgir como obstáculos à tentativa de se aumentar a velocidade de operação da UCP. Acreditamos que, quanto a adaptação do "software", as dificuldades deverão ser minimizadas com o procedimento que pretendemos adotar de atacar o problema gradualmente, conforme foi exposto na descrição da metodologia a ser empregada para execução da 6ª e 7ª etapas. Quanto ao problema de velocidade, a primeira dificuldade que encontramos foi a falta de bibliografia sobre o assunto. Das poucas informações que colhemos, retiramos algumas normas que, na medida do possível, procuramos seguir na implementação do projeto:

- Realizar todo projeto considerando para efeito do cálculo do tempo de propagação de um sinal através de um circuito, a soma dos tempos máximos de propagação fornecidos pelo fabricante, relativos aos componentes pertencentes ao caminho de maior atraso, acrescida de um fator de segurança - mínimo de 10%, compensador de atrasos adicionais causados por capacitâncias parasitas.

- Reduzir o comprimento das ligações, tentando colocar, físi-

Foi devido a essas dificuldades aqui levantadas e ao reduzido número de projetistas envolvidos no trabalho de solucioná-las, que decidimos, ao menos numa primeira fase, desenvolver o projeto da UCP sem grandes alterações, quanto à filosofia de concepção, em relação ao projeto do PDP-11/70. Acreditamos que, sem introdução de muitas características novas na máquina, poder-se-á, com muito maior facilidade, detetar as causas dos problemas que, eventualmente, venham a ocorrer durante os testes do projeto e, conseqüentemente, se chegar mais rapidamente à obtenção de um protótipo com funcionamento confiável, sobre o qual uma série de experiências possam ser feitas com o objetivo de corrigir deficiências ou suprir necessidades observadas através de sua utilização real dentro da Universidade e não de especulações feitas sem muito fundamento.

Cumprir notar que esta orientação não impediu que inúmeros trabalhos fossem desenvolvidos em função do projeto, como foi o caso dos equipamentos de suporte citados anteriormente e de um sistema utilizando o microprocessador 8080 para controle das operações de E/S com periféricos lentos acoplados a UCP. Este sistema, denominado Processador de Periféricos, foi desenvolvido como trabalho de tese por Adalberto Afonso Barbosa<sup>1</sup>.

Vale ressaltar que o desenvolvimento do projeto vem contribuindo, de forma bastante significativa, na melhoria da capacidade técnica de alguns estudantes de engenharia, ligados ao trabalho de montagem e projeto dos equipamentos de suporte, e dos projetistas nele envolvidos, que têm procurado difundir os conhecimentos adquiridos através de realização de palestras, elaboração de apostilas sobre projeto de computadores digitais e de cursos ministrados no Departamento de Eletrônica da Escola de Engenharia.

Como fruto ainda do projeto desta UCP, deverá se abrir, certamente, um vasto campo para desenvolvimento de trabalhos de tese e projetos de formatura com consistência e caráter prático, o que nos parece ser fundamental no estágio de desenvolvimento técnico em que nos encontramos. Alguns destes trabalhos desde já podem ser sugeridos. Um deles seria realizar as modificações no "software" necessárias à utilização do Processador de Periférico já projetado e outro trabalho seria desenvolver o projeto de "hardware" dos Controladores de Periféricos de Alta Velocidade. Além desses, vários outros trabalhos irão surgir naturalmente à medida que se desenvolvam aplicações para UCP e que se constatarem necessidades de mudanças na arquitetura do sistema.

Por este projeto permitir a obtenção de soluções para novos problemas, aumentar a capacitação técnica de pessoas nele envolvidas e viabilizar a execução de trabalhos consistentes na área de computação é que acreditamos que, realizando-o, estaremos dando alguma contribuição ao esforço que

camente o mais próximo possível, circuitos ou placas que realizam muitas trocas de sinais entre si.

- Utilizar um bom plano de terra em todas as partes da montagem.

- Evitar a existência de paralelismos entre fios para reduzir os efeitos de indução.

- Utilizar fios de terra trançados em fios por onde são enviados sinais de alta frequência ou pulsos estreitos.

- Utilizar resistências terminadoras para as linhas onde haja propagação de sinal através de distâncias maiores, como é o caso das linhas que constituem a barra de periféricos.

- Evitar o comando das linhas de "clock" de flip-flops ou registros por sinais provenientes diretamente do conector, para que seu acionamento não se dê por sinais espúrios.

- Acionar os sinais, enviados através de conectores, por circuitos integrados cujas saídas não comandem nenhuma outra entrada de circuito integrado dentro da placa.

- Receber os sinais, enviados através de conectores, por meio de circuitos que representem uma única unidade de carga adicional para o sinal.

É provável que nesta primeira fase de montagem do protótipo em "wire-wrap", não consigamos atingir a frequência de operação desejada. A nossa maior preocupação no momento, entretanto, é recolher experiências sobre o problema nesta fase e tentar utilizar as idéias que surgirem para obtenção de um segundo protótipo, em circuito impresso, otimizado no tocante à velocidade de operação.

O projeto da UCP, excluindo a memória "backing", deverá utilizar cerca de 1300 circuitos integrados alocados em 19 placas tipo CAMBION tamanho grande distribuídas em 2 RACKS duplos com capacidade para 13 placas cada. O desenvolvimento de um projeto deste porte certamente requer que técnicas especiais de organização dos trabalhos e de construção do protótipo sejam adotadas. É nossa intenção relatar, através de algum tipo de publicação, as experiências e conclusões que colhermos até o final do desenvolvimento do protótipo, enfocando, principalmente, as soluções adotadas para resolver os problemas devidos ao porte do projeto, à sua velocidade de operação e à adaptação do "software", assuntos sobre os quais pouca informação se tem disponível atualmente.

se vem fazendo no país para se alcançar o completo domínio das técnicas de projeto de computadores digitais.

XIV - BIBLIOGRAFIA

- 1 - CRUZ, ADRIANO JOAQUIM DE OLIVEIRA  
"Projeto de uma Unidade de Controle Microprogramada para uma UCP de Médio Porte" - Rio de Janeiro , NCE/UFRJ
- 2 - BARBOSA, ADALBERTO AFONSO  
"Projeto de um Processador Periférico para uma UCP de Médio Porte" - Rio de Janeiro , NCE/UFRJ
- 3 - PACHECO, AGEU CAVALCANTI JUNIOR  
"Projeto de um Sistema de Memória Cache-Backing para uma UCP de Médio Porte" - Rio de Janeiro , NCE/UFRJ
- 4 - MARTINS, MARIO FERREIRA  
"Projeto de uma Unidade Aritmética para uma UCP de Médio Porte" - Rio de Janeiro , NCE/UFRJ
- 5 - VIANNA, ROGÉRIO ANTONIO SAMPAIO PARENTE  
"Projeto de um Painel, Carregador de Microprograma e Depurador Programável de Circuitos Digitais para uma UCP de Médio Porte" - Rio de Janeiro , COPPE/UFRJ , 1978
- 6 - D.E.C. - "PDP11/70 - Processor Handbook"  
Maynard, Massachussets, Digital Equipment Corporation, 1976
- 7 - D.E.C. - "PDP11 - Peripherals Handbook"  
Maynard, Massachussets, Digital Equipment Corporation, 1975
- 8 - D.E.C. - "KB11-C Processor Manual (PDP11/70)"  
Maynard, Massachussets, Digital Equipment Corporation, 1976
- 9 - TEXAS INSTRUMENTS - "Designing with TTL Integrated Circuits"  
Toquio, Mc Graw - Hill Kogakusha, Ltd, 1971
- 10 - TEXAS INSTRUMENTS - "The Semiconductor Memory Data Book"  
Dallas, Texas, Texas Instruments Incorporated, 1975
- 11 - TEXAS INSTRUMENTS - "The Line Driver and Line Receiver Data Book"  
Dallas, Texas, Texas Instruments Incorporated, 1977
- 12 - TEXAS INSTRUMENTS - "The TTL Data Book"  
Dallas, Texas, Texas Instruments Incorporated, 1977

- 13 - LANGDON, G.G. Jr.; FRECNI, E. - "Projeto de Computadores Digitais"  
"São Paulo, Edgard Blucher, 1974"
- 14 - ZUFFO, J.A. - "Sistemas Eletrônicos Digitais - Vol. I e II"  
"São Paulo, Edgard Blucher, 1977"
- 15 - LEWIN, D. - "Theory and Design of Digital Computers"  
Londres, Thomas Nelson and Sons, 1972
- 16 - HUSSON, S.S. - "Microprogramming: Principles and Practices"  
Englewood Cliffs, New Jersey, Prentice - Hall, Inc., 1970
- 17 - FLORES, I. - "Peripheral Devices"  
Englewood Cliffs, New Jersey, Prentice - Hall, Inc, 1973
- 18 - DONOVAN, J.J.; MADNICK, S.E. - "Operating Systems"  
New York, St Louis, Mc Graw - Hill Book Company, 1974
- 19 - DONOVAN, J.J. - "Systems Programming"  
Toquio, Mc Graw - Hill Book Kogakusha, Ltd, 1972
- 20 - PEATMAN, J.B. - "The Design of Digital Systems"  
Toquio, Mc Graw - Hill Kogakusha, Ltd, 1972
- 21 - DEEM, W.; MUCHOW, K.; ZEPPA, A. - "Digital Computers"  
Reston, Virginia, Prentice - Hall, 1974
- 22 - BONHAM, D.A. - "Schottky TTL"  
Publicado nas páginas 21 a 32 de "Digital - Integrated - Circuit,  
Operational - Amplifier, and Optoelectronic Circuit Design"  
New York, Mc Graw - Hill Book Company - Texas Instruments, 1976
- 23 - BARTEE, T.C. - Digital Computer Fundamentals  
New York, Mc Graw - Hill Book Company, 1976
- 24 - MARQUES, IVAN DA COSTA  
"Computação na UFRJ: Uma Perspectiva" - Rio de Janeiro , NCE/UFRJ,  
1974
- 25 - MARQUES, IVAN DA COSTA  
" A Opção Tecnológica: Autonomia ou Dependência" - Rio de Janeiro,  
NCE/UFRJ, 1974