


MODEM FSK CONTROLADO A MICROPROCESSADOR

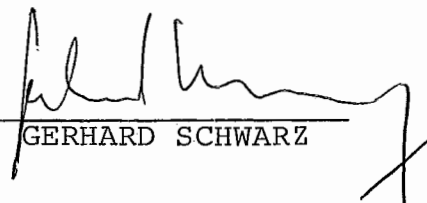
João Saad Junior

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS (M.Sc.)

Aprovada por:



JACQUES SZCZUPAK
(Presidente)



GERHARD SCHWARZ



EDIL SEVERIANO TAVARES FERNANDES



LUIZ PEREIRA CALOBA

RIO DE JANEIRO, RJ - BRASIL

FEVEREIRO DE 1984

SAAD JUNIOR, JOÃO

Modem FSK Controlado a Microprocessador
[Rio de Janeiro] 1984.

XII, 122p, 29,7 cm (COPPE-UFRJ, M.Sc.,
Engenharia de Sistemas, 1984).

Tese - Universidade Federal do Rio de
Janeiro, COPPE, Programa de Engenharia de
Sistemas.

1. Transmissão de Dados. I. COPPE-UFRJ
II. Título (série).

AGRADECIMENTOS

Ao CEPEL, a todos os colegas que auxiliaram na realização deste trabalho, e em especial ao professor Jacques Szczupak pela sua indispensável orientação. Gostaria de agradecer, também, ao professor Gerhard Schwarz, pela sua orientação na linha de Telemática, programa de Engenharia de Sistemas.

Resumo da Tese Apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

MODEM FSK CONTROLADO A MICROPROCESSADOR

João Saad Junior

Fevereiro, 1984

Orientador: Jacques Szczupak

Programa : Engenharia de Sistemas

O objetivo deste trabalho é apresentar uma nova concepção de projecto que resulte em um Modem assíncrono para velocidades médias utilizando modulação em frequência e empregando uma unidade inteligente interna. Esta unidade inteligente é responsável pela monitoração do meio de transmissão analógico, bem como pelo ajuste automático do Modem às características apresentadas por este meio de transmissão.

Neste trabalho também é apresentada uma das possíveis realizações do Modem inteligente, contendo uma etapa analógica responsável pela síntese, regeneração e detecção do sinal de comunicação. Esta etapa é controlada, em tempo real, pela unidade intelligente, que, nesta versão, baseia-se no microprocessador 8085, sem perda de generalidade.

As técnicas de supervisão e controle da etapa analógica permitem, caso desejado, o compartilhamento da unidade inteligente por várias destas etapas, o que proporciona uma redução de custo.

O emprego do Modem controlado a microprocessador permite a concepção de uma rede de transmissão de dados dotada de auto-supervisão e auto-correção para a utilização em sistemas de aquisição de dados. Esta rede é apresentada neste trabalho, a título de exemplo, encontrando aplicação notadamente nos sistemas de geração e transmissão de energia elétrica.

A versão apresentada atende, também, às recomendações impostas pela Telebrás para utilização em linhas privadas da Rede Nacional de Telecomunicações.

Abstract of Thesis presented to COPPE/UFRJ as partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

FSK MODEM CONTROLLED BY MICROPROCESSOR

João Saad Junior

February, 1984

Chairman : Jacques Szczupak
Department: System Engeneering

This work presents a new conception of design resulting in a medium speed assincronous Modem using frequency modulation and incorporating an internal intelligent unit. This unit is responsible for the analog transmission line monitoring as well as for the automatic adjustment of the Modem according to the transmission line characteristics.

In this work one of the Modem's possible realization is presented, providing by an analog block the synthesis, regeneration and detection of the communication signal. The analog block is real time digitally controlled by the intelligent unit designed based on the 8085 microprocessor, without any loss of generality.

The intelligent unit may be shared by several analog blocks allowing cost reduction.

The use of a microprocessor controlled Modem permits the implementation of a self-supervised and self-corrected data transmission network suitable for data acquisition systems. Such a network is presented in this work as an example finding application mainly in electric energy generation and transmission systems.

The Modem version here presented meets the Telebrás recommendations for the use of private lines in the National Telecommunications Network.

ÍNDICE

I	-	INTRODUÇÃO	
		1. Histórico e Objetivos	1
		2. A Modulação FSK	7
II	-	DESCRIÇÃO GERAL	11
III	-	RECEPÇÃO	
		1. Introdução	15
		2. Recuperação do Sinal Analógico	17
		3. Demodulação	25
		4. Resumo	36
IV	-	TRANSMISSÃO	
		1. Introdução	38
		2. Descrição Funcional dos Blocos	40
		3. Resumo	51
V	-	EQUALIZADORES	
		1. Introdução	53
		2. Estágio de Equalização de Retardo	55
		3. Compensação das Distorções das Linhas	59
		4. Medida da Equalização	64
		5. Compensação da Atenuação de Amplitude	69
		6. Processo de Busca da Equalização	75
		7. Resumo	78
VI	-	UNIDADE DE PROCESSAMENTO	
		1. Introdução	81
		2. "Hardware"	83
		3. Funções da Unidade de Processamento	88
		4. Resumo	100

VII -	EXEMPLO DE UMA REDE DE TRANSMISSÃO DE DADOS DOTADA DE AUTO-SUPERVISÃO E AUTO-CORREÇÃO	
1.	Introdução	103
2.	Sistema Tradicional para Transmissão de Dados	103
3.	O Sistema Proposto	106
4.	O Acionamento do Modem Remoto	108
5.	A Equalização de uma Linha no Sistema Proposto	110
6.	Compartilhamento da UP Remota por Outros Processos	112
7.	Resumo	113
VIII -	CONCLUSÃO	116
	Referências	120
	Apêndice	121
	Nomenclatura	122

ÍNDICE DE FIGURAS

I.1	- Sistema de Supervisão e Controle utilizando modems tradicionais.	4
I.2	- Sistema de Supervisão e Controle utilizando modems inteligentes.	5
I.3	- Rede em Estrela onde os modems do nó central compartilham uma única etapa inteligente baseada em microprocessador (μ p).	6
I.4	- Formas de onda do sinal analógico modulado em frequência (FSK), com fase coerente, e do sinal binário a ser transmitido.	9
II.1	- Diagrama em blocos do modem.	12
III.1	- Estágios básicos do receptor FSK.	16
III.2	- Diagrama em blocos do receptor.	18
III.3A	- Espectro de energia do sinal modulado em FSK para uma sequência pseudo-aleatória a 1800 bps (1200 Hz/2400 Hz).	20
III.3B	- Espectro de energia do sinal modulado em FSK para uma sequência pseudo-aleatória a 1200 bps (1300 Hz/2100 Hz).	21
III.4	- Curva de transferência do filtro p. baixa Chebyshev 3A ordem e Ripple = . 25 DB.	22
III.5	- Diagrama esquemático dos amplificadores com controle pela unidade de processamento (UP).	24
III.6	- Etapas da demodulação pelo método de cruzamento de zero.	26
III.7	- Diagrama em blocos do demodulador FSK por cruzamento de zero.	26

III.8A	- Espectro de potência do sinal de entrada do discriminador (velocidade de transmissão = 1200 bps)	29
III.8B	- Espectro de potência do sinal de saída do discriminador (velocidade de transmissão = 1200 bps)	30
III.9	- Diagrama em blocos do detector de portadora.	33
III.10	- Gráfico dos tempos de ativação e desativação e o efeito de histerese.	33
III.11	- Esquema interno para operação em "Half Duplex" e circuito "Clamp".	35
IV.1	- Diagrama em blocos do transmissor.	39
IV.2	- Sintetizador de senóides por degraus.	39
IV.3	- Sinais de entrada (abaixo) e saída (acima) do sintetizador.	42
IV.4	- Espectro de frequências da "Senóide Sintetizada" de 1200 Hz, na saída do multiplexador.	43
IV.5	- Gráfico de atenuação x frequência do filtro do transmissor.	45
IV.6	- Gráfico de atraso de grupo x frequência do filtro do transmissor.	45
IV.7	- Espectro de frequências da "Senóide Sintetizada" de 1200 Hz, na saída do filtro passa-baixas (BESSEL).	46
IV.8	- Espectro de frequência do sinal na saída do multiplexador, modulado a 1800 bps (1200 Hz /2400 Hz).	47
IV.9	- Espectro de frequência do sinal na saída do multiplexador, modulado a 1200 bps (1300 Hz /2100 Hz).	48

IV.10	- Espectro de frequência do sinal na saída do filtro passa-baixas do transmissor, modulado a 1800 bps (1200 Hz/2400 Hz).	49
IV.11	- Espectro de frequência do sinal na saída do filtro passa-baixas do transmissor, modulado a 1200 bps (1300 Hz/2100 Hz).	50
V.1	- Diagrama em blocos dos equalizadores e compensador com o controle pela unidade de processamento.	54
V.2	- Distribuição de polos e zêros do "Passa-Tudo" de segunda ordem.	56
V.3	- Gráfico de atraso de grupo x frequência do passa-tudo de 2 ^a ordem com $f_p = 1$ kHz, para alguns valores de Q_p .	56
V.4	- Rede de controle de R_q para o comando do circuito equalizador.	58
V.5	- Equalização de linha de transmissão.	60
V.6	- Equalização por banco de filtros "Passa-Tudo".	60
V.7	- Curvas típicas de retardo "Desbalanceado" de canais de comunicação.	62
V.8	- Curvas típicas de retardo "Balanceado" de canais de comunicação.	62
V.9	- Gráfico de retardo x frequência do equalizador 1 e equalizador 2 em cascata.	63
V.10	- "Jitter" do sinal de saída do demodulador e consequente distorção telegráfica do sinal binário.	66
V.11	- Aspecto do "Olho Aberto" - Sinal sem distorção.	66

V.12	- Aspecto do "Olho Fechado" - Sinal distorcido.	66
V.13	- Diagrama esquemático do compensador.	70
V.14	- Gráfico do ganho do circuito compensador (ativado e desativado).	71
V.15	- Característica de atenuação das linhas telefônicas.	73
V.16	- Gráfico do atraso de grupo do compensador (ativado e desativado).	74
V.17	- Representação bidirecional da varredura dos equalizadores.	77
V.18	- Fluxograma de equalização.	79
VI.1	- Arquitetura básica da unidade de processamento para o controle em tempo real.	82
VI.2	- Diagrama em blocos simplificado da unidade de processamento.	84
VI.3	- Diagrama do circuito de reinicialização automática.	87
VI.4	- Relação de entradas e saídas da unidade de processamento.	89
VI.5	- Funções principais da unidade de processamento.	90
VI.6	- Fluxograma de atendimento às funções comandadas por painel.	92
VI.7	- Fluxograma do ciclo de status das chaves de função, dentro da rotina de leitura do "Jitter" médio.	99
VI.8	- Fluxograma do cálculo do "Jitter" médio.	101
VII.1	- Sistema tradicional para aquisição de dados.	104

VII.2	- Sistema proposto para aquisição de dados.	107
VII.3	- Fluxograma do protocolo de comunicações do computador com a UP.	109
VII.4	- Diagrama em bloco dos canais primário e <u>se</u> cundário.	111

CAPÍTULO I

INTRODUÇÃO

1.1 - Histórico e Objetivos

Modem é um equipamento empregado para o envio de da dos digitais usualmente através de meios adequados à transmis são de voz. Sua função é converter a informação digital para uma forma analógica antes da sua transmissão pelo meio de comunica ção, e a posterior recuperação do formato digital na extremidade receptora. O Modem, portanto, constitui a interface entre o equi pamento terminal de dados (ETD) e o meio de transmissão analógi co. A denominação Modem provém da operação de Modulação e de sua operação inversa DEModulação, necessárias à transmissão do sinal de dados em canais analógicos.

O objetivo deste trabalho é apresentar uma nova concep ção de projeto que resulte em um Modem para velocidades médias, utilizando a modulação em frequência (Frequency Shift Keying-FSK), e que emprega uma unidade inteligente interna. Esta unidade inte ligente é responsável pela monitoração do meio de transmissão a nalógico, bem como pelo ajuste automático do Modem às caracterís ticas apresentadas por este meio de transmissão, de modo a tornar mais eficiente e segura esta forma econômica de modulação.

Os modems de baixa e média velocidade encontram gran de aplicação nas redes de supervisão e controle de energia elé trica. Estas redes caracterizam-se por uma grande quantidade de estações remotas cuja função é adquirir dados junto às várias fases de processo (geração e transmissão) e transmiti-los aos centros de supervisão.

O emprego de Modems com modulação em frequência torna-se atrativo por atender o fluxo de dados relativamente pequeno destas remotas e permitir a interligação de grandes distâncias através de canais analógicos de transmissão. Entretanto, uma das dificuldades sentidas pelas equipes de manutenção dos sistemas de supervisão e controle, tem sido a confiabilidade das interli gações, em virtude das distorções e ruídos representados pelos

canais de comunicação.

Os sistemas de comunicação utilizados dispõem de canais de voz que estão sujeitos a distorções de amplitude e fase, podendo inclusive variar ao longo do tempo. Ainda que inatuantes para a transmissão telefônica, essas distorções ocasionam a degradação da informação digital de tal forma a ocorrer erros de comunicação. Como solução são empregados circuitos corretivos chamados equalizadores, devendo ser ajustados segundo os desvios apresentados por cada linha.

Grandes variações das características do canal de voz podem ocorrer ao longo do tempo (especialmente quando são empregados sistemas "carrier" de transmissão) obrigando a um reajuste dos circuitos equalizadores de fase. No entanto, tais alterações do sistema de comunicação são detectados pelo correspondente centro de supervisão por intermédio da medida do número de erros ocorridos durante a aquisição dos dados. O desajuste do canal é caracterizado, neste processo, pelo número excessivo de erros.

Por sua vez, o reajuste dos equalizadores requer seja enviado um técnico especializado e com equipamento apropriado, sendo, por si sô, um processo demorado e que exige certa prática na sua execução. Este processo é ainda agravado pela localização geográfica dos diversos terminais remotos, o que torna o reajuste custoso.

Os problemas operacionais com os altos custos envolvidos no procedimento de ajuste dos equalizadores, aliado ao baixo custo dos microprocessadores que permite uma descentralização do processamento, constituem as principais motivações que levaram à concepção desta nova técnica de projeto que permite o desenvolvimento de um Modem inteligente. O emprego do microprocessador tornará este Modem apto não só a detectar e exteriorizar qualquer alteração da qualidade do sinal recebido, como também a ajustar-se automaticamente às condições de momento, a partir de um comando para tal.

O emprego de um Modem inteligente permite a adoção de um subsistema hierarquicamente inferior ao sistema de processamento original, formado pelos Modems e as linhas de comunicação, e cujo controle e supervisão é feito por uma unidade denominada Controlador de Comunicação. Esta unidade tem acesso a duas informações básicas que são:

- i) o estado de cada canal de comunicação, através da monitoração, pela unidade inteligente do Modem, da qualidade do sinal demodulado;
- ii) o estado do sistema usuário do subsistema de comunicação, que define quando e qual Modem deverá estar em operação.

A partir destas informações, o Controlador de Comunicação tem a capacidade de detectar qualquer degeneração de um canal, antes que esta traduza em uma alta taxa de erros de comunicação, e automaticamente liberar aquele canal para que os Modems inteligentes se auto-ajustem, sob seu comando, a essas novas condições. As figuras I.1 e I.2 ilustram um sistema de supervisão e controle utilizando respectivamente comunicação via Modems tradicionais e via Modems inteligentes.

Como consequência natural do procedimento proposto, obtem-se uma maior disponibilidade do sistema através da minimização do tempo de reparo (que muitas vezes incluía o deslocamento de turmas de manutenção a lugares distantes), e uma maior confiabilidade devido a uma transmissão com taxa de erros mais reduzida.

Estas vantagens justificam o custo adicional do Modem que, por sua vez, é atenuado pelo baixo custo dos microprocessadores e demais componentes digitais, todos de uso geral, e pela economia de manutenção. Conforme será descrito no decorrer deste trabalho, o projeto do Modem inteligente pode ser modular, permitindo o compartilhamento da etapa inteligente controlada pelo microprocessador, por vários Modems simplificados constituídos pelas etapas analógicas tradicionais, de acordo com a ilustração da figura I.3. Desta forma é obtida, ainda, uma

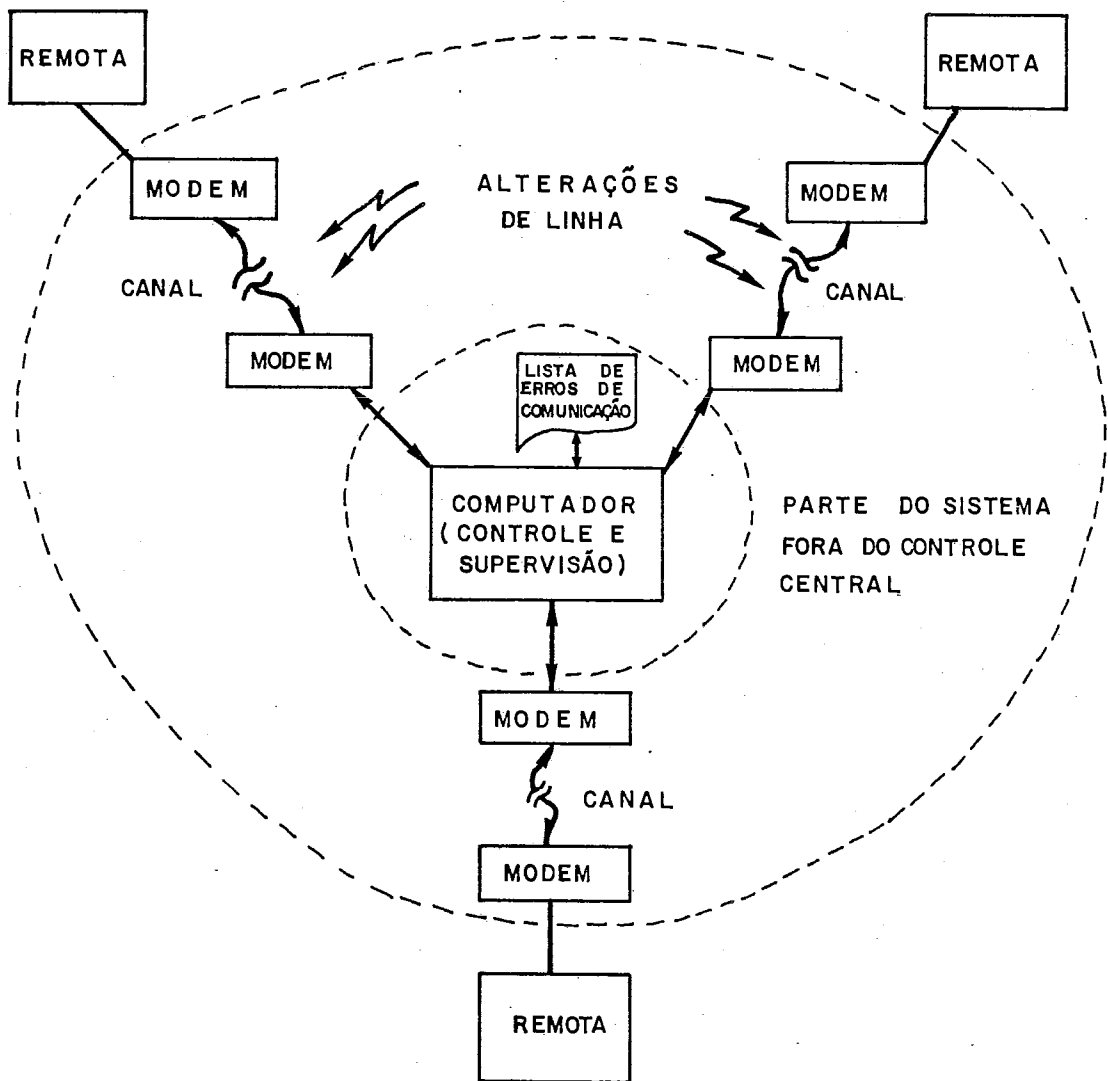


FIGURA I. 1 : SISTEMA DE SUPERVISÃO E CONTROLE UTILIZANDO MODEMS TRADICIONAIS. AS ALTERAÇÕES DE LINHA SÃO DETECTADAS ATRAVÉS DE CONTAGEM DE ERROS DE COMUNICAÇÃO

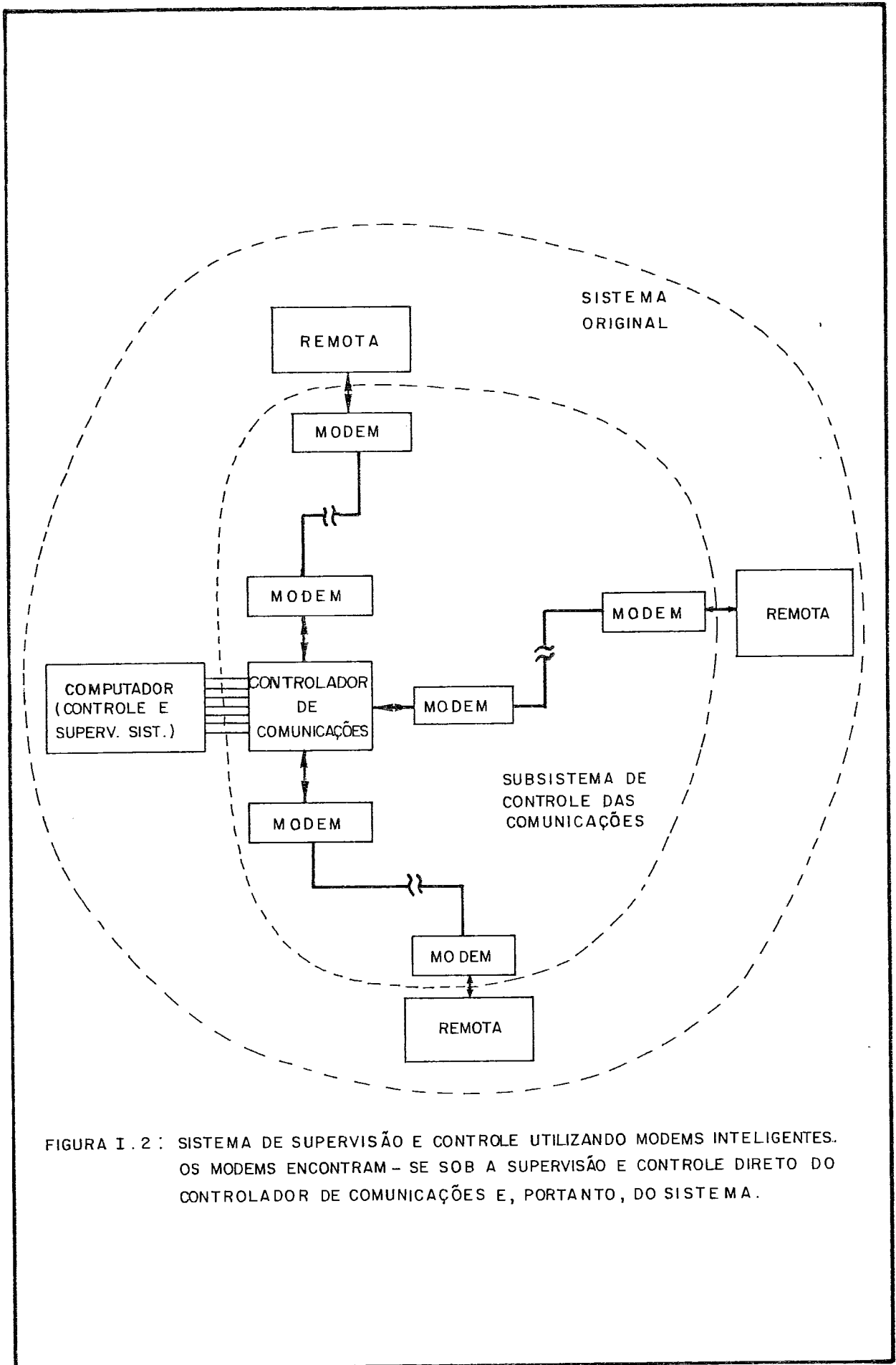


FIGURA I.2 : SISTEMA DE SUPERVISÃO E CONTROLE UTILIZANDO MODEMS INTELIGENTES. OS MODEMS ENCONTRAM-SE SOB A SUPERVISÃO E CONTROLE DIRETO DO CONTROLADOR DE COMUNICAÇÕES E, PORTANTO, DO SISTEMA.

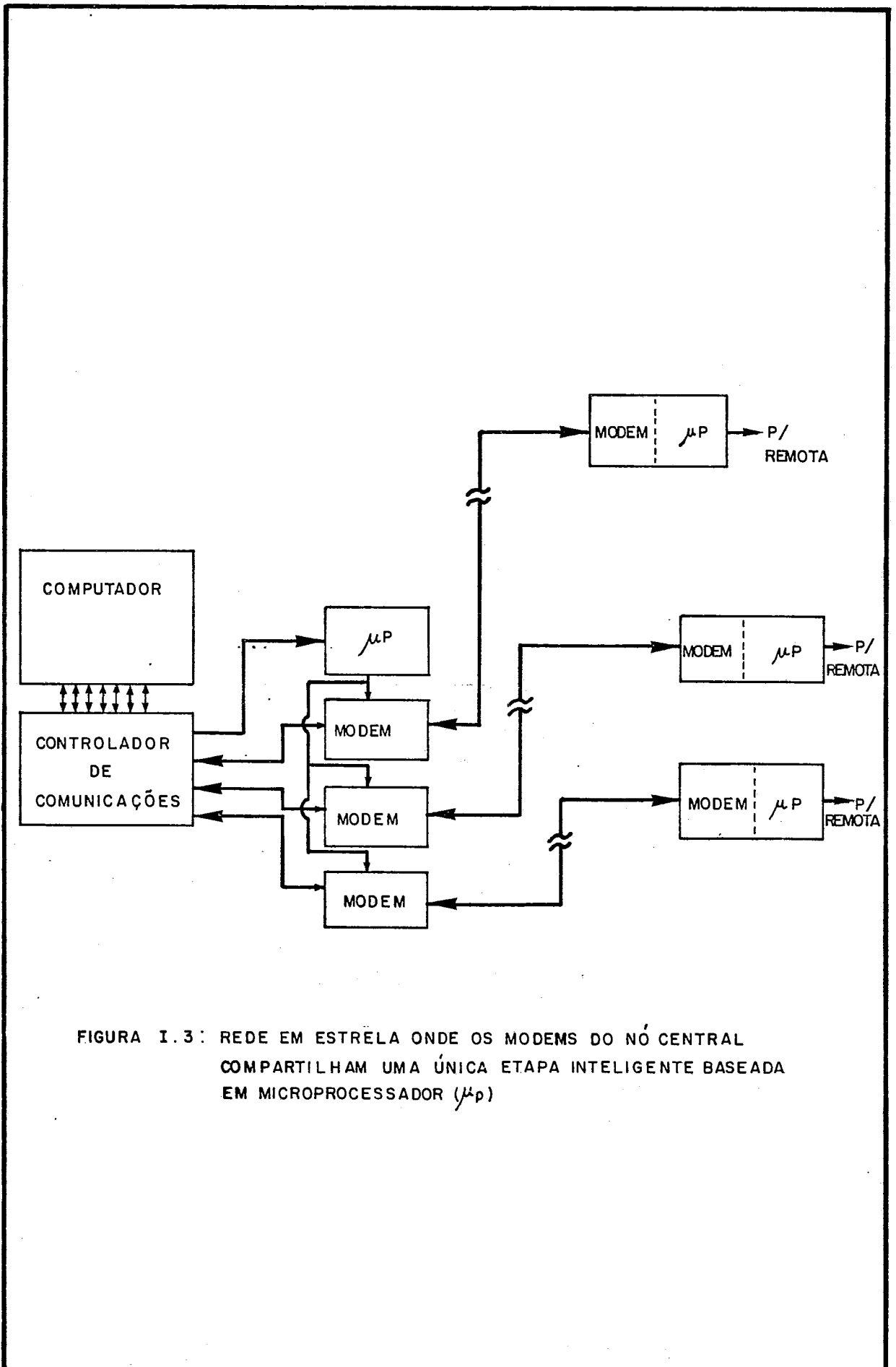


FIGURA I.3: REDE EM ESTRELA ONDE OS MODEMS DO NÓ CENTRAL COMPARTILHAM UMA ÚNICA ETAPA INTELIGENTE BASEADA EM MICROPROCESSADOR (μP)

grande redução no custo total dos Modems quando empregados em rede tipo estrela, onde ao centro chegam várias linhas de comunicação.

Será enfatizada nos próximos capítulos, uma das possíveis realizações de um Modem inteligente, utilizando-a posteriormente para a implementação de uma rede de comunicações. No capítulo II é apresentada a descrição geral do Modem, tanto sob o aspecto de funcionamento como sob o de operação. A discussão do receptor e a do transmissor são apresentadas nos capítulos III e IV, respectivamente. O capítulo V trata da equalização automática compreendendo o processo de ajuste, as características dos circuitos analógicos e o controle digital. As características da unidade de processamento responsável pelo controle do Modem são descritas no capítulo VI. O capítulo VII descreve uma rede de transmissão de dados dotada de auto-supervisão e auto-correção através do emprego de Modems controlados a microprocessador. O capítulo VIII apresenta as conclusões do trabalho.

Finalmente, esta realização apresenta, dentre outras características, uma grande flexibilidade no que diz respeito à padronização das frequências de operação na interface analógica. Esta versão foi concebida para operar de acordo com o padrão 225-540-701 Telebrás¹ (equivalente ao padrão internacional V23 da CCITT²) ou outros, segundo as necessidades do usuário.

I.2 - A Modulação FSK

Os meios de comunicação normalmente utilizados para a transmissão de informação digital são os circuitos telefônicos convencionais. O projeto destes circuitos é realizado levando em consideração as características do sinal de voz, sendo empregadas, de um modo geral, as técnicas de transmissão analógica.

O envio de sinais digitais através dos circuitos analógicos requer seja realizado um tratamento adequado destes sinais. Este tratamento procura compatibilizá-los às características impostas pelo uso das técnicas analógicas de transmis-

são. Um dos procedimentos usuais consiste na conversão do sinal digital em um sinal analógico com características semelhantes às do sinal de voz, aplicando-se as técnicas de modulação de portadora na frequência de áudio. Na recepção, este sinal analógico é reconvertido para sua forma original digital.

A portadora a ser transmitida pelo canal de voz será modulada em amplitude, frequência, fase ou uma combinação desses parâmetros, de acordo com o sinal de dados. A escolha do sistema de modulação mais adequado depende das características do canal e da velocidade de transmissão dos sinais digitais. Para taxas de sinalização até 1800 bps (bits por segundo) é vantajosa a utilização da modulação em frequência pelo baixo custo de implementação e confiabilidade do funcionamento.

A modulação em frequência é normalmente empregada na forma convencional FSK (Frequency Shift Keying), onde a cada nível ou estado do sinal corresponde uma frequência determinada. A figura I.4 mostra a forma típica da modulação FSK adotada neste projeto. Esta modulação é conhecida por FSK de fase coerente por haver uma continuidade de fase na transição da frequência da senóide transmitida. Desta forma, evita-se a ocorrência de saltos no sinal, responsável por componentes de alta frequência.

Na obtenção do sinal modulado em FSK, é gerado um espectro principal relativo à modulação da portadora pela banda básica da informação digital, juntamente com espectros secundários. Os espectros secundários são gerados a partir da modulação da portadora pelos espectros harmônicos da banda básica, existentes na informação binária. Estes espectros devem ser rejeitados por se localizarem fora da faixa de operação dos canais analógicos. Os espectros secundários constituem-se em dados redundantes não havendo, portanto, qualquer perda de informação com a sua rejeição.

Após a filtragem segundo os critérios de Nyquist³, o sinal formado pelo espectro principal concentra-se praticamente entre 1100 Hz e 2300 Hz (frequência de queda de 3 dB) para a transmissão de 1200 bps com chaveamento entre as frequências de 1300 Hz e 2100 Hz. Para a transmissão de 1800 bps,

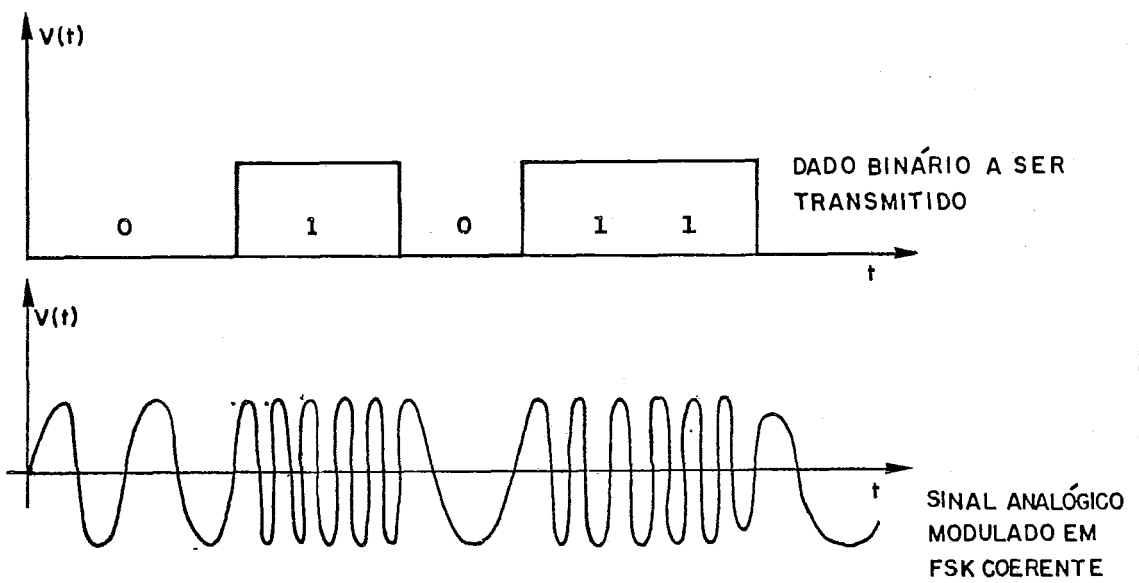


FIGURA I. 4 : FORMAS DE ONDA DO SINAL ANALÓGICO MODULADO EM FREQUÊNCIA (FSK), COM FASE COERENTE, E DO SINAL BINÁRIO A SER TRANSMITIDO.

quando o chaveamento ocorre entre as frequências de 1200 Hz e 2400 Hz, a energia do sinal modulado concentra-se praticamente entre 900 Hz e 2700 Hz. Nesta faixa, portanto, devem ser garantidas as características constantes de atenuação e atraso de grupo, de forma a não se alterar a informação digital contida no sinal composto³. Esta alteração da informação digital pode ser observada diretamente no sinal demodulado, sob a forma de interferências entre bits adjacentes, e será discutida em maiores detalhes no capítulo V.

No capítulo III são apresentadas, nas figuras III.3A e III.3B, curvas do espectro de energia do sinal FSK para as taxas de 1800 bps e 1200 bps.

CAPÍTULO II

DESCRIÇÃO GERAL

A realização do Modem, ora descrita, permite a transmissão de dados a média velocidade utilizando canais de comunicação de voz.

A unidade está preparada para operar em "Full Duplex" ou "Half Duplex" a uma taxa de até 1800 bps ou até 1200 bps conforme escolha do usuário. O modo de transmissão é assíncrono e a modulação é por desvio de frequência (FSK) com continuidade de fase e amplitude nos pontos de transição.

Seus circuitos são divididos em duas partes principais:

- a) Circuitos analógicos responsáveis não só pela filtragem do sinal enviado pelo transmissor, como também pela adaptação do receptor às características de atraso e atenuação que podem variar de acordo com a linha de transmissão.
- b) Unidade processadora digital, responsável pelo controle dos circuitos analógicos e pela constante supervisão e indicação em painel da qualidade dos sinais recebidos.

O Modem é composto por quatro blocos fundamentais apresentados na figura II.1 e cujas funções são as seguintes:

- i) Transmissor - responsável pela modulação da saída analógica de acordo com a informação digital a ser transmitida.
- ii) Receptor - responsável pela recuperação do sinal analógico recebido e a sua posterior demodulação.
- iii) Interface - garante a compatibilidade dos sinais elétricos entre o Modem e o equipamento de

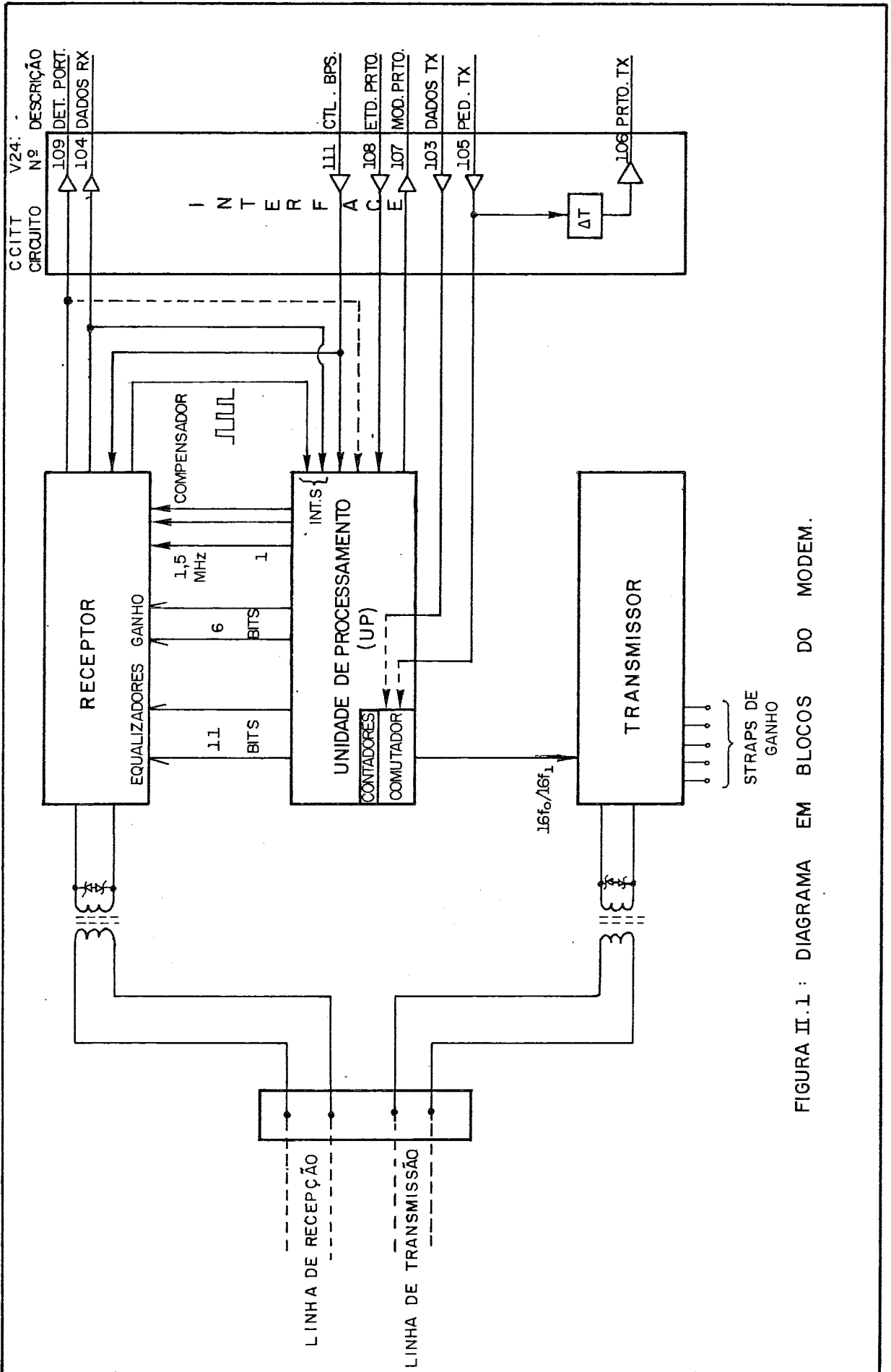


FIGURA II.1: DIAGRAMA EM BLOCOS DO MODEM.

transmissão de dados a ele ligado. Dispõe também de saídas e entradas de sinalização de acordo com as normas CCITT-V24² e normas Telebrás¹ 225-540-701 e relacionadas no Apêndice.

iv) Unidade de Processamento - supervisiona o sinal demodulado e controla as diversas funções do Modem.

O conjunto foi desenvolvido de forma a poder operar em dois possíveis modos, de acordo com as exigências de comunicação. No "modo Telebrás", o Modem apresenta as características de finidas pelas normas Telebrás para o funcionamento na Rede Nacional de Telecomunicações. Neste caso, a velocidade máxima é de 1200 bps. A operação no "modo 1800" permite o funcionamento na velocidade de 1800 bps utilizando, entretanto, diferentes valores das frequências das senóides de saída. Esta taxa de sinalização binária representa a máxima velocidade de operação alcançada com a modulação FSK em canais telefônicos convencionais. O selecionamento do modo de operação é feito pela mudança de programação da unidade de processamento, acompanhada de alterações em "straps" internos de fácil localização e acesso. Outros modos de operação que utilizam diferentes frequências das senóides de saída podem ser obtidos por meio de mudanças na programação da unidade de processamento.

A unidade de processamento utiliza o microprocessador 8085 da Intel⁴, juntamente com alguns dos seus periféricos. A escolha destes componentes baseia-se nas características de desempenho, custo e facilidade de obtenção no mercado. Com o emprego do microprocessador, o Modem está capacitado a desempenhar as seguintes funções:

- a) mudança das frequências das senóides de saída, de acordo com a escolha do modo de operação do Modem,
- b) medida estatística da qualidade do sinal recebido para as taxas de 600 bps, 1200 bps e até 1800 bps de acordo com o modo de operação,

- c) ajuste automático por comando remoto ou em painel dos filtros equalizadores de fase e ganho,
- d) memorização dos parâmetros dos filtros equalizadores de fase e ganho mesmo no caso de falta de alimentação do Modem,
- e) possibilidade de futura expansão do processo de equalização, de forma a permitir o ajuste do Modem para a operação em várias linhas comutadas no tempo,
- f) indicação alfanumérica de ausência de informação digital recebida, e de falta de portadora em linhas dedicadas,
- g) ajuste automático de ganho,
- h) transmissão de padrão pseudo-aleatório para ajustes remotos.

No desenvolvimento do Modem houve a preocupação em minimizar os problemas mais comumente encontrados na modulação FSK. Como exemplo pode-se citar a variação, com o tempo e a temperatura, das frequências do sinal de saída bem como do ajuste do demodulador. Procurou-se também utilizar circuitos analógicos pouco sensíveis às variações dos componentes, de modo a possibilitar uma produção em série rápida e econômica.

Por fim, a calibração do demodulador, necessária nos Modems que operam em "FSK", pode ser feita sem a necessidade da instrumentação usual (osciloscópio e gerador de sinais). Esta calibração é feita utilizando-se a própria unidade de processamento que acusa o ajuste ótimo por meio do indicador alfanumérico do painel. A calibração do demodulador é feita em fábrica sendo desnecessários futuros reajustes. Esta característica de estabilidade é garantida pelo emprego de circuitos digitais praticamente insensíveis às variações de temperatura e ao envelhecimento, em substituição de determinados circuitos analógicos convencionais.

A descrição das características dos circuitos bem como os detalhes de funcionamento serão tratados nos próximos capítulos deste trabalho.

CAPÍTULO III

RECEPÇÃO

III.1 - Introdução

O objetivo do receptor é a demodulação do sinal analógico recebido da linha de transmissão. Para isso, o receptor é formado por quatro estágios básicos apresentados na figura III.1 e que são:

- a) filtro para a atenuação dos sinais existentes fora do espectro do canal convencional de voz,
- b) equalizador para a compensação das distorções de fase e ganho, próprias das linhas de transmissão,
- c) amplificador para o ajuste da magnitude,
- d) demodulador responsável pela obtenção da informação digital a partir do sinal analógico recebido.

Esses quatro estágios básicos são compostos ainda por várias subredes da seguinte forma:

- O filtro é formado por um circuito ativo passa-baixas de segunda ordem, um passa-altas de primeira ordem e um passa-faixa passivo de segunda ordem.
- O equalizador é constituído por dois circuitos ativos do tipo passa-tudo e um compensador de ganho, todos controlados pela unidade de processamento (UP);
- A amplificação é garantida por duas etapas de ganho também controladas pela UP;
- O demodulador subdivide-se em um detector de cruzamento de zero, um filtro discriminador e o circuito de "BIAS".

O receptor dispõe ainda de dois circuitos secundários que são o detector de portadora e o circuito do tipo "CLAMP" para proteção.

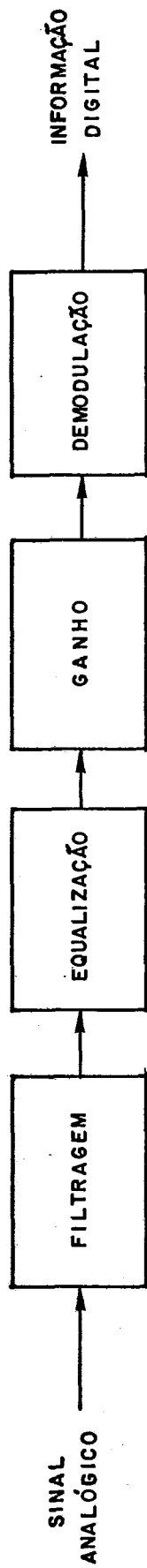


FIGURA III . 1 : ESTÁGIOS BÁSICOS DO RECEPTOR FSK

Todos os circuitos foram dispostos conforme apresentado na figura III.2, de modo a obter-se uma otimização do desempenho do conjunto.

A descrição de cada subrede do receptor é dada na próxima seção com exceção dos equalizadores que serão detalhados em capítulo próprio.

III.2 - Recuperação do Sinal Analógico

Os sinais de entrada são inicialmente desbalanceados por um transformador de acoplamento, que garante também a necessária isolação do Modem a potenciais DC existentes na linha. Com o propósito de proteger a entrada contra a ocorrência de surtos de tensão, foram colocados diodos de proteção no secundário do transformador.

O estágio passa-baixas de segunda ordem, colocado na entrada do receptor, atenua o ruído de alta frequência do sinal, a fim de evitar a passagem do mesmo pelo sistema equalizador. Trata-se de um estágio ativo RC com dois polos complexos e que, juntamente com o polo real de mais alta frequência do passa-faixa passivo, forma um filtro Chebyshev de terceira ordem. A partição deste filtro em dois blocos, um de segunda e um de primeira ordem, permite acionar o primeiro equalizador por um circuito de baixa impedância (saída do operacional). Por sua vez, o terceiro polo do filtro auxilia a rejeição de ruídos de alta frequência na entrada do comparador do detector de cruzamento de zero.

A transferência escolhida para o filtro passa-baixas é um Chebyshev de terceira ordem com "ripple" de 0,25 dB, de modo a atender ao compromisso entre corte abrupto e pequena variação da atenuação dentro da faixa de passagem. Este filtro atenua o espectro acima de 2700 Hz, por ser esta frequência o ponto de queda de 3 dB no espectro de energia do sinal FSK (modulado a 1800 bps e com chaveamento entre 1200 Hz e 2400 Hz). Para a transmissão a 1200 bps com chaveamento entre 1300 Hz e 2100 Hz, a frequência de queda de 3 dB do espectro de potência é 2300 Hz. Esta frequência encontra-se, portanto, dentro da faixa de passa

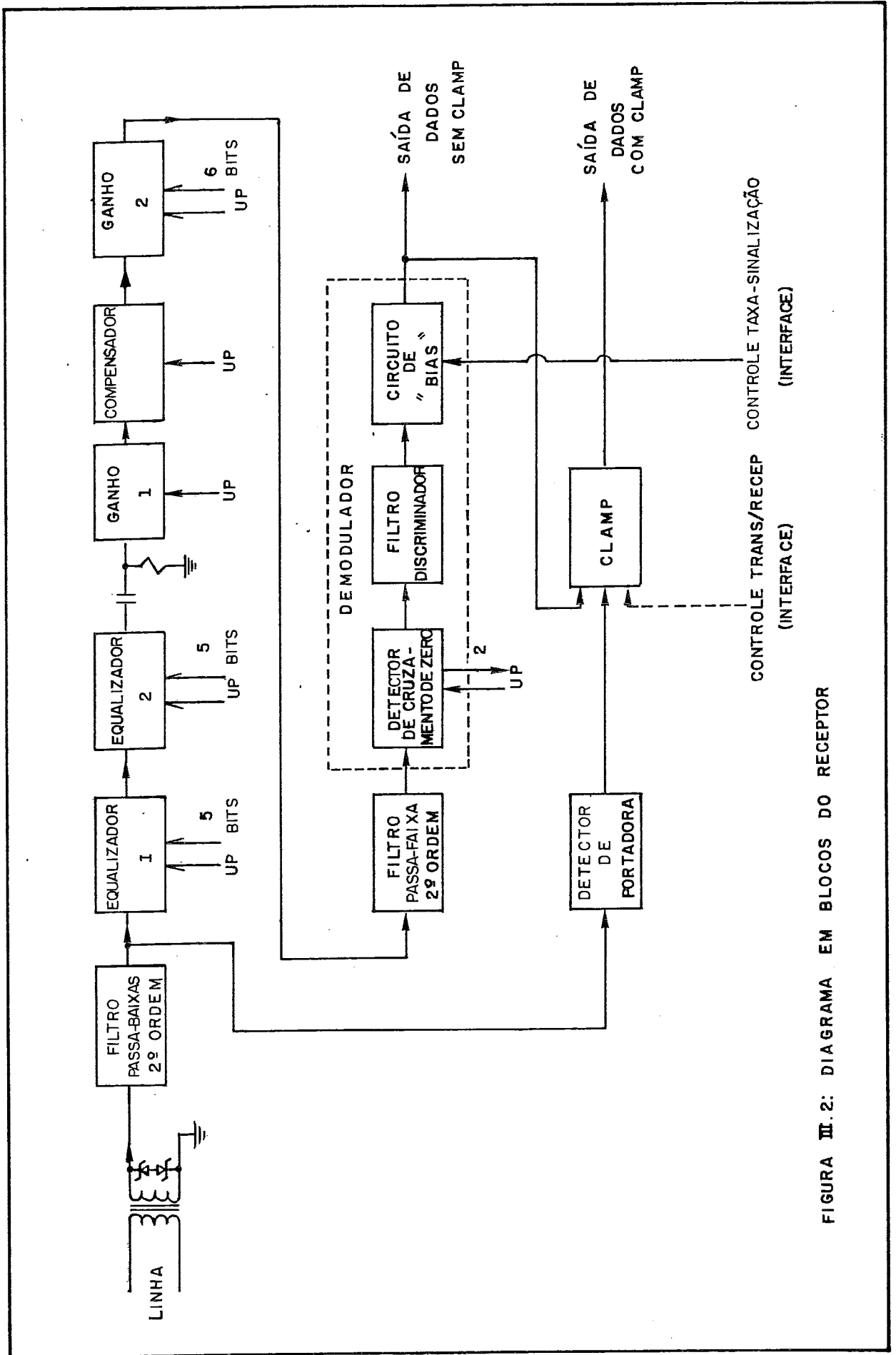


FIGURA III.2: DIAGRAMA EM BLOCOS DO RECEPTOR

gem do filtro. Nas figuras III.3A e B são mostrados os espectros de energia para a transmissão em 1800 bps e 1200 bps, respectivamente. A figura III.4 apresenta a curva de atenuação do filtro Chebyshev de terceira ordem com "ripple" de 0,25 dB.

O atraso de grupo do filtro passa-baixas apresenta uma variação máxima de 200 μ s dentro da banda passante. Tal variação não só exerce pouca influência sobre o sinal FSK, como também é compensada pelos filtros equalizadores de fase.

O atraso de grupo e o custo de implementação são fatores de limitação da ordem do filtro. Filtros de ordem elevada empregam muitos amplificadores operacionais na sua implementação e apresentam uma maior variação do atraso de grupo dentro da faixa de operação.

A equalização do sinal analógico é obtida por meio dos circuitos passa-tudo e do compensador, todos controlados pela unidade de processamento. Estes circuitos são ajustados automaticamente para a melhor adaptação do Modem ao canal de comunicação, sempre que a equalização for requisitada por comando remoto ou em painel. O circuito compensador é acionado pela UP nos casos em que a linha apresente forte atenuação na parte alta do espectro transmitido. Uma descrição mais detalhada sobre o funcionamento destes circuitos é mostrada mais adiante no capítulo V.

O sinal analógico, após uma primeira filtragem seguida da equalização, é acoplado através de um filtro passa-altas RC de primeira ordem, ao primeiro estágio de ganho. Este filtro RC rejeita possíveis níveis de "off set" dos amplificadores operacionais dos estágios anteriores. Desta forma, é evitada a saturação dos estágios de ganho, especialmente quando estes operarem em seus valores de máxima amplificação. Com o circuito passa-altas, obtém-se também uma atenuação do ruído de 60 Hz, típica em ambientes onde operam equipamentos de potência.

O estágio de ganho tem a função de elevar o nível da tensão de entrada a níveis que garantam o bom funcionamento do detector de cruzamento de zero. Este estágio é composto de dois

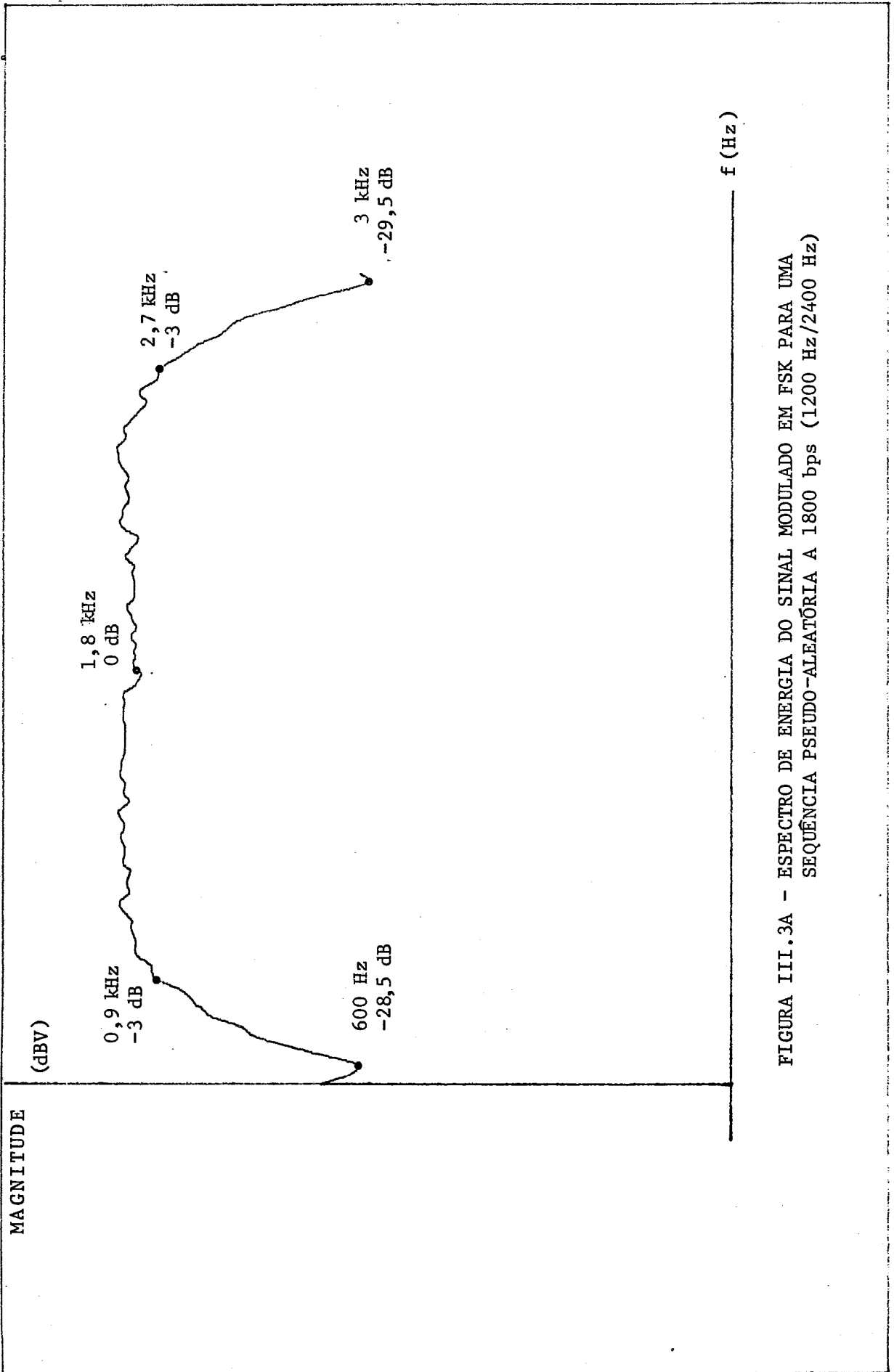


FIGURA III.3A - ESPECTRO DE ENERGIA DO SINAL MODULADO EM FSK PARA UMA SEQUÊNCIA PSEUDO-ALEATÓRIA A 1800 bps (1200 Hz/2400 Hz)

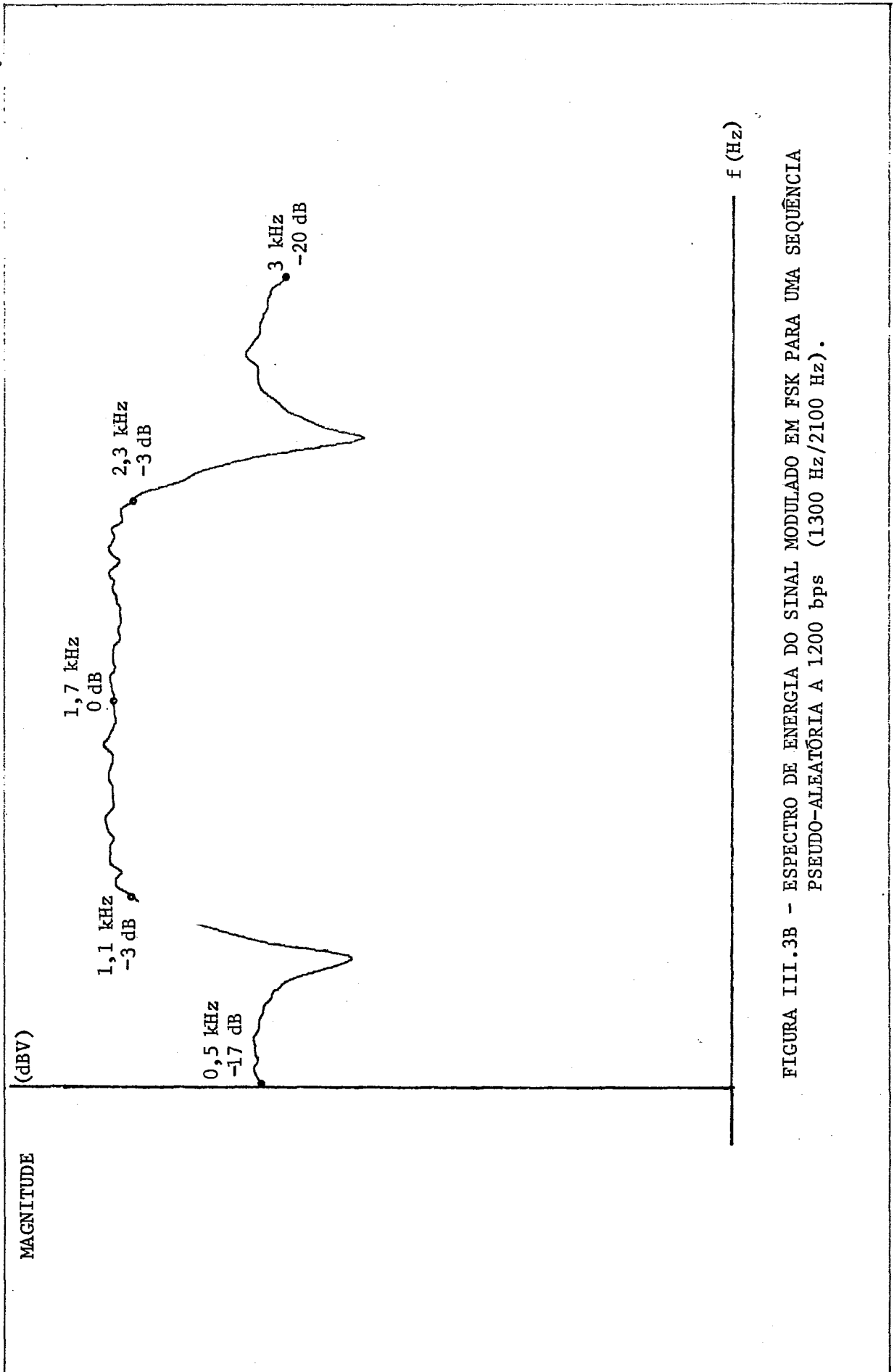


FIGURA III.3B - ESPECTRO DE ENERGIA DO SINAL MODULADO EM FSK PARA UMA SEQUÊNCIA PSEUDO-ALEATÓRIA A 1200 bps (1300 Hz/2100 Hz).

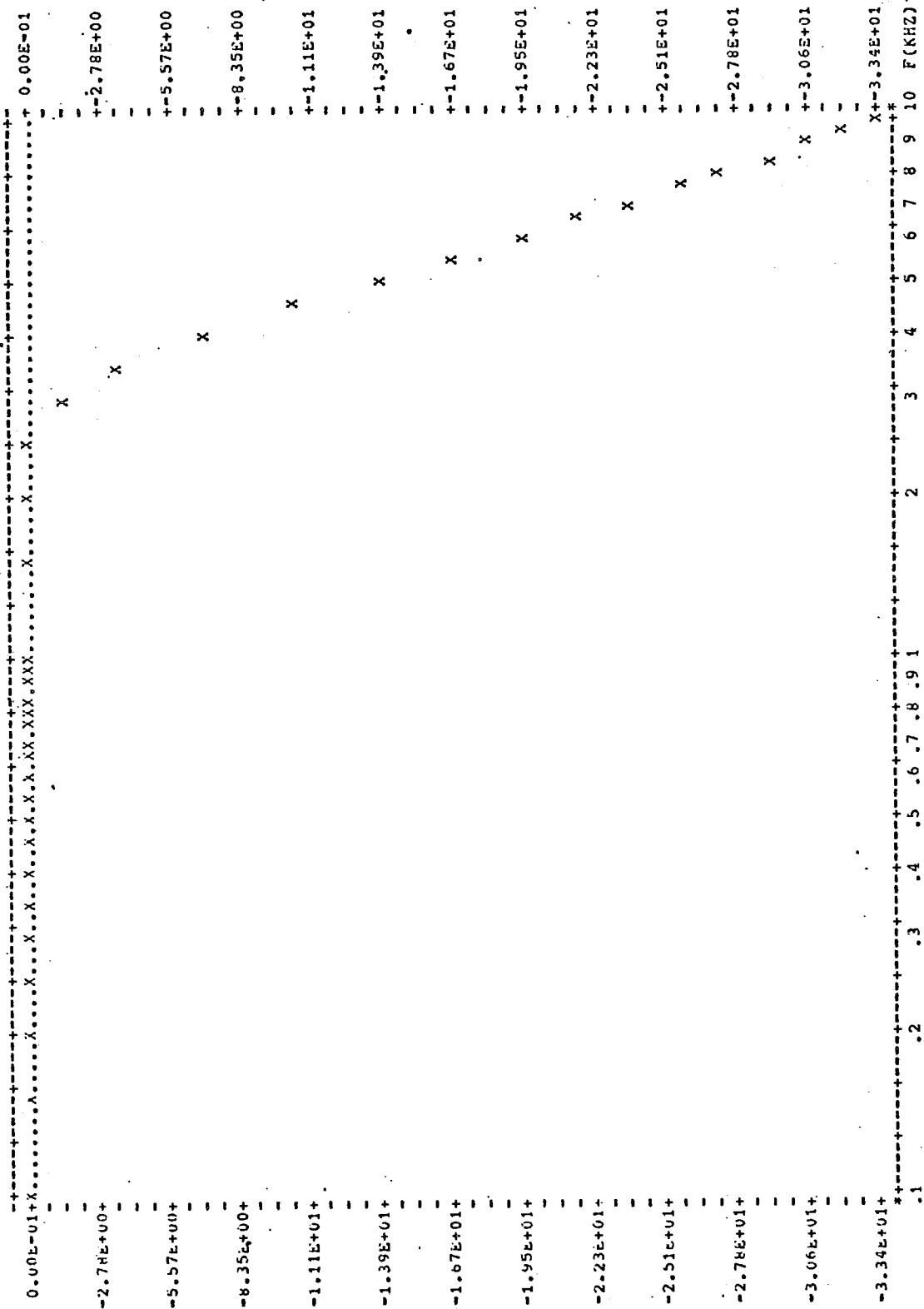


FIGURA III.4: CURVA DE TRANSFERENCIA DO FILTRO P.BAIXA CHEBYSHEV 3A ORDEM E RIPPLE=.25 DB

amplificadores operacionais controlados pela unidade de processamento. Os amplificadores operacionais constituem os blocos "ganho 1" e "ganho 2", separados pelo compensador, conforme apresentado na figura III.5.

O controle dos amplificadores operacionais é feito por palavra de 7 bits, sendo que um destes bits aciona o primeiro circuito enquanto os restantes controlam o segundo. Desta forma, existem 128 diferentes posições de ganho que permitem o ajuste do Modem para níveis de entrada entre - 48 dBm e + 13 dBm. O acionamento do circuito é feito por meio de chaves analógicas da família CMOS que atuam na rede resistiva da malha de realimentação dos amplificadores operacionais, de acordo com o esquema da figura III.5.

O circuito compensador, em qualquer uma de suas duas posições possíveis, atenua os sinais analógicos. Por este motivo, o compensador está localizado entre os dois amplificadores. Desta forma, o compensador atenuará os sinais analógicos somente após estes terem sido pré-amplificados. Com esta topologia evita-se também a necessidade de uma grande faixa dinâmica no segundo estágio de ganho, caso o compensador fosse posicionado depois de ambos os amplificadores.

O filtro passa-faixa passivo de segunda ordem encontra-se logo após o segundo estágio de ganho conforme observa-se no diagrama em blocos da figura III.2. Este filtro tem as seguintes funções:

- i) impedir o acoplamento de qualquer nível DC de "off set" dos amplificadores operacionais ao circuito detector de cruzamento de zero,
- ii) atenuar ruídos de baixa frequência fora do espectro ocupado pelo sinal modulado, incluindo o ruído de 60 Hz,
- iii) completar a transferência passa-baixas Chebyshev de terceira ordem, com o polo real relativo ao corte superior deste passa-faixa passivo.

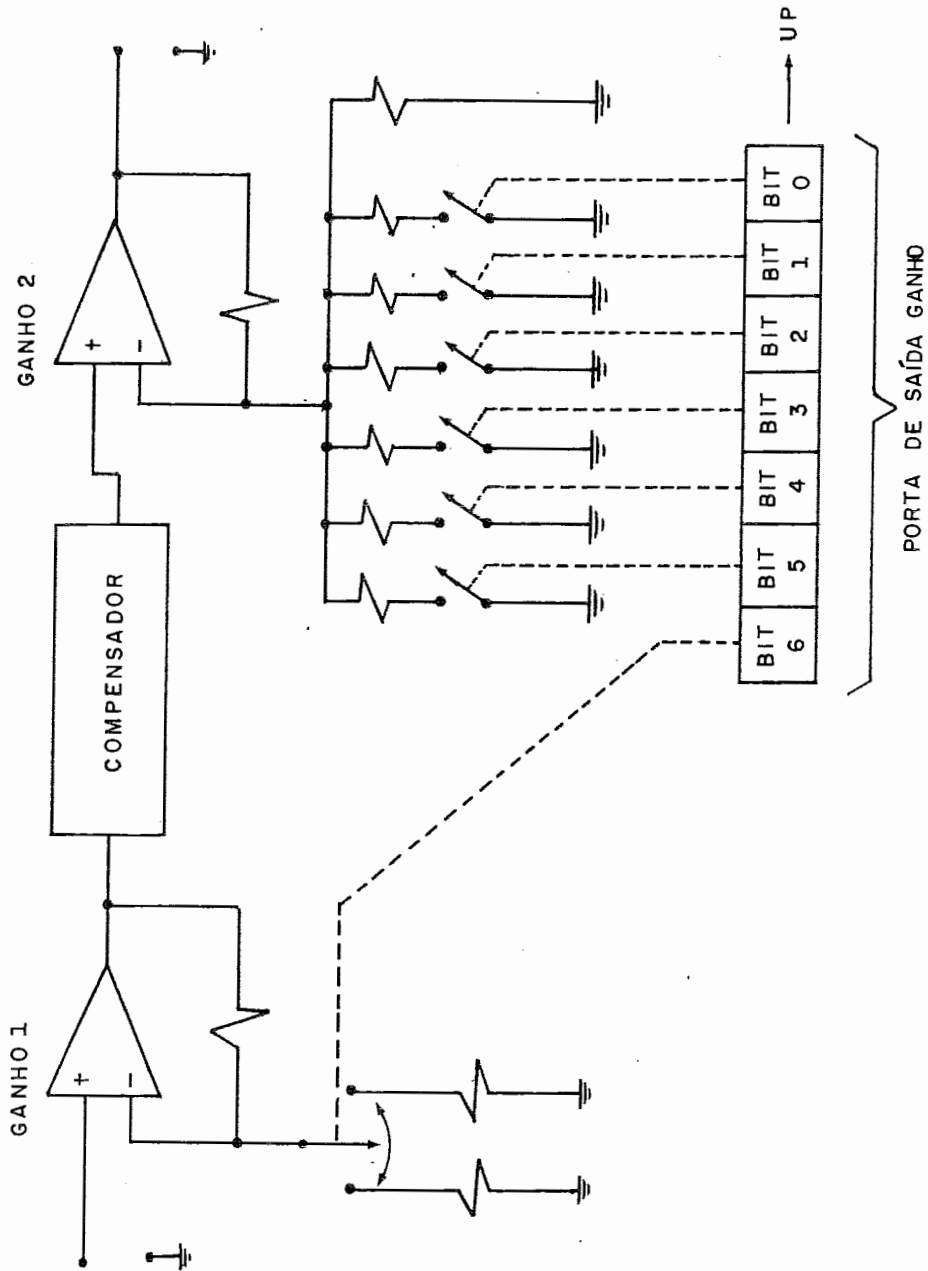


FIGURA III. 5 : DIAGRAMA ESQUEMÁTICO DOS AMPLIFICADORES COM CONTROLE PELA UNIDADE DE PROCESSAMENTO (UP)

O desacoplamento de um possível nível DC ao detector de cruzamento de zero é importante devido ao processo de demodulação FSK utilizado no receptor. Tal processo baseia-se no período de cruzamento de zero do sinal analógico, de acordo com o exposto no item III.3. Portanto, a existência de um nível DC somado ao sinal de entrada deslocaria os pontos de cruzamento de zero, com a conseqüente alteração do sinal demodulado.

Após a filtragem, equalização e amplificação, o sinal é demodulado de modo a recuperar-se a informação digital contida no sinal analógico. Este processo é explicado a seguir para a compreensão dos circuitos que compõem o demodulador.

III.3 - Demodulação

A demodulação do sinal modulado em FSK pode ser obtida de diversos modos. O processo adotado é o do tipo "cruzamento de zero"³, que consiste na geração de um pulso de amplitude, largura e polaridade constante a cada cruzamento de zero do sinal analógico. O componente DC deste sinal resultante é proporcional à frequência da senóide de entrada, ou em outras palavras, o espectro deste novo sinal inclui a informação de banda básica que deverá ser recuperada por um filtro discriminador passa-baixas. O sinal banda básica apresenta-se à saída deste filtro passa-baixas com as transições entre os bits adjacentes suavizadas, devido à ação limitadora em frequência dos filtros e do meio de comunicação. Os símbolos binários são recuperados após a passagem, por um comparador, da forma suavizada obtida na saída do discriminador.

A figura III.6 ilustra as diversas etapas do processo de demodulação do sinal FSK pelo "cruzamento de zero".

Os diversos circuitos responsáveis por cada etapa da demodulação estão esquematizados no diagrama em blocos da figura III.7. Estes circuitos compõem o detector de cruzamento de zero, o discriminador e o circuito de polarização ou "BIAS". No dimensionamento destas redes, considerou-se a minimização dos efeitos da variação da temperatura e do envelhecimento de componentes sobre a demodulação. A demodulação FSK é normal -

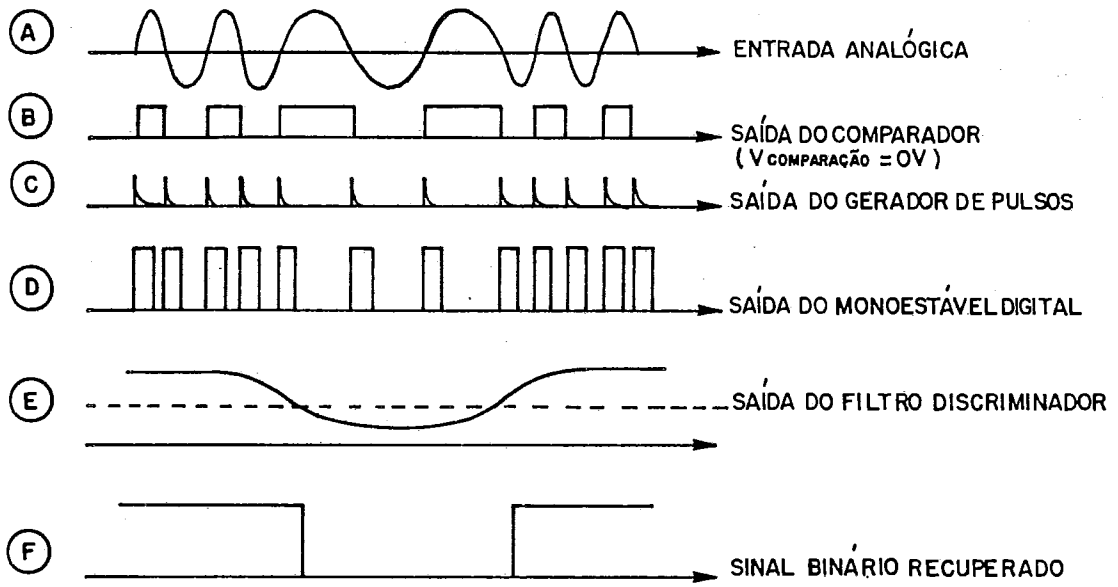


FIGURA III.6: ETAPAS DA DEMODULAÇÃO PELO MÉTODO DE CRUZAMENTO DE ZERO.

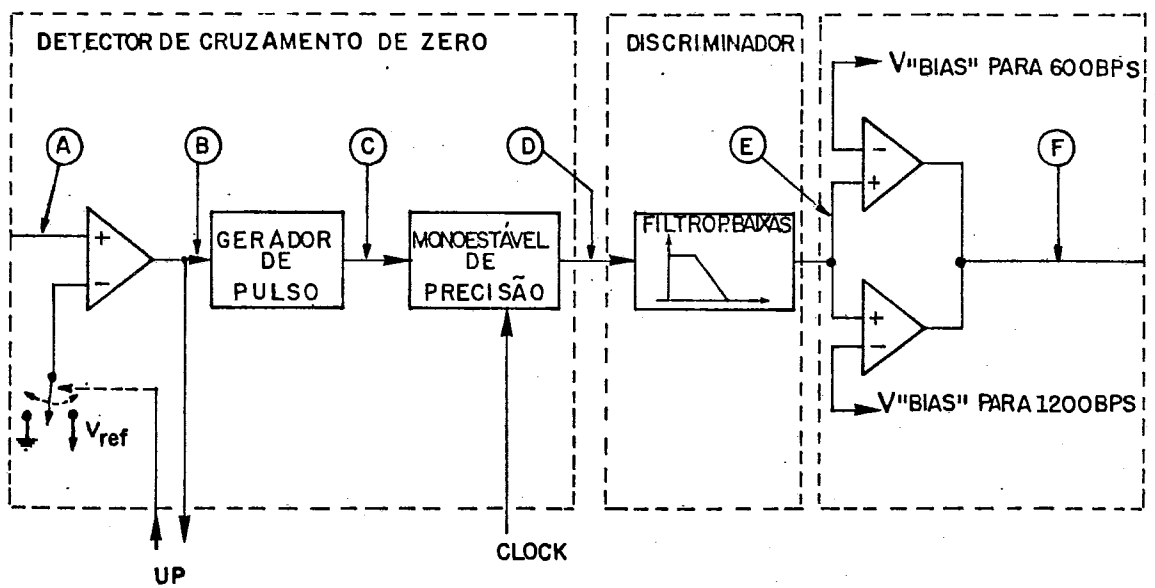


FIGURA III.7: DIAGRAMA EM BLOCOS DO DEMODULADOR FSK POR CRUZAMENTO DE ZERO

mente sensível à variação destes fatores que causam uma redução da qualidade do sinal digital por efeito do desajuste do "BIAS" e do aumento da taxa de distorção telegráfica.

O detector de cruzamento de zero tem, na sua entrada, um comparador de tensão com aplicação não só na demodulação, como também no ajuste de ganho automático. Para isso, a tensão de comparação pode ser comutada para os valores dois volts ou zero volts, de acordo com a operação em andamento. Este chaveamento é controlado pela unidade de processamento, que tem uma de suas entradas de interrupção ligada diretamente à saída deste comparador.

Dessa forma, durante o ajuste do ganho, a UP comuta a tensão de referência para dois volts e incrementa o ganho dos amplificadores até que haja sucessivos cruzamentos do sinal analógico com a tensão de referência. Neste momento, a UP considera completado o ajuste do ganho, mascara a interrupção vinda do comparador e comuta a tensão de referência para zero volts.

A comparação com zero volts é a primeira etapa necessária à demodulação por "cruzamento de zero" conforme já explicado anteriormente. Após passar pelo comparador, o sinal analógico terá a sua forma de onda modificada de acordo com a figura III.6. O sinal, obtido na saída do comparador, é levado a um circuito gerador de pulsos que emite um pulso a cada transição positiva ou negativa do sinal quadrado. Este trem de pulsos, correspondente aos instantes em que ocorreram os cruzamentos de zero do sinal analógico, é alimentado ao circuito monoestável digital.

A função do circuito monoestável digital é a de gerar um pulso de largura e amplitude constantes, quando acionado por cada um dos pulsos enviados pelo circuito anterior. O monoestável digital é constituído por um circuito contador controlado pelo "clock" do sistema, resultando em grande precisão na largura dos pulsos de saída. Esta característica do circuito, juntamente com a estabilidade da amplitude do pulso de saída, garantem uma demodulação do sinal, sem a ocorrência de alterações na presença de grandes mudanças de temperatura ou envelhecimento dos componentes.

O sinal de saída do monoestável é um trem de pulsos retangulares iguais, com período idêntico ao semi-período do sinal analógico, e que terá no seu valor do nível DC, a informação digital a ser recuperada. Esta informação de baixa frequência é isolada dos demais sinais de alta frequência por intermédio do filtro discriminador.

O filtro discriminador é do tipo passa-baixas ativo com transferência elítica de terceira ordem. Esta transferência permite obter-se uma boa rejeição do espectro indesejável do sinal composto, apesar da grande proximidade do espectro deste com o da banda básica a ser filtrada.

A figura III.8A apresenta o espectro de potência do trem de pulsos de largura e amplitude constantes. O espectro obtido na saída do filtro discriminador é apresentado na figura III.8B (velocidade de transmissão = 1200 bps).

A banda passante do filtro discriminador foi posicionada de forma a permitir a demodulação de um sinal transmitido tanto a uma taxa de sinalização de 1200 bps como a 1800 bps. A escolha da frequência de corte superior em 800 Hz é uma solução de compromisso. Isto porque, sendo o corte feito em frequência inferior, teríamos como resultado a mutilação do espectro de banda básica a 1800 bps. Por outro lado, um corte em frequência acima de 800 Hz permitiria a passagem de parte do espectro de frequências altas do sinal modulado a 1200 bps.

O atraso de grupo nesta etapa da demodulação é menos crítico devido à menor largura do espectro do sinal de banda básica. Para um sinal binário aleatório, a largura do espectro resultante da demodulação é numericamente igual, em hertz, à metade da taxa de sinalização binária medida em bits por segundo, devido à ação de filtragem nas várias fases do processo³. As grandes distorções de atraso de grupo apresentadas pela transferência elítica encontram-se nas frequências fora da banda passante. Tais distorções, portanto, não afetam, de modo relevante, o sinal demodulado.

A forma de onda suavizada do sinal de saída do discriminador é alimentada a um comparador de tensão. Obtem-se assim

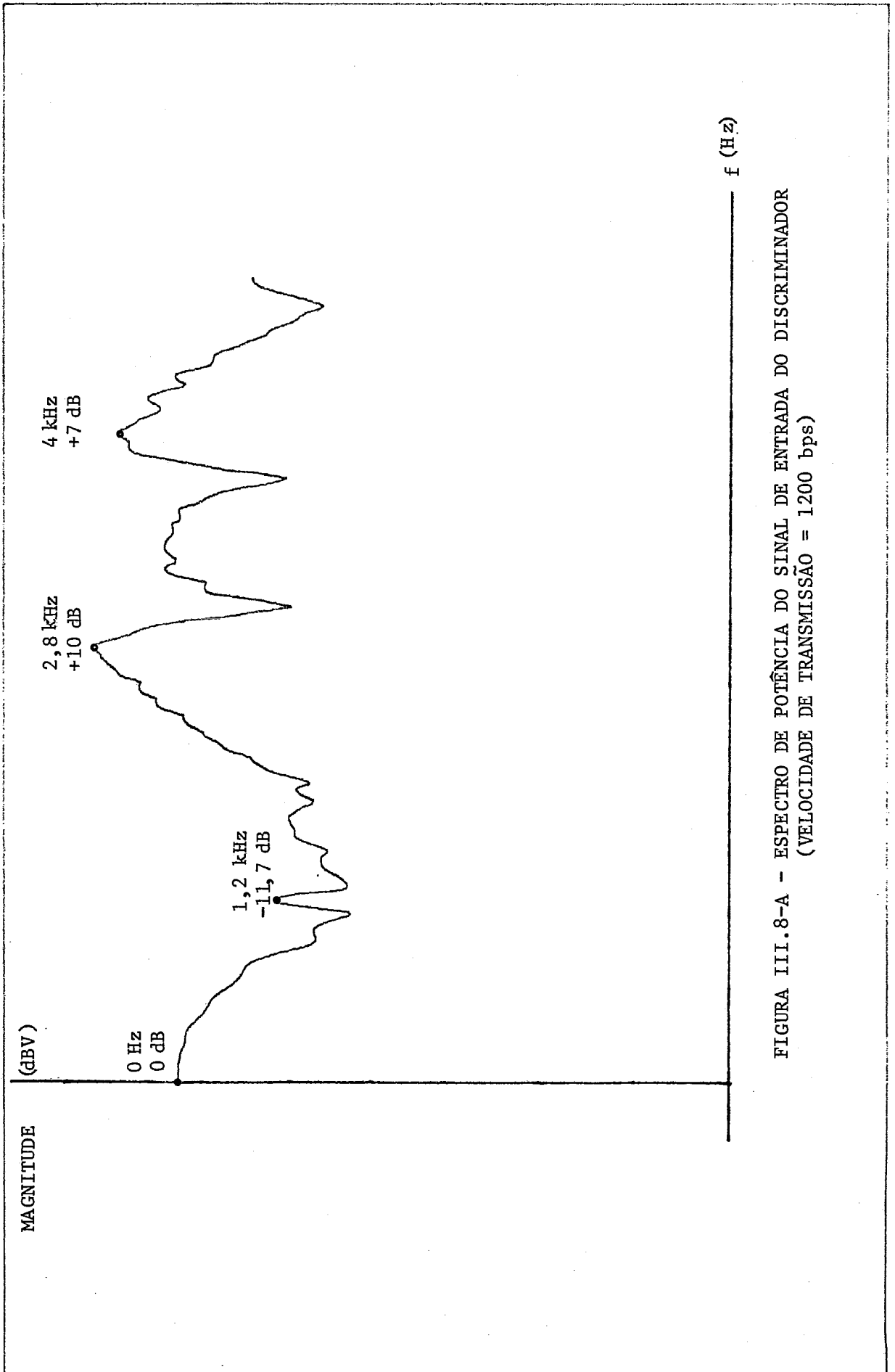


FIGURA III.8-A - ESPECTRO DE POTÊNCIA DO SINAL DE ENTRADA DO DISCRIMINADOR
(VELOCIDADE DE TRANSMISSÃO = 1200 bps)

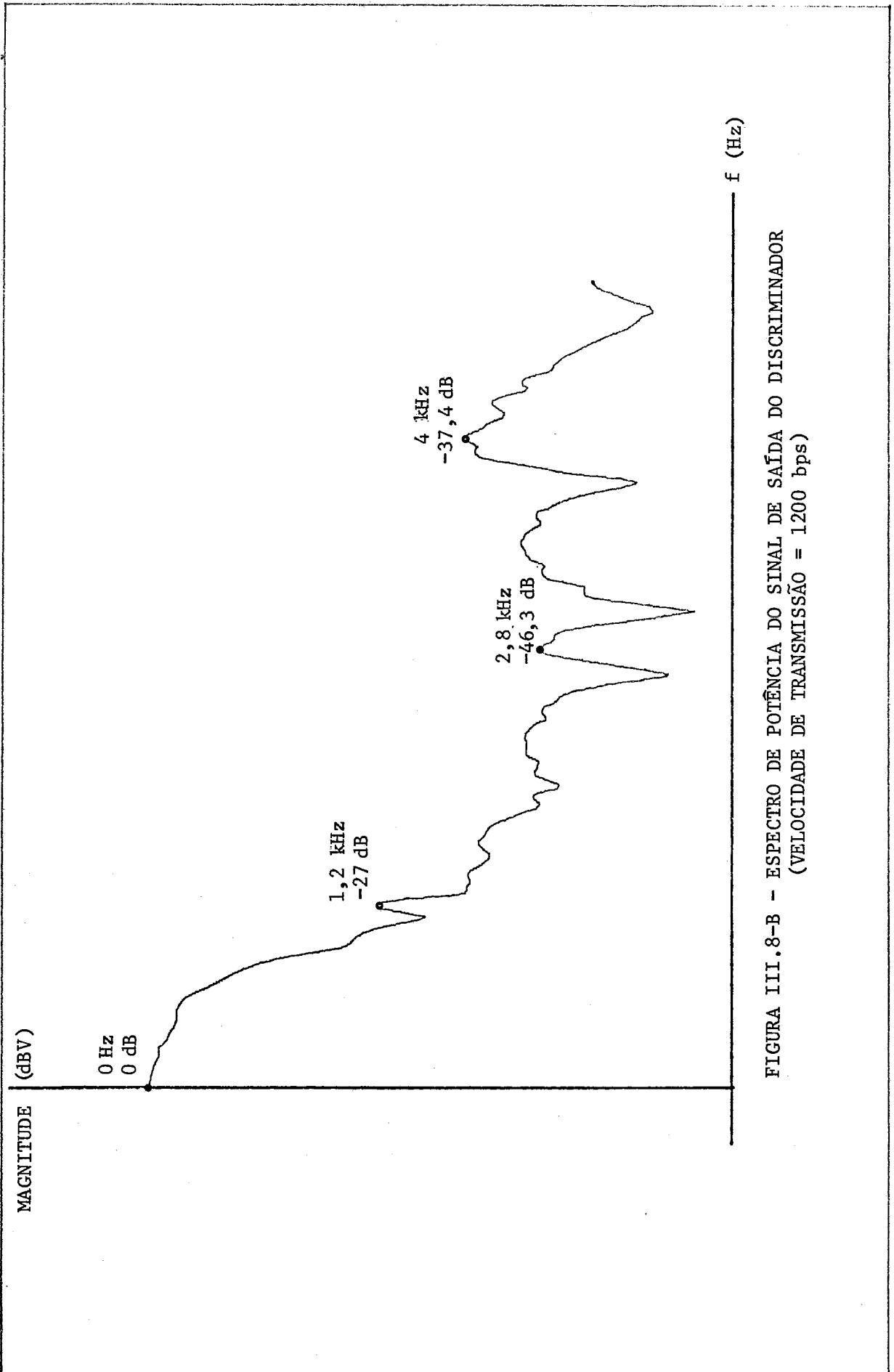


FIGURA III.8-B - ESPECTRO DE POTÊNCIA DO SINAL DE SAÍDA DO DISCRIMINADOR
(VELOCIDADE DE TRANSMISSÃO = 1200 bps)

a conformação de um sinal digital compatível com a lógica binária do equipamento terminal de dados. A tensão de comparação é ajustada de forma a obter-se iguais períodos dos bits "zero" e "um" de uma informação digital livre de interferências entre os bits adjacentes. Este ajuste é conhecido como ajuste de polarização ou simplesmente "BIAS".

O circuito de "BIAS" utiliza dois comparadores, devido à possibilidade de funcionamento com distintos conjuntos de frequências relativos ao bit "um" e ao bit "zero", de acordo com a taxa de sinalização utilizada. Para a transmissão a 600 bps, as frequências das senóides do sinal FSK são 1300 Hz e 1700 Hz. Para 1200 bps, as frequências de saída são 1300 Hz e 2100 Hz. As tensões de referência usadas pelo comparador em 600 bps e em 1200 bps são, portanto, diferentes. Para a utilização de um único comparador seria necessário um chaveamento analógico para a mudança desta tensão de referência de acordo com o se_lecionamento da velocidade de transmissão, feito automaticamente pelo ETD. O chaveamento analógico, entretanto, não oferece suficiente estabilidade da tensão de referência para o funcionamento do circuito de "BIAS". Optou-se então pela duplicação dos comparadores, cada qual com a sua referência fixa, garantindo a estabilidade da demodulação com variações da temperatura e envelhecimento de componentes.

A operação no "modo 1800 bps" é feita utilizando-se frequências na interface analógica que diferem dos valores adotados pela Telebrás tanto para 1200 bps como para 600 bps. No "modo 1800 bps" as frequências de 1200 Hz e 2400 Hz estão relacionadas aos bits "zero" e "um", respectivamente. A operação com diferentes frequências requer um reajuste da tensão de referência do circuito de "BIAS". Entretanto, neste modo de operação não existe uma separação da velocidade de transmissão em duas faixas distintas com diferentes valores das frequências dos sinais analógicos. É suficiente, portanto, o ajuste da tensão de referência de apenas um dos comparadores do circuito de "BIAS", que operará também no "modo 1800 bps". Este novo ajuste da tensão de referência deve ser feito por ocasião do condicionamento do Modem para a operação em um dos dois possíveis modos de operação.

A demodulação propriamente dita está concluída no circuito de "BIAS", em cuja saída obtem-se a informação digital transmitida à linha por meio de uma portadora analógica. Entretanto, de acordo com as normas internacionais, um Modem deve dispor de circuitos sensíveis à presença de portadora, de modo a informar esta condição de comunicação ao terminal de dados. Deve também ser capaz de, na ausência de um nível mínimo de portadora na linha, impedir o aparecimento de dados digitais falsos devido à demodulação de ruído. Essas funções são desempenhadas pelo circuito detector de portadora e pelo circuito "CLAMP", respectivamente.

O circuito detector de portadora é constituído pelos elementos apresentados na figura III.9. A função básica deste circuito é a de apresentar, à sua saída, um nível binário "um" ou "zero" para uma amplitude da portadora na entrada, respectivamente maior ou menor que determinada tensão de referência.

A detecção de portadora apresenta uma histerese de acordo com o gráfico ilustrativo apresentado na figura III.10. O nível de referência assume um entre dois valores determinados, de acordo com o estado de saída do circuito. Para o estado "ativado" o nível será de -48 dBm e para o estado "desativado" o nível será de -43 dBm. Esse efeito de histerese é definido pela CCITT e Telebrás (histerese mínima de 2 dB) e tem como objetivo evitar uma intermitência na indicação da portadora. Esta intermitência seria gerada pelo ruído superposto a uma portadora com amplitude igual ao nível de referência, caso este nível fosse fixo.

Igualmente definidos pelas normas internacionais são os tempos de atraso no acionamento do circuito detector em resposta ao cruzamento da portadora com os níveis de referência. Esses atrasos tem o propósito de impedir que ruídos impulsivos de grande amplitude troquem momentaneamente o estado da saída do circuito.

Os elementos mostrados na figura III.9 e que compõem o detector de portadora são um comparador, dois circuitos de atraso e uma realimentação para a mudança do nível de comparação da

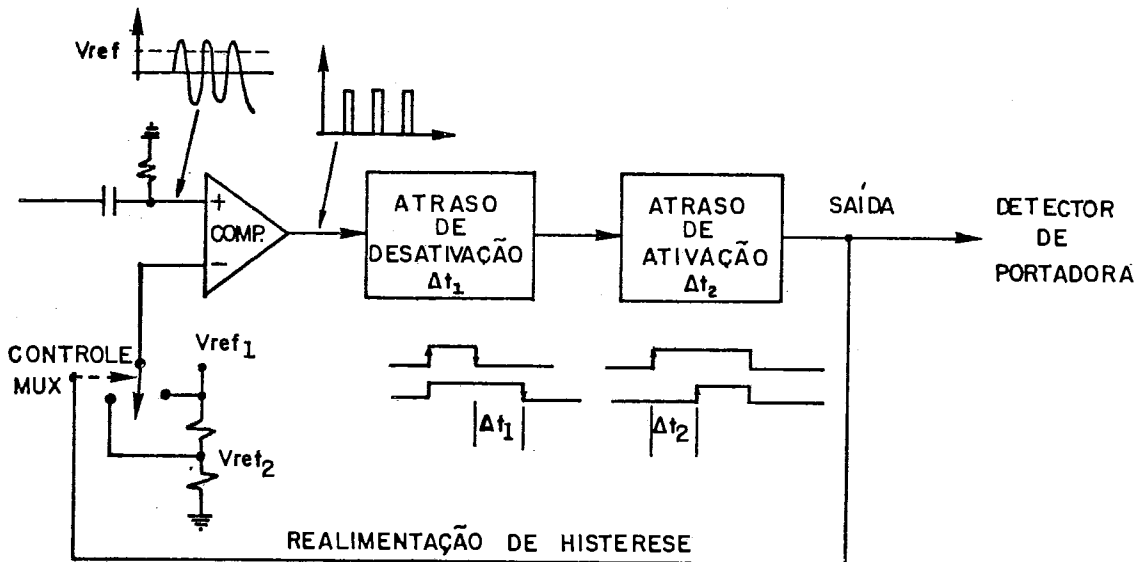


FIGURA III. 9: DIAGRAMA EM BLOCOS DO DETECTOR DE PORTADORA

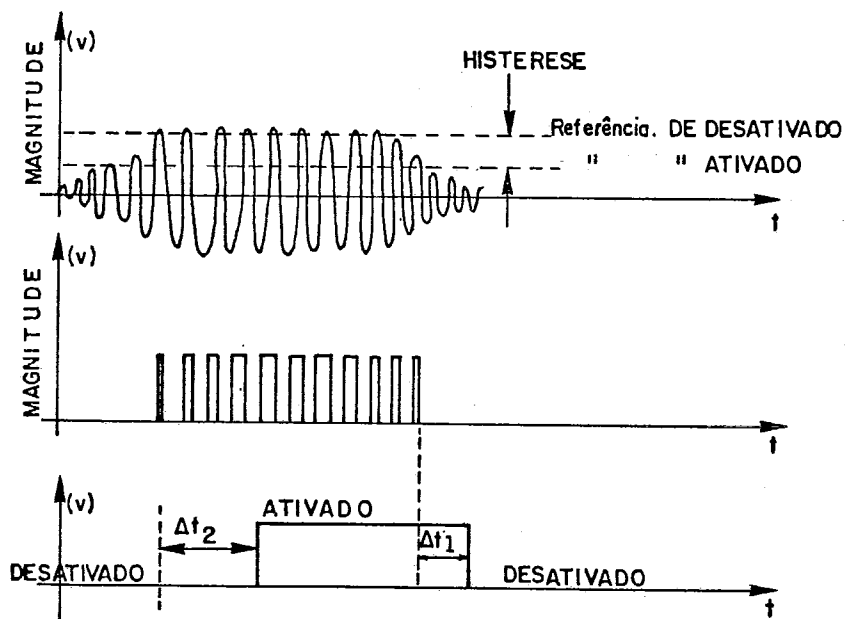


FIGURA III. 10: GRÁFICO DOS TEMPOS DE ATIVAÇÃO E DESATIVAÇÃO E O EFEITO DE HISTERESE

portadora (histerese). O sinal analógico injetado no comparador é retirado da saída do filtro passa-baixas ativo de segunda ordem, de acordo com o diagrama em blocos do receptor apresentado na figura III.2. Desta forma obtemos um sinal de portadora filtrado por este estágio mas com sua amplitude inalterada. O acoplamento é feito por intermédio de um circuito passa-altas cuja função é bloquear qualquer "off set" apresentado pelo amplificador operacional do filtro ativo.

O trem de pulsos na saída do comparador aciona um circuito monoestável cuja função é gerar atrasos na desativação do detector. No caso de interrupção do trem de pulsos (queda de portadora), o circuito de atraso desativará a sua saída com um atraso Δt_1 em relação ao último pulso recebido. Esse tempo Δt_1 é muito maior que o período de ocorrência dos pulsos, ou seja, o período da menor frequência do espectro.

De modo similar ao funcionamento do circuito de atraso de desativação, o circuito de atraso de ativação só mudará o seu estado em um tempo Δt_2 após o acionamento da sua entrada. Isto representa uma ativação da saída do detector de portadora após determinado número de ciclos de portadora.

A realimentação garante a mudança do nível de referência, para a detecção de portadora, por chaveamento da tensão de comparação conforme apresentado na figura III.9.

Finalizando a recepção, temos o circuito de "CLAMP" cuja função é o bloqueio da recepção na ausência de portadora ou mesmo na presença de uma portadora de amplitude insuficiente para a demodulação. Com esse bloqueio evita-se a saída, para o ETD, de dados digitais falsos resultantes da demodulação de ruídos de linha. A interrupção, pelo "CLAMP", do fluxo de dados do demodulador também é necessária durante o funcionamento em "Half-Duplex" a dois fios. Neste modo de operação, a saída do transmissor e a entrada do receptor estão conectados em paralelo conforme mostrado na figura III.11. Assim sendo, toda a informação transmitida pelo equipamento terminal de dados seria realimentada a ele mesmo, não fosse a ação de bloqueio do "CLAMP".

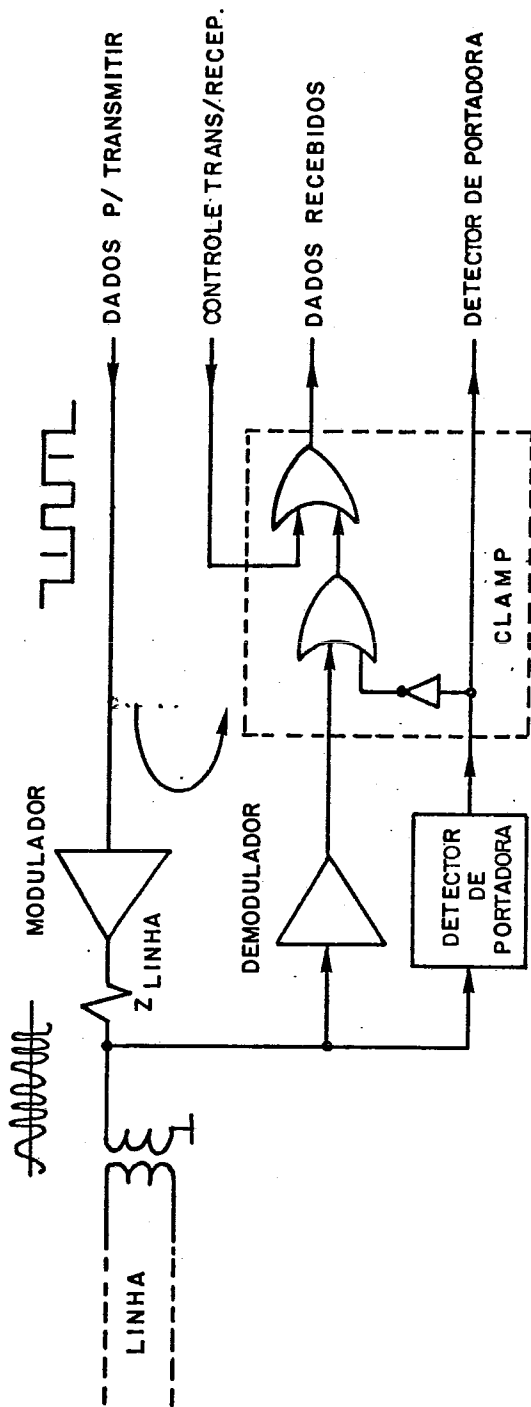


FIGURA III . 11 : ESQUEMA INTERNO PARA OPERAÇÃO EM "HALF DUPLEX" E CIRCUITO "CLAMP."

III.4 - Resumo

A implementação do receptor do Modem foi apresentada neste capítulo. Os circuitos subdividem-se em diversos blocos que foram dispostos de modo a obter-se uma otimização do funcionamento do conjunto.

O sinal é inicialmente recuperado, havendo para isso uma filtragem dos ruídos e em seguida uma equalização de fase e amplitude. Após este processo, o mesmo é demodulado para a obtenção da informação digital. O projeto dos circuitos do demodulador foi feito de forma a obter-se uma grande imunidade destes circuitos às variações de temperatura e ao envelhecimento dos componentes, fatores normalmente críticos no sistema FSK.

O detector de portadora tem a função de informar ao ETD sobre a presença de portadora com amplitude suficiente para a demodulação, ao mesmo tempo que, na ausência desta, bloqueia o fluxo de dados para o ETD por intermédio do "CLAMP". O circuito de "CLAMP" é acionado também para o bloqueio do receptor durante a transmissão em "Half-Duplex" a dois fios.

A unidade de processamento mantém o controle dos circuitos que devem ser adaptados para as condições apresentadas por cada linha. Estes circuitos são os equalizadores, o compensador e o amplificador. O microprocessador controla também o circuito do detector de cruzamento de zero para o ajuste automático de ganho.

Foi apresentado o método de controle do ganho dos amplificadores pela palavra binária gerada na unidade de processamento. De forma análoga é feito o ajuste dos equalizadores e do compensador pela UP. Os detalhes de projeto são tratados no capítulo V.

As características de projeto dos diversos blocos do receptor, excetuando-se os descritos no capítulo V, foram analisadas tendo em vista o desempenho requerido em aplicações de controle de sistemas de energia elétrica e a minimização do custo final do produto.

O próximo capítulo trata dos circuitos que compõem o transmissor.

CAPÍTULO IV

TRANSMISSÃO

IV.1 - Introdução

O transmissor tem por finalidade a geração de senóides, cujas frequências instantâneas são função do nível lógico do dado binário a ser transmitido. O valor das frequências correspondentes aos bits "um" e "zero" depende do padrão adotado para a operação do Modem, e, ainda, da taxa de transmissão utilizada. Assim sendo, para o padrão Telebrás, as frequências transmitidas são 1300 Hz e 2100 Hz para os bits "um" e "zero", respectivamente. Isto quando a operação for até 1200 bps. Para o funcionamento na faixa de até 600 bps, as frequências passam a ser 1300 Hz e 1700 Hz, respectivamente. O funcionamento no modo "1800 bps" utiliza como frequências de saída 2400 Hz e 1200 Hz para os bits "um" e "zero", atendendo a um outro padrão de transmissão adotado por determinadas companhias de produção de energia elétrica.

O transmissor é controlado pela unidade de processamento que atua diretamente sobre a geração do sinal analógico. O emprego da UP tem como vantagem uma maior flexibilidade na mudança das frequências das senóides de saída, de acordo com o padrão adotado para a operação do Modem. Um segundo benefício está na maior precisão destas frequências, devido à utilização do relógio interno da unidade de processamento, gerado a cristal.

Os blocos básicos que compõem o transmissor estão indicados na figura IV.1, divididos em:

- i) unidade de processamento,
- ii) sintetizador,
- iii) estágio de ganho,
- iv) filtro passa-baixas.

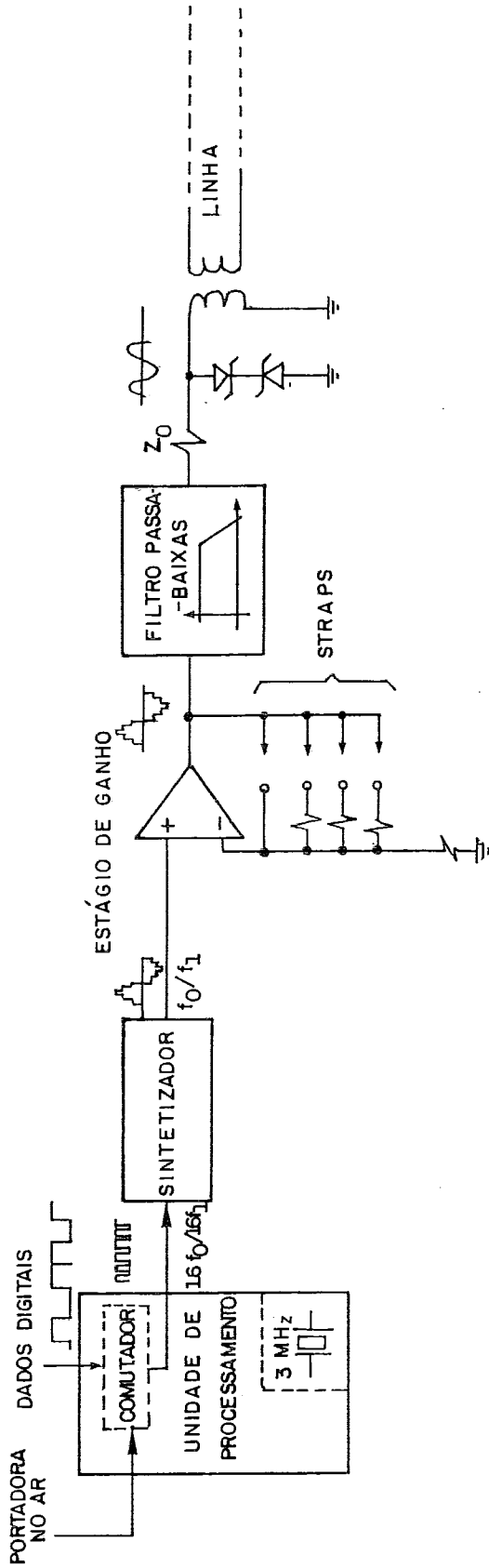


FIGURA IX.1 : DIAGRAMA EM BLOCOS DO TRANSMISSOR

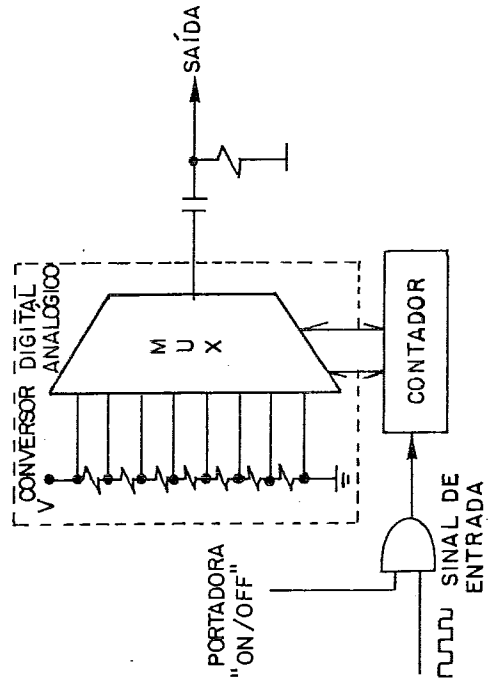


FIGURA IX.2 : SINTETIZADOR DE SENÓIDES POR DEGRAUS

Todos esses blocos, salvo o bloco da UP, são descritos neste capítulo, onde para cada caso são apresentadas as razões que levaram à adoção destas soluções.

IV.2 - Descrição Funcional dos Blocos

O circuito sintetizador é o estágio responsável pela geração da forma de onda senoidal propriamente dita. A figura IV.2 apresenta os elementos que compõem o sintetizador e que são um contador, um multiplexador e uma rede resistiva.

O princípio de funcionamento deste circuito baseia-se na obtenção de uma forma de onda aproximadamente senoidal, sintetizada a partir de determinados níveis discretos de tensão. Estes degraus de tensão são originados por divisores resistivos compostos através do uso de um estágio multiplexador analógico. Os códigos para o selecionamento das entradas do multiplexador são dados pelo contador que, por sua vez, recebe um trem de pulsos proveniente da UP. O contador e o multiplexador são implementados de tal forma que a contagem do primeiro resulte em um selecionamento sequencial das entradas do multiplexador. Esse selecionamento produz, na saída, uma senóide obtida por degraus e cujo período completa-se ao fim de cada dezesseis pulsos na entrada do contador, conforme ilustrado na figura IV.3. A rede resistiva foi calculada de forma a obter-se a melhor aproximação possível de uma curva senoidal.

A frequência instantânea da senóide poderá ser controlada apenas com a variação da frequência do trem de pulsos que alimenta o contador. Esse controle é feito pela unidade de processamento que, por intermédio do circuito comutador, seleciona a frequência de saída de acordo com o sinal binário a ser transmitido. Portanto, para a transmissão de 1300 Hz e 2100Hz, a UP gera saídas de 20800 Hz e 33600 Hz respectivamente. Esses sinais são obtidos pelo circuito comutador (descrito em mais detalhes no capítulo sobre a UP), que utiliza o relógio interno do microprocessador para sua geração. Esse relógio é gerado a cristal, o que garante uma grande precisão na frequência do sinal de saída.

A interrupção de portadora é um controle obrigatório por norma, podendo ser obtido pela simples interrupção do trem de pulsos gerado na unidade de processamento. Desta forma o contador é paralisado e conseqüentemente não haverá mudança do nível de tensão na saída do multiplexador.

A interrupção poderia ser feita por meio da UP que, para isso, paralisaria os contadores por "software". Entretanto, este procedimento obrigaria a manter uma constante vigilância sobre o estado deste controle externo, o que sobrecarregaria o sistema operacional. Preferiu-se então um controle por "hardware", utilizando apenas uma porta lógica para o comando do sinal de entrada do contador.

A saída do circuito sintetizador é acoplada ao próximo estágio por meio de um filtro passa-altas. Sua função é bloquear o nível DC existente na forma de onda sintetizada, conforme pode ser observado na figura IV.3.

O próximo estágio é um amplificador, controlado por meio de "straps", cuja função é ajustar a amplitude do sinal de saída, em função das necessidades de instalação. Os níveis do sinal poderão ser de 0dBm, - 4dBm, - 8dBm ou - 16dBm de acordo com o selecionamento dos "straps".

O sinal, aproximadamente senoidal, obtido do sintetizador, apresenta o espectro de frequências indicado na figura IV.4, onde podemos observar uma grande concentração de energia na frequência fundamental. O espectro, entretanto, estende-se para a região de altas frequências devido às transições bruscas existentes na forma de onda sintetizada.

Paralelamente à geração de harmônicos pelo processo de síntese, a modulação da frequência de uma portadora produz, por si só, um espectro infinito de harmônicos. Entretanto, a faixa de frequências a ser transmitida, necessária e suficiente para a correta recuperação da informação digital, é reduzida conforme discutido no primeiro capítulo. Como a potência transmitida ao canal de comunicação é limitada a, no máximo, 0dBm, torna-se atrativa a filtragem do sinal de FSK de modo a concentrar,

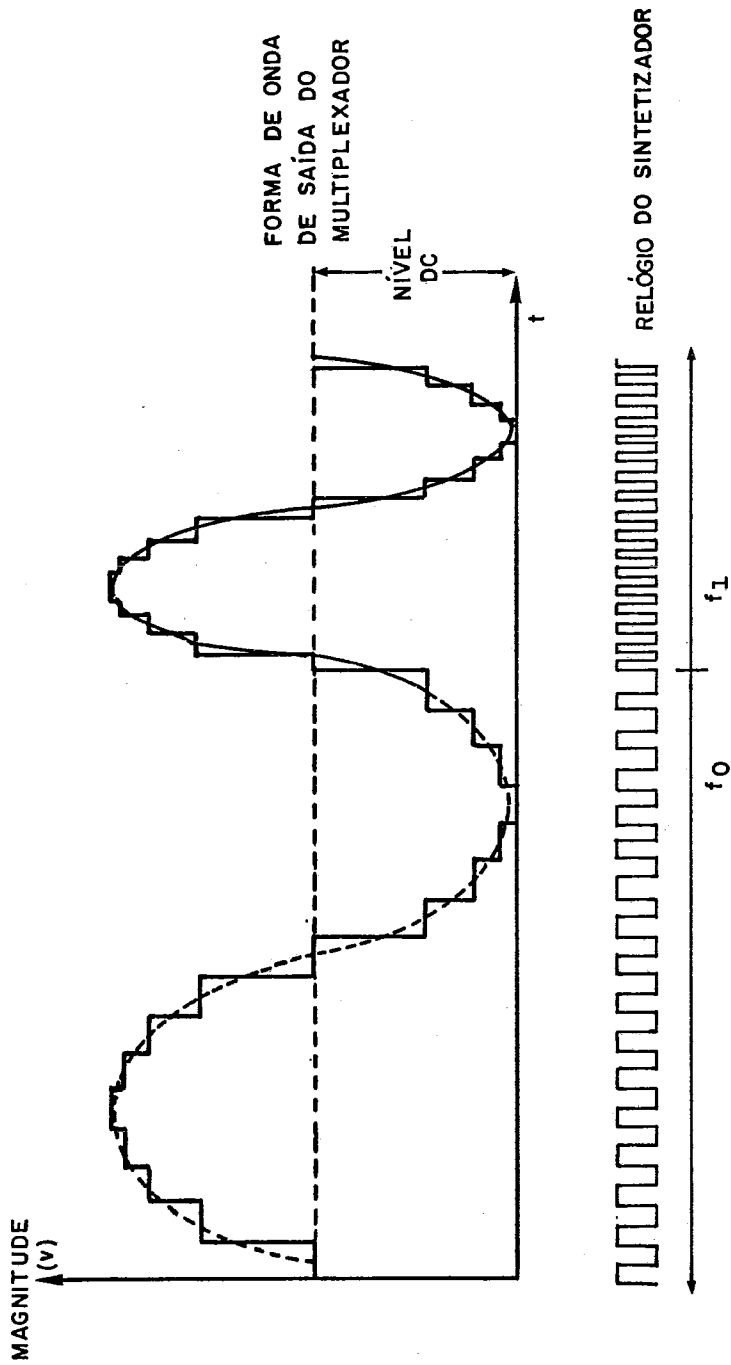


FIGURA IV.3 : SINAIS DE ENTRADA (ABAIXO) E SAÍDA (ACIMA) DO SINTETIZADOR.

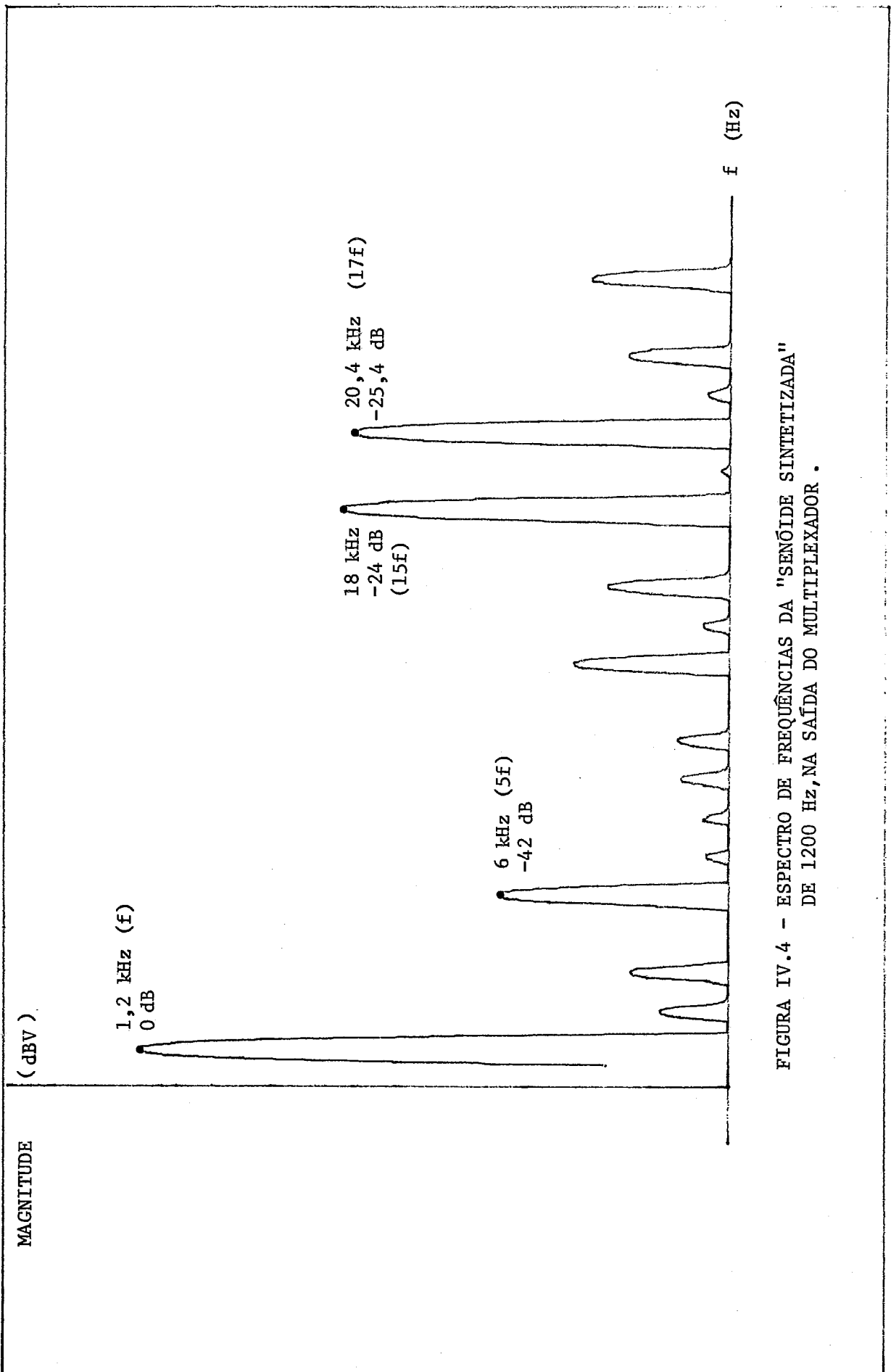


FIGURA IV.4 - ESPECTRO DE FREQUÊNCIAS DA "SENÓIDE SINTETIZADA" DE 1200 Hz, NA SAÍDA DO MULTIPLEXADOR .

no espectro útil, toda a energia permitida. Torna-se necessário o emprego de filtros à saída do Modem também para evitar as interferências em canais adjacentes, causadas pelas componentes de alta frequência do sinal analógico.

A transferência adotada para o filtro passa-baixas de saída foi do tipo Bessel, devido à característica de atraso de grupo plano na banda passante. Fica assim assegurada uma transmissão da informação digital virtualmente sem interferências entre bits adjacentes, devido às distorções em fase do sinal analógico.

A transferência escolhida foi de terceira ordem com queda de 3 dB em 3600 Hz. Os gráficos de atenuação e atraso de grupo são encontrados nas figuras IV-5 e IV-6, respectivamente. Nestas curvas, observa-se um atraso de grupo constante até 2700 Hz e uma banda passante praticamente constante até 3600 Hz. O filtro, portanto, atende às características exigidas para a não alteração da informação digital, pois o espectro do sinal modulado estende-se até os valores máximos de 2700 Hz e 2300 Hz (queda de 3 dB) para as velocidades de 1800 bps e 1200 bps, respectivamente.

Os harmônicos de maior influência sobre o sinal sintetizado de 1200 Hz são o 5º e o 15º harmônicos, conforme apresentado na figura IV.4. Suas amplitudes relativas à fundamental são -42 dB e -24 dB, respectivamente. As amplitudes destes mesmos harmônicos, após a atenuação imposta pelo filtro, são ambas inferiores a -40 dB (apresentadas no gráfico da figura IV.7), podendo ser consideradas desprezíveis. Os harmônicos das senóides sintetizadas com frequência superior a 1200 Hz são rejeitados mais ainda, devido a se localizarem na faixa de maior atenuação do filtro.

O sinal de saída do multiplexador, quando modulado, também apresentará bandas de energia nas regiões de alta frequência. Isto é observado nos gráficos das figuras IV.8 e IV.9. Os gráficos das figuras IV.10 e IV.11 mostram essas faixas secundárias atenuadas pelo filtro Bessel, que reduz suas amplitudes a níveis igualmente desprezíveis.

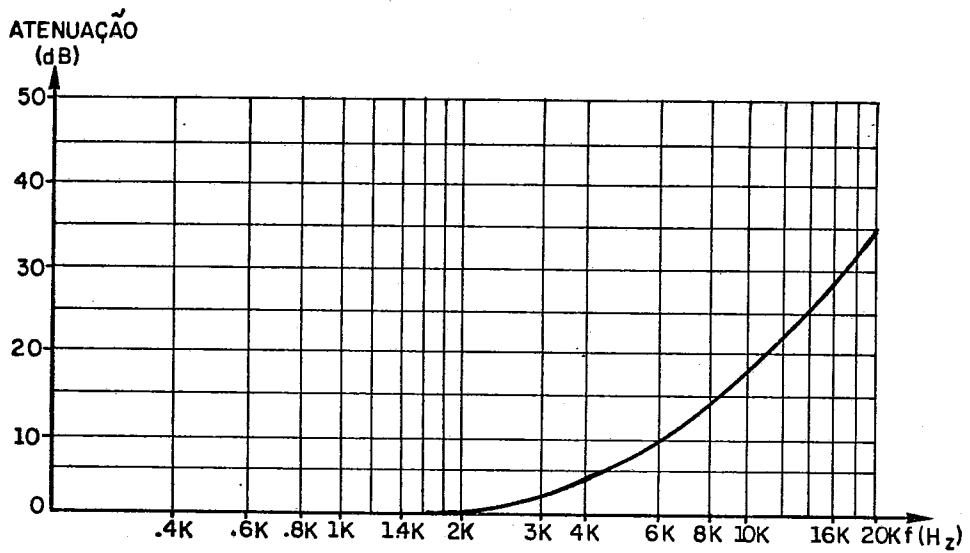


FIGURA IV.5 : GRÁFICO DE ATENUAÇÃO x FREQUÊNCIA DO FILTRO DO TRANSMISSOR

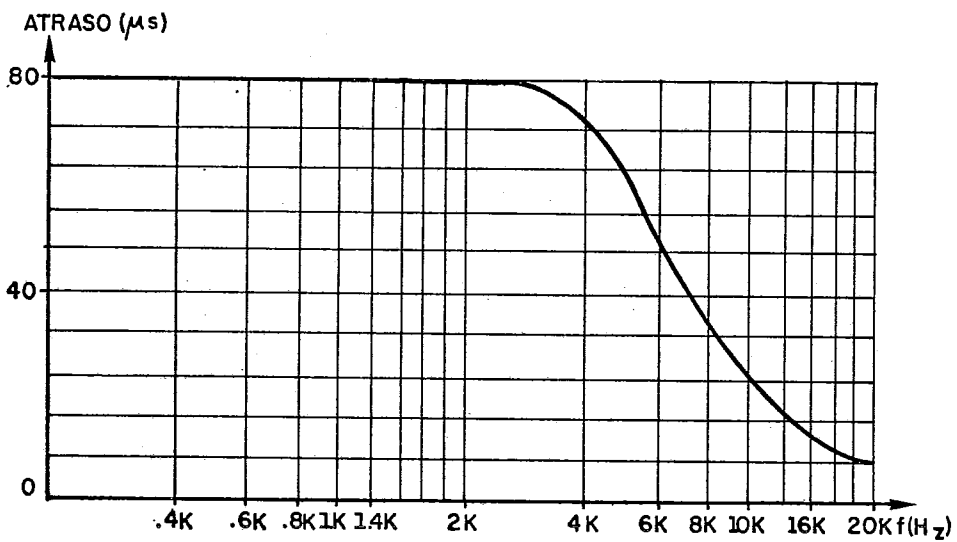


FIGURA IV.6 : GRÁFICO DE ATRASO DE GRUPO x FREQUÊNCIA DO FILTRO DO TRANSMISSOR.

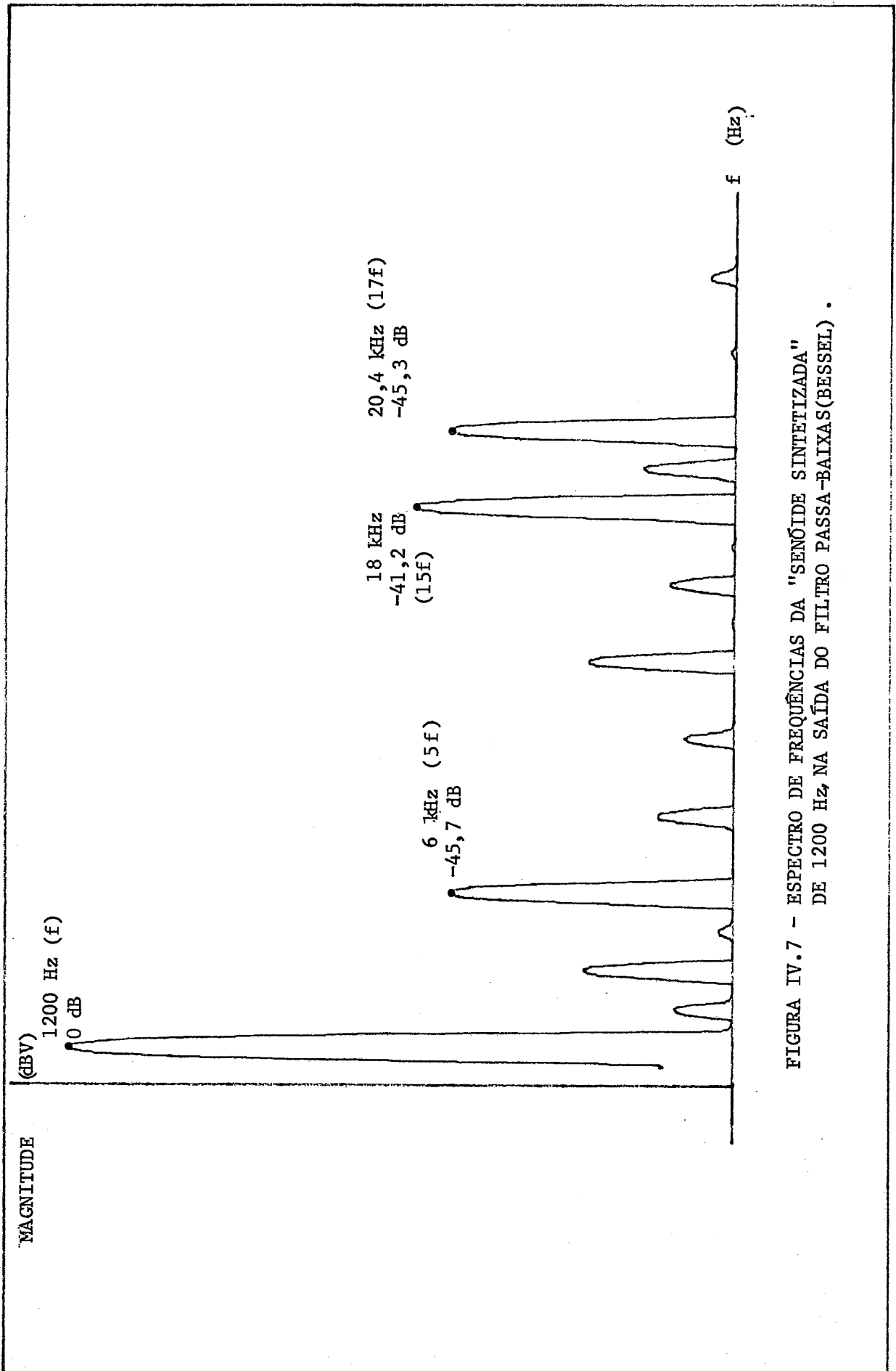


FIGURA IV.7 - ESPECTRO DE FREQUÊNCIAS DA "SENÓIDE SINTETIZADA" DE 1200 Hz, NA SAÍDA DO FILTRO PASSA-BAIXAS(BESSEL) .

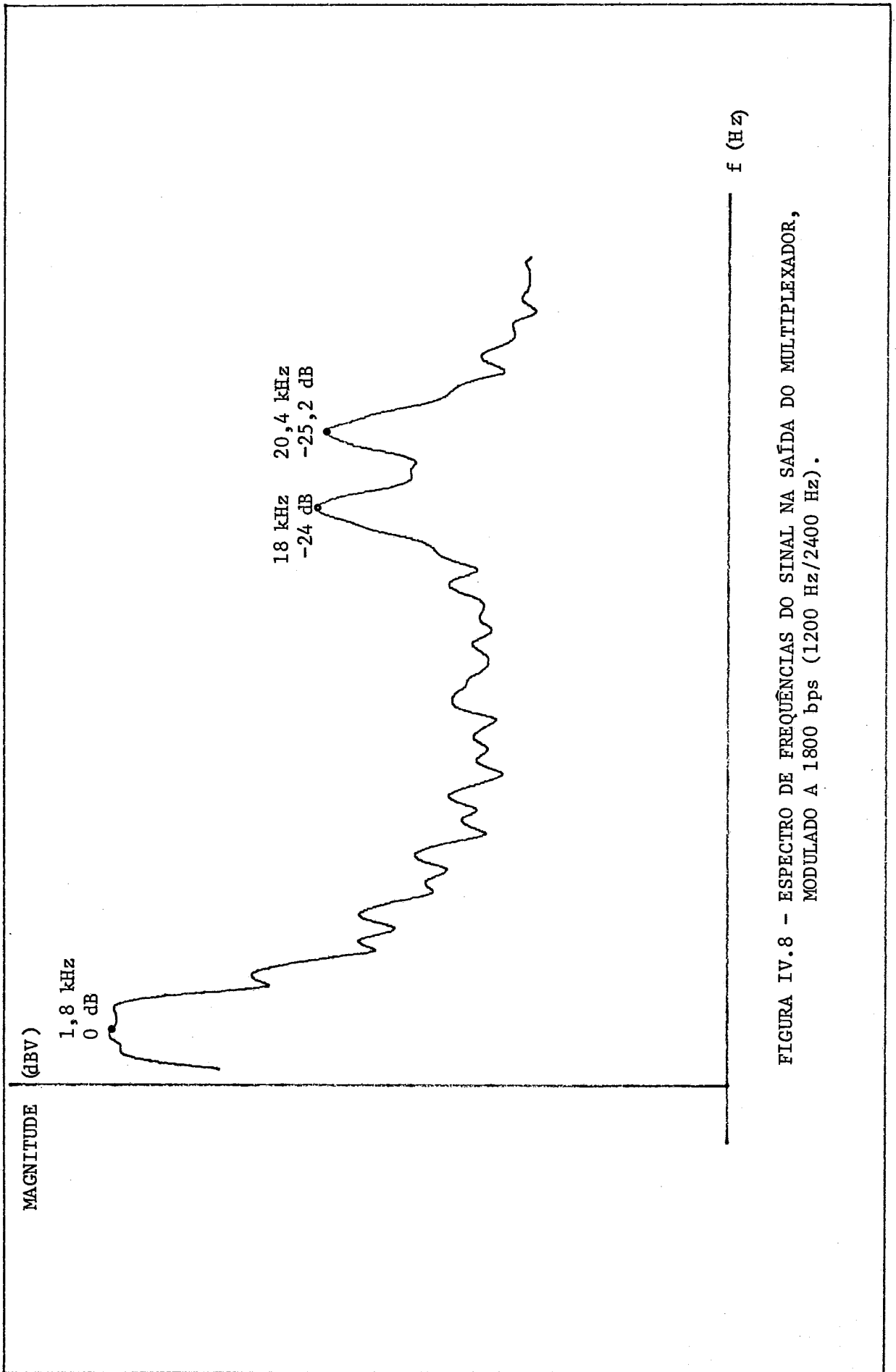


FIGURA IV.8 - ESPECTRO DE FREQUÊNCIAS DO SINAL NA SAÍDA DO MULTIPLEXADOR,
MODULADO A 1800 bps (1200 Hz/2400 Hz).

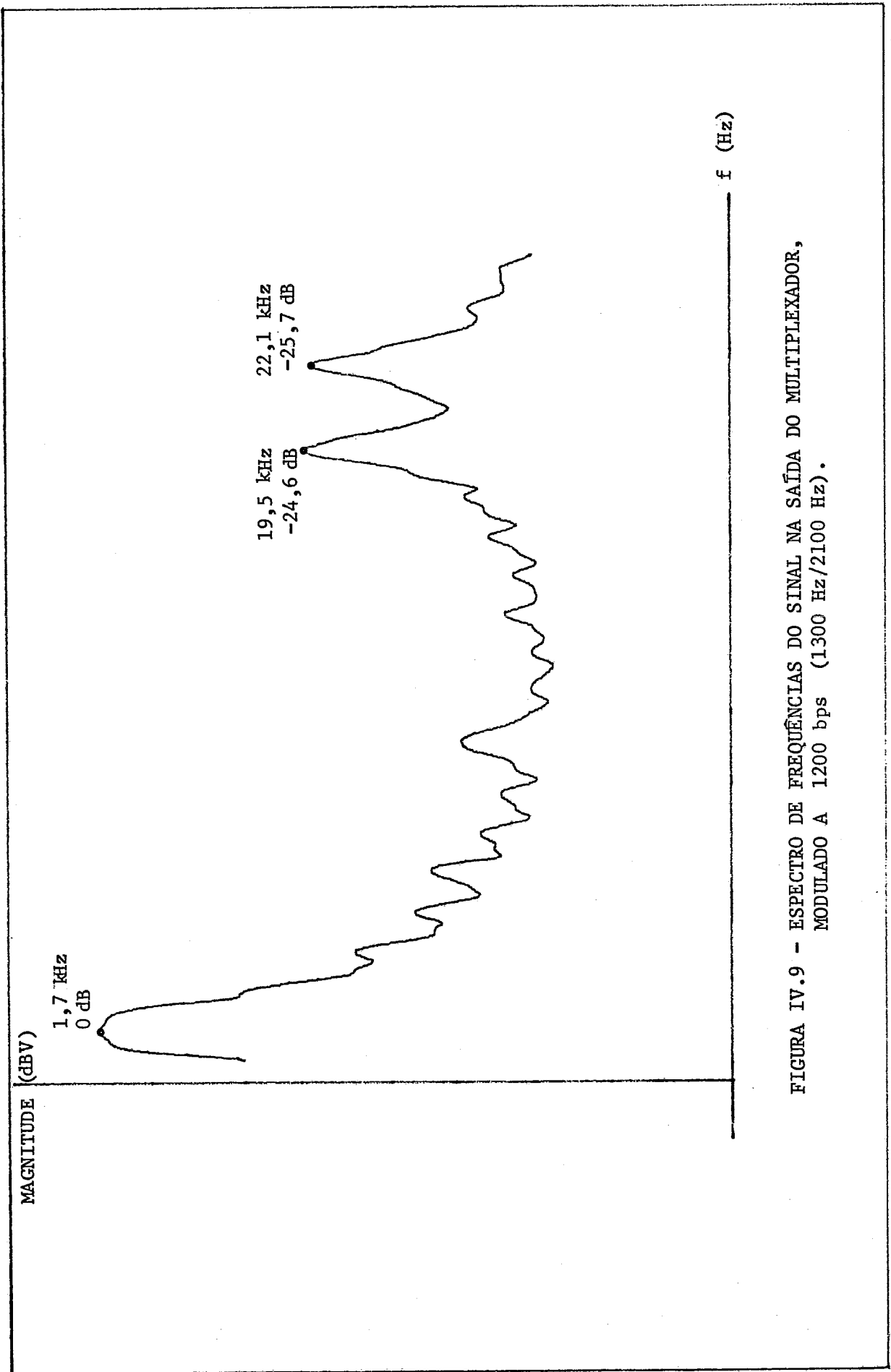


FIGURA IV.9 - ESPECTRO DE FREQUÊNCIAS DO SINAL NA SAÍDA DO MULTIPLEXADOR, MODULADO A 1200 bps (1300 Hz/2100 Hz).

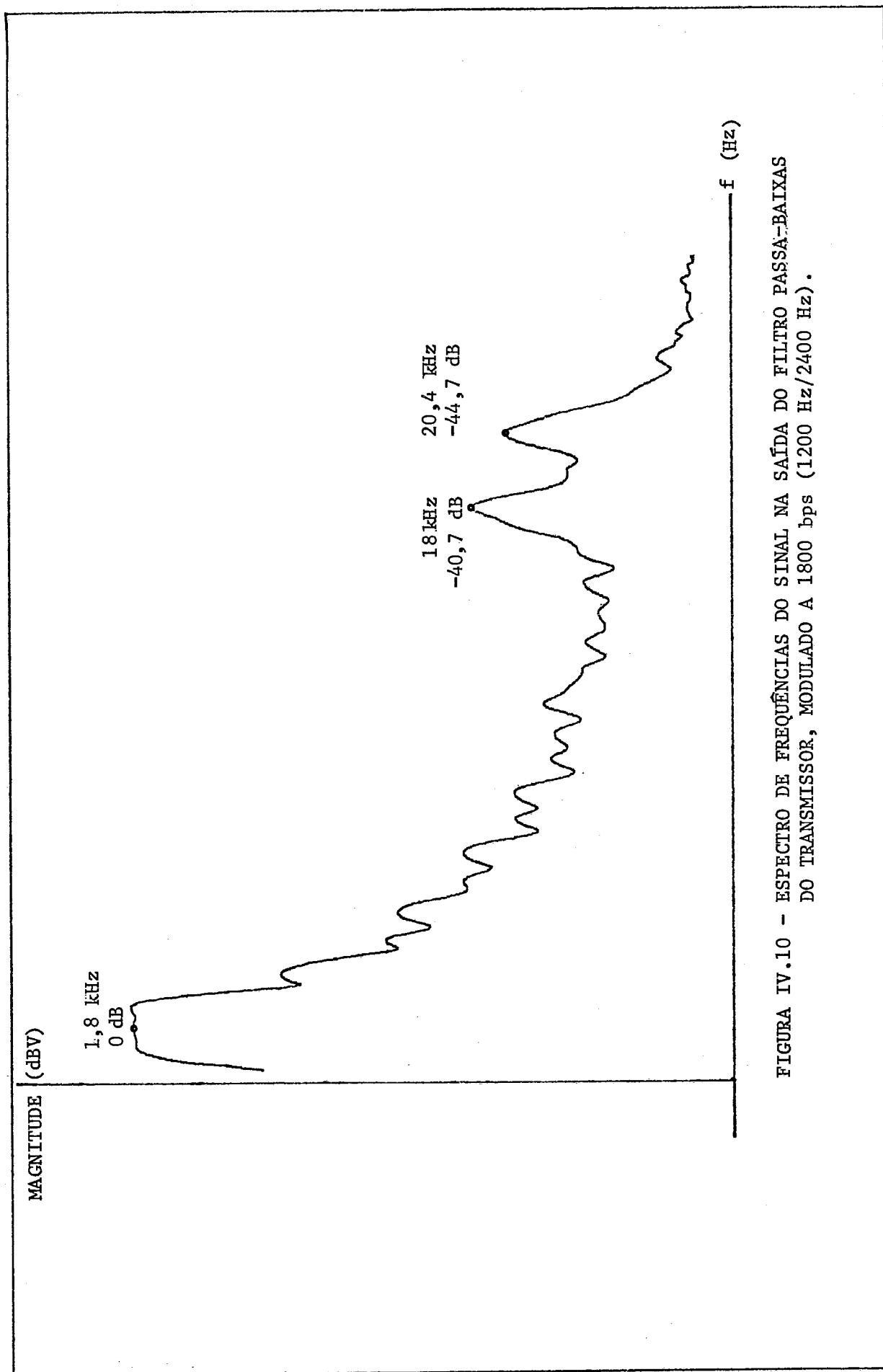


FIGURA IV.10 - ESPECTRO DE FREQUÊNCIAS DO SINAL NA SAÍDA DO FILTRO PASSA-BAIXAS DO TRANSMISSOR, MODULADO A 1800 bps (1200 Hz/2400 Hz).

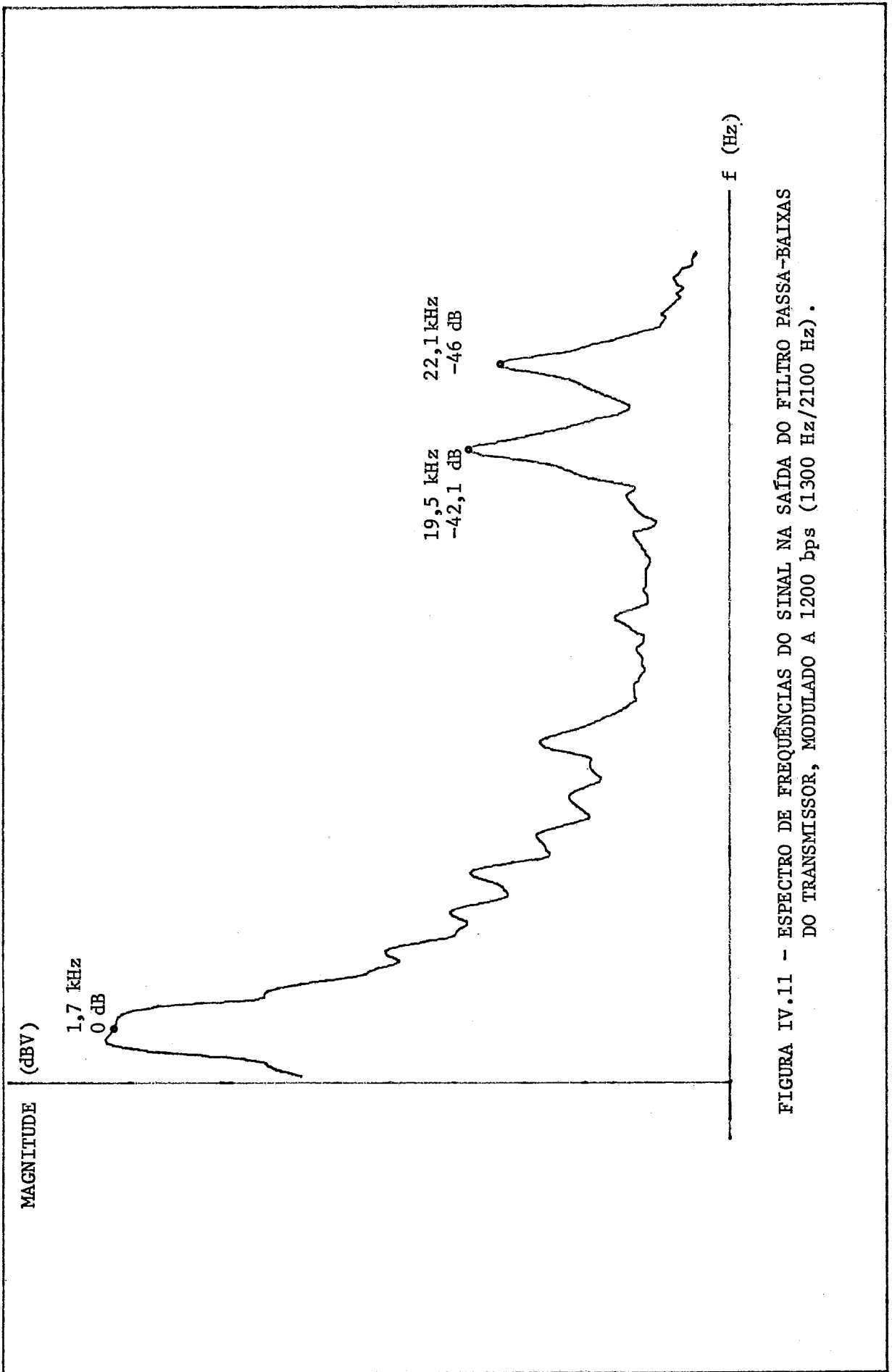


FIGURA IV.11 - ESPECTRO DE FREQUÊNCIAS DO SINAL NA SAÍDA DO FILTRO PASSA-BAIXAS DO TRANSMISSOR, MODULADO A 1200 bps (1300 Hz/2100 Hz).

Finalmente, o sinal já filtrado é acoplado à linha por meio de um transformador para o balanceamento do sinal e a isolação do Modem em relação à linha. Em seu enrolamento primário utilizam-se diodos supressores de surtos para a proteção do estágio de saída, quando em presença de transitórios na linha.

IV.3 - Resumo

Este capítulo apresentou os circuitos que compõem o transmissor e que são basicamente o sintetizador, o amplificador e o filtro passa-baixas.

O sintetizador tem a função de gerar uma forma de onda aproximadamente senoidal, a partir de um trem de pulsos fornecido pela unidade de processamento. O sinal gerado completa um ciclo a cada dezesseis pulsos de entrada. A frequência de saída é, portanto, controlada pela UP de acordo com os bits a serem transmitidos.

A forma de onda gerada no sintetizador é alimentada ao amplificador, cujo ganho é ajustado externamente por meio de "straps". O acoplamento entre este estágio e o sintetizador é obtido por meio de um circuito passa-altas RC. Assim bloqueia-se o nível DC do sinal sintetizado.

O sinal analógico modulado é composto do espectro principal e de várias faixas secundárias em alta frequência. Estas faixas secundárias são geradas pelo processo de síntese e de modulação, sendo rejeitadas pelo filtro de saída. Desta forma, praticamente toda a energia transmitida concentra-se na faixa de frequências do canal.

O filtro de saída deve obedecer às características de ganho constante e fase linear na banda passante, de forma a garantir a transmissão do sinal modulado sem degenerar a informação digital.

A análise foi feita levando-se em conta a transmissão no "modo Telebrás" (velocidade máxima de 1200 bps) e no "modo 1800 bps" (velocidade máxima de 1800 bps).

O próximo capítulo trata dos circuitos equalizadores de fase e ganho, utilizados para a minimização das distorções do sinal analógico provenientes da linha antes da demodulação.

CAPÍTULO V

EQUALIZADORES

V.1 - Introdução

As linhas destinadas à transmissão analógica apresentam normalmente o atraso de grupo variando com a frequência. Esta mudança do retardo deve-se à não linearidade da resposta de fase com a frequência. O seu efeito sobre a transmissão de dados apresenta-se na forma de interferência entre bits adjacentes, conforme citado no capítulo I. A distorção dos dados recebidos depende da máxima variação do atraso de grupo, da forma desta variação e também da taxa de sinalização da informação transmitida.

O emprego de equalizadores de fase visa a garantir a operação do Modem em linhas que apresentam diferentes retardos ao longo da faixa de operação. Os equalizadores são ainda particularmente necessários para o caso de operação no "modo 1800" devido à taxa de sinalização mais elevada, com a consequente ocupação de uma banda mais larga do canal de comunicação. A compensação de linhas com distorções consideradas aceitáveis proporciona não só uma recepção mais confiável, como também a possibilidade da operação de sinais com menor relação sinal/ruído. Este último fato é particularmente vantajoso para a operação em ambientes fortemente ruidosos como sucede em subestações de energia elétrica.

Um segundo fator causador de erros na demodulação dos dados digitais é a excessiva atenuação da parte superior do espectro do sinal composto. Essa atenuação pode ser encontrada em linhas físicas de grande comprimento e não pupinizadas. A neutralização da distorção de amplitude é obtida pelo estágio compensador, comutado ao circuito sempre que detectada a sua necessidade.

A figura V.1 apresenta os três blocos responsáveis pela compensação das distorções de fase e amplitude e que são o equalizador 1, o equalizador 2 e o compensador. Estes blocos

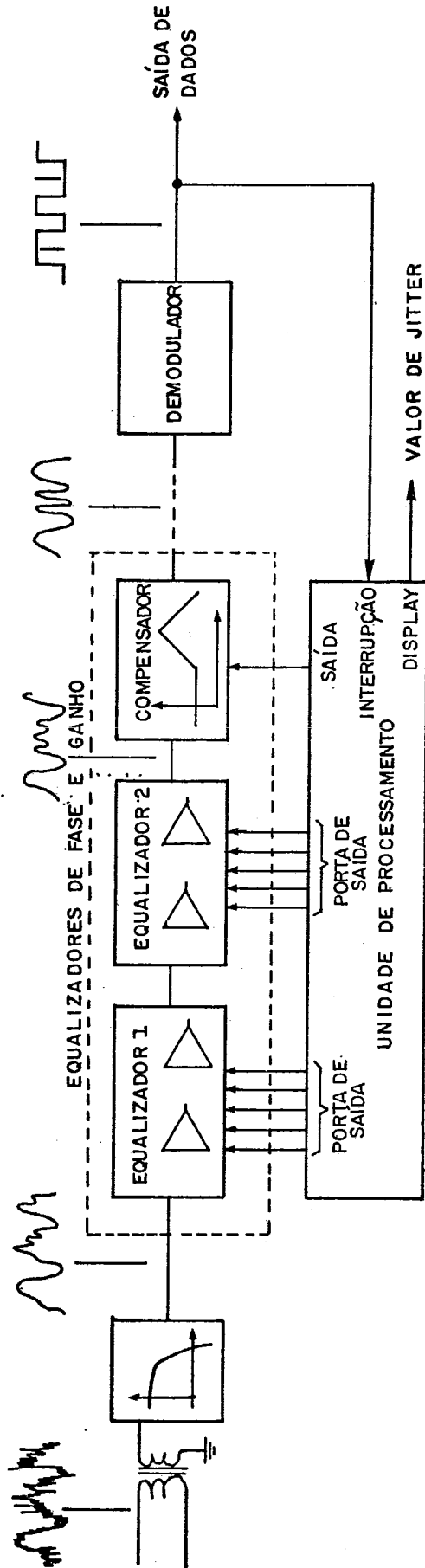


FIGURA V. 1: DIAGRAMA EM BLOCOS DOS EQUALIZADORES E COMPENSADOR COM O CONTROLE PELA UNIDADE DE PROCESSAMENTO.

são controlados pela unidade de processamento que os ajusta de acordo com as características de cada linha.

O presente capítulo trata em maiores detalhes a implementação e do controle destes circuitos.

V.2 - Estágio de Equalização de Retardo

A função básica do estágio de equalização do atraso de grupo é a compensação da variação do retardo apresentado pela linha de transmissão, sem afetar a característica de ganho versus frequência. O circuito utilizado apresenta uma transferência do tipo "passa-tudo" de segunda ordem, cujos polos e zeros estão em quadratura conforme pode-se observar na figura V.2. A função de transferência do filtro passa-tudo é:

$$H(S) = \frac{s^2 - \frac{W_p}{Q_p} s + W_p^2}{s^2 + \frac{W_p}{Q_p} s + W_p^2} \quad (V-1)$$

onde

$$W_p = 2\pi f_p .$$

Devido à distribuição em quadratura dos polos e zeros obtém-se uma resposta plana em amplitude, enquanto o atraso de grupo apresenta-se variável com a frequência, conforme observa-se na figura V.3 . O controle do valor do Q da função de transferência permite alterar não só a forma geral da curva de retardo do circuito, mas também a máxima variação dos valores deste parâmetro com a frequência. Trata-se portanto de um controle útil ao processo de ajuste dos equalizadores, conforme será visto mais adiante.

A implementação deste filtro foi feita utilizando-se um circuito ativo⁵ composto apenas por dois amplificadores operacionais, resistores e capacitores. Os valores e tolerâncias dos componentes são comerciais devido à baixa sensibilidade do circuito às variações destes elementos. A não utilização

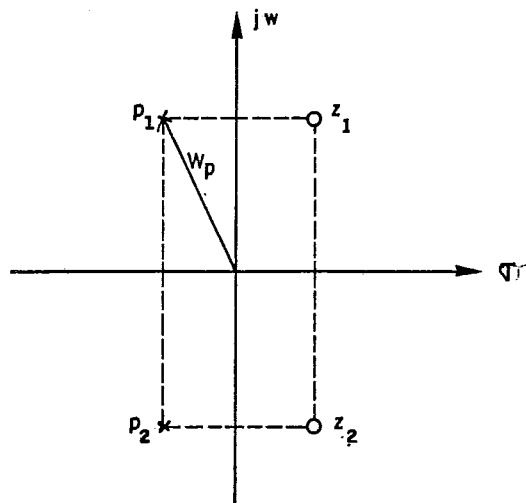


FIGURA V. 2 - DISTRIBUIÇÃO DE POLOS E ZEROS DO "PASSA-TUDO" DE SEGUNDA ORDEM.

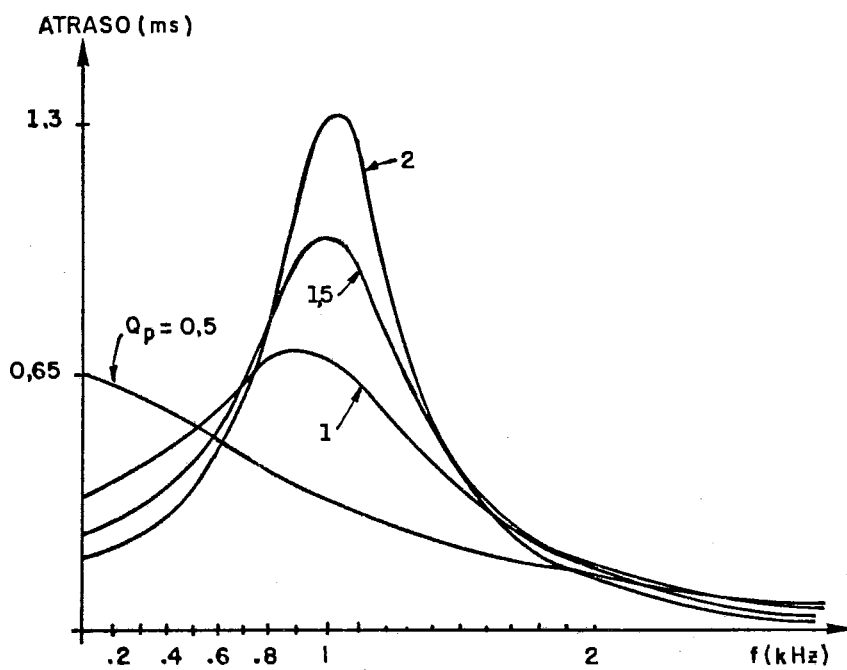


FIGURA V. 3 - GRÁFICO DE ATRASO DE GRUPO x FREQUÊNCIA DO PASSA-TUDO DE 2ª ORDEM COM $f_p = 1 \text{ kHz}$, PARA ALGUNS VALORES DE Q_p .

de indutores garante uma montagem mais robusta, confiável e sem a necessidade de blindagens ou outros cuidados especiais. Conclui-se, então, tratar-se de um circuito com baixo custo de produção.

Uma outra característica apresentada por esta implementação é a possibilidade de controle do valor do Q da transferência, sem afetar o f_p , apenas atuando-se sobre o valor ôhmico de um único resistor do circuito (R_q). Como o controle dos equalizadores é feito pela unidade de processamento através de uma palavra de cinco bits, esse resistor é então substituído por uma rede de resistores comutados por chaves analógicas. Esta rede, representada na figura V.4, corresponde a um conversor digital/analgico onde a saída é um conjunto discreto de valores ôhmicos que atuam diretamente sobre o circuito. O valor de resistência obtido a partir de uma palavra binária de cinco bits vale:

$$R_q = R_o (B_4 2^4 + B_3 2^3 + B_2 2^2 + B_1 2 + B_0 + 1)$$

onde

B_i = valor 1 ou 0 assumido pelo i -ésimo bit da palavra de controle.

Nota-se que R_q varia entre o valor mínimo de R_o e o máximo de $32 R_o$, com $\Delta R_q = R_o$.

Partindo-se da equação (V-1) obtém-se a seguinte expressão para a fase do passa-tudo de segunda ordem:

$$\theta(\omega) = -2 \arctan \frac{\frac{W_p \omega}{Q}}{W_p^2 - \omega^2} \quad (V-2)$$

e para o atraso de grupo:

$$\tau(\omega) = -2 \frac{\frac{W_p}{Q} (\omega_p^2 + \omega^2)}{(\omega_p^2 - \omega^2)^2 + \left(\frac{W_p}{Q} \omega\right)^2} \quad (V-3)$$

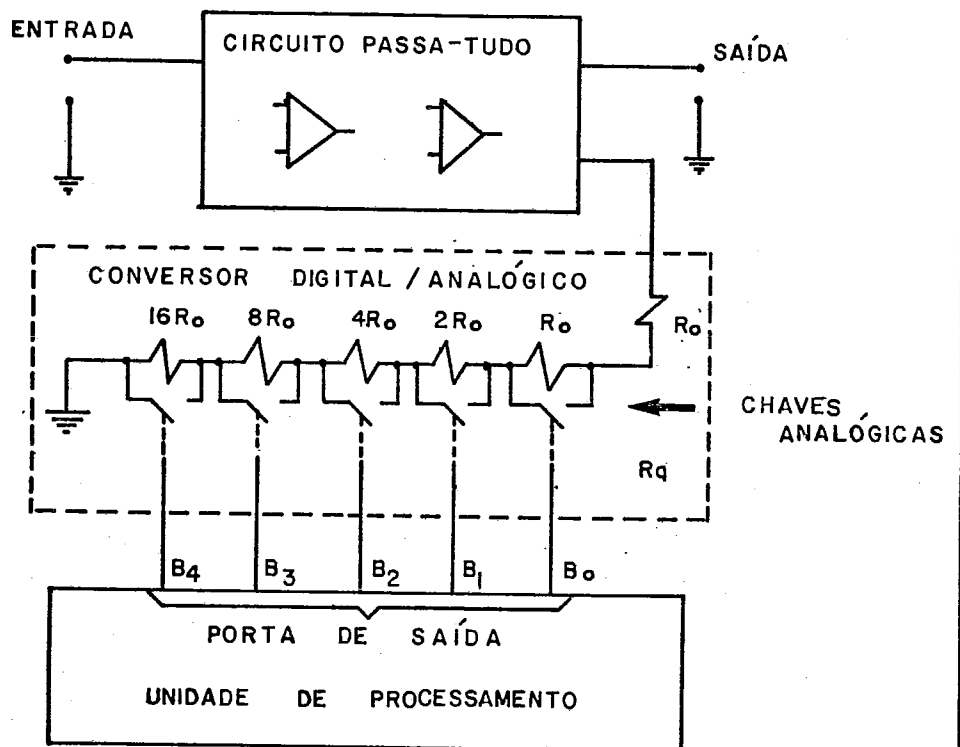


FIGURA V.4: REDE DE CONTROLE DE R_q PARA O COMANDO DO CIRCUITO EQUALIZADOR

cujo valor para $W = W_p$ é

$$\tau(W_p) = -\frac{4Q}{W_p} . \quad (V-4)$$

Conforme já mencionado, o valor de Q no circuito implementado como passa-tudo é função direta de R_q ou seja:

$$Q = \alpha R_q \quad (V-5)$$

onde α é uma constante de proporcionalidade que depende do dimensionamento dos demais componentes do filtro. Substituindo-se Q na equação (V-4) obtém-se:

$$\tau(W_p) = -\frac{4\alpha}{W_p} R_q . \quad (V-6)$$

O valor de R_q pode variar entre um valor máximo igual a $32R_o$ e um mínimo que vale R_o , de acordo com a palavra de controle proveniente da unidade de processamento. Observa-se também que:

$$\Delta\tau(W_p) = -\frac{4\alpha}{W_p} R_o = -\frac{\tau_{\text{máximo}}}{32} . \quad (V-7)$$

Por meio desta expressão pode-se verificar se o número de bits usado na rede resistiva atende às necessidades de valor de retardo máximo que deve ser obtido do equalizador, e máxima variação tolerada do retardo com o bit menos significativo. A verificação quantitativa é feita no próximo item.

V.3 - Compensação das Distorções das Linhas

A equalização de uma determinada característica de atraso de grupo é obtida com a adição, em cascata, de um estágio compensador, cujo formato da curva de retardo é aproximadamente igual ao complemento da distorção a ser compensada. Um exemplo deste processo é mostrado na figura V.5.

O estágio compensador é normalmente composto por um determinado número de circuitos "passa-tudo", número esse que

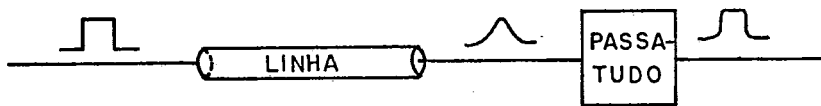
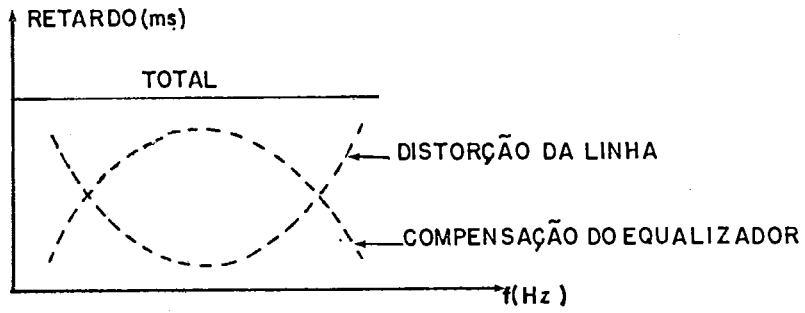


FIG. 5 - EQUALIZAÇÃO DE LINHA DE TRANSMISSÃO

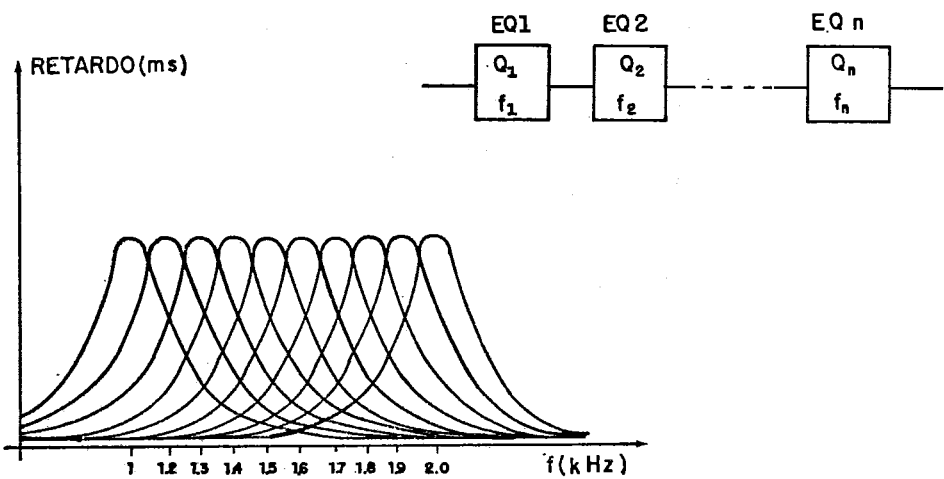


FIG. 6 - EQUALIZAÇÃO POR BANCO DE FILTROS "PASSA-TUDO"

depende das seguintes condições:

- i) Forma do retardo a ser compensado (número de picos)
- ii) Máxima variação deste retardo
- iii) Variação tolerável do retardo resultante.

Para a compensação de uma distorção que apresente um maior número de picos acentuados, deve ser usado um conjunto de vários equalizadores conforme indicado na figura V.6. Neste exemplo utilizam-se dez circuitos passa-tudo de segunda ordem com os respectivos valores de f_p igualmente distribuídos através do espectro, onde cada circuito é o responsável pela compensação de uma pequena faixa. Desta forma, para cada curva de distorção, corresponde um conjunto de valores de Q que garante a melhor equalização.

Os canais de comunicação de voz apresentam duas formas típicas de distorção de atraso de grupo, ilustradas nas figuras V.7 e V.8. A ocorrência destas duas formas, desbalanceada e balanceada, depende do equipamento de transmissão em operação. Devido às poucas variações do formato de atraso de grupo apresentado pelas linhas de transmissão, uma solução de compromisso é a utilização de dois equalizadores, um para a parte alta e outro para a parte baixa do canal. O emprego de um único estágio torna insuficiente a equalização de grande parte dos retardos apresentados pelas linhas. Por outro lado, uma maior quantidade de estágios resulta em um aumento do custo, além de tornar mais lento o processo de ajuste automático, como será descrito adiante.

O posicionamento das frequências dos equalizadores, f_{p1} , f_{p2} , foi feito tendo em vista a correção da parte central do espectro, atrasando-a de forma a igualar seu retardo ao das extremidades. Com as frequências $f_1 = 1500$ Hz e $f_2 = 1900$ Hz obtem-se os melhores compromissos entre a operação em 1200 bps ou 1800 bps e uma distorção balanceada ou não. O gráfico da figura V.9 apresenta o retardo dos dois circuitos equalizadores em cascata, para os valores máximos de Q_1 e Q_2 .

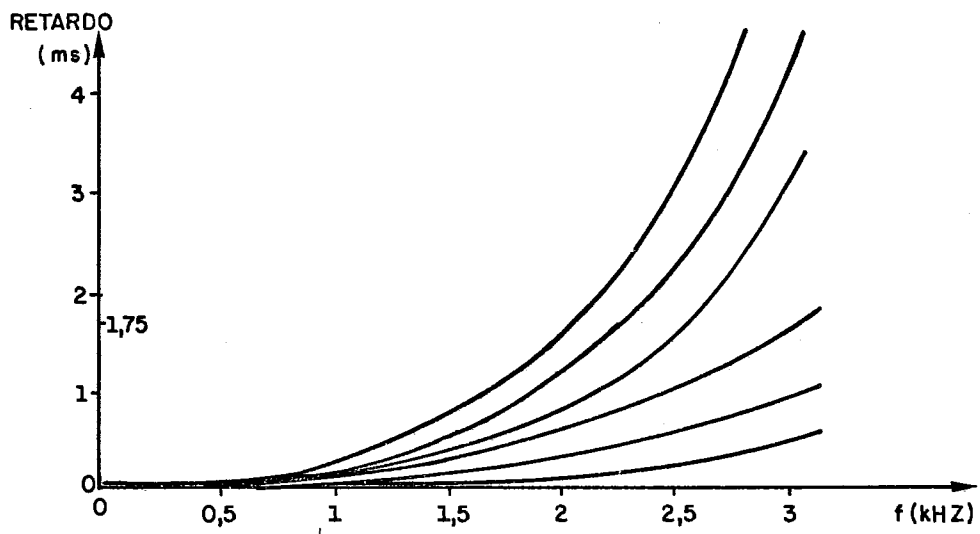


FIGURA V. 7 - CURVAS TÍPICAS DE RETARDO "DESBALANCEADO" DE CANAIS DE COMUNICAÇÃO

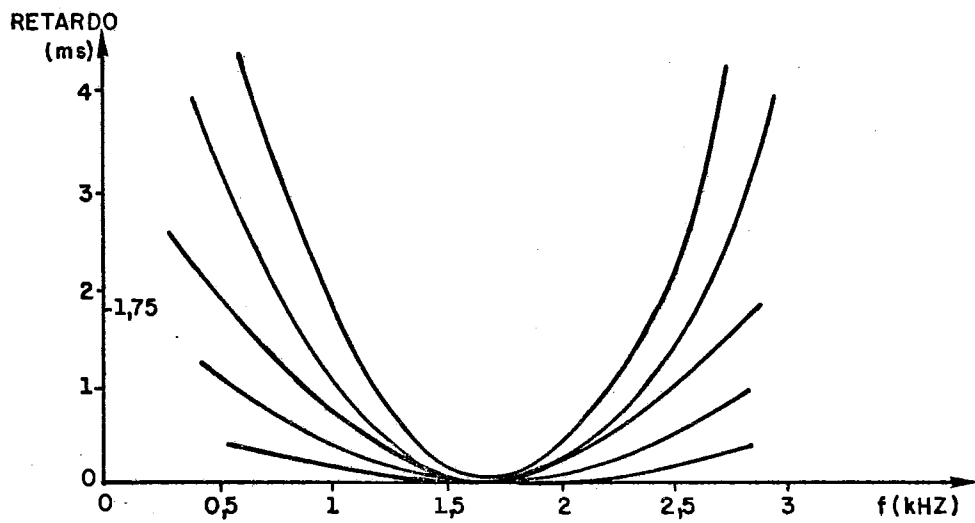


FIGURA V. 8 - CURVAS TÍPICAS DE RETARDO "BALANCEADO" DE CANAIS DE COMUNICAÇÃO

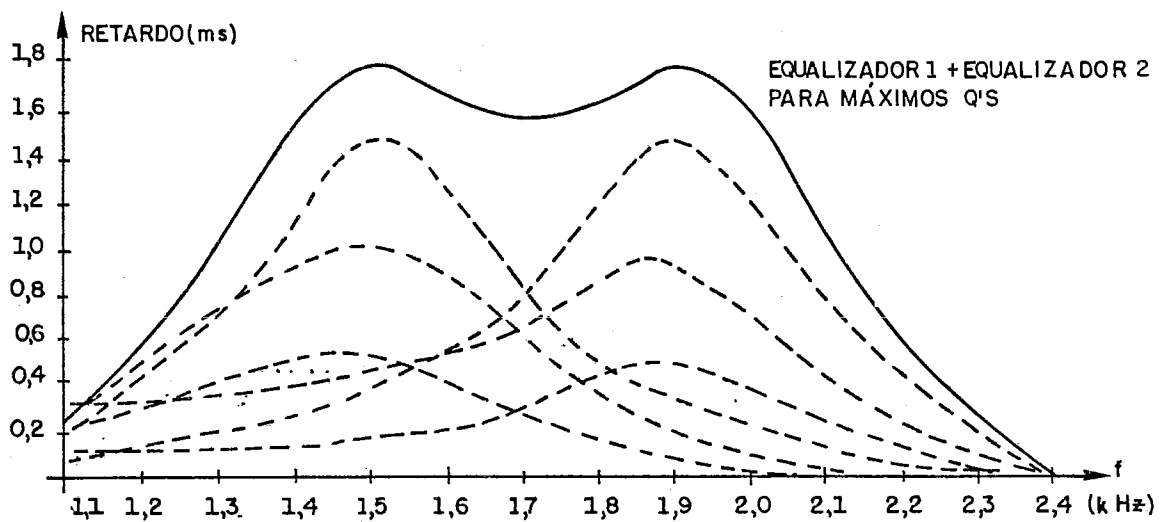


FIG.V.9 - GRÁFICO DE RETARDO x FREQUÊNCIA DO EQUALIZADOR 1 E EQUALIZADOR 2 EM CASCATA

É desejável uma variação máxima do retardo total dos equalizadores igual a 1,75 ms, para a compensação do pior caso de distorção definido pela Telebrás. Os valores de Q_1 e Q_2 que proporcionam a variação do retardo total requerida são 3,3 e 4,4, respectivamente. A partir destes valores calcula-se qual a variação do retardo $\Delta\tau(f_p)$ obtida com o acionamento do bit menos significativo da palavra de controle do equalizador. Da equação (V.4) tem-se, para o equalizador 1:

$$\tau_{\max}(W_p) = -\frac{4Q}{W_p} = -1400 \mu s$$

para:

$$W_p = 2\pi \cdot 1500 \text{ rd/s}$$

e

$$Q = 3,3 .$$

Logo da equação (V.7), obtem-se:

$$\Delta\tau \Big|_{f_p = 1500 \text{ Hz}} = \frac{\tau_{\text{máximo}}}{32} = -43,75 \mu s .$$

Da mesma forma, para o equalizador 2 chega-se aos atrasos de 1470 μs e 46 μs para τ máximo e $\Delta\tau$, respectivamente.

Verifica-se na prática que são satisfatórios os valores obtidos para $\Delta\tau$, a partir de um comprimento de cinco bits para a palavra digital de controle do Q do equalizador. O emprego de um número maior de bits é desnecessário, ao passo que o caso de apenas quatro bits ocasiona uma diminuição da precisão da equalização, quando medida pela unidade de processamento.

V.4 - Medida da Equalização

O ajuste dos equalizadores pode ser obtido a partir do gráfico da variação do retardo da linha ou, então, baseando-se nos efeitos da equalização incorreta desta distorção. O primeiro processo requer a utilização de equipamento próprio para o levantamento do retardo do canal a ser equalizado. Seu uso é indicado para o ajuste de equalizadores compostos de vários circuitos passa-tudo, e empregados na compensação de retardos que

apresentam grandes variações e formatos com inúmeros picos. É adequado, ainda, o emprego do computador para obter-se o ajuste ótimo dos vários parâmetros do equalizador, a partir do gráfico das variações de retardo a serem neutralizados⁶.

O segundo processo, ao contrário do primeiro, não baseia-se no conhecimento "a priori" da distorção do canal, mas sim no efeito, sobre o sinal demodulado, da ação corretiva dos equalizadores. Este efeito, conforme já citado, é o de interferência entre bits adjacentes, visível no sinal de saída do demodulador sob a forma de "jitter".

O "jitter" consiste no cruzamento do sinal de saída do demodulador com o nível de decisão, fora do momento esperado, devido à interferência entre bits adjacentes. A variação do cruzamento com o nível de decisão acarreta a propagação deste erro para o bit de saída, que apresenta uma alteração do seu período para mais ou para menos. A medida desta alteração, numericamente igual ao "jitter" do sinal analógico no caso do FSK, é chamada de "Taxa de Distorção Telegráfica". Na figura V.10 observa-se, em linha contínua, o sinal obtido na saída do demodulador e livre de interferência dos bits adjacentes. A este corresponde um bit de período T .

Na mesma figura estão apresentados em tracejado sinais com "jitter", juntamente com as alterações dos períodos dos bits correspondentes. Nota-se que o valor numérico do "jitter" é igual à relação percentual entre o desvio do valor real do período, Δt , e o valor teórico deste período.

Esta segunda forma de equalização, que consiste na medição do "jitter" para a avaliação do grau de ajuste dos equalizadores, é a forma mais econômica de equalização e baseia-se no processo de tentativa e erro. O processo é mais adequado, portanto, para o ajuste de equalizadores que contenham no máximo dois equalizadores devido ao caráter repetitivo da busca da equalização.

O ajuste tradicional dos equalizadores por meio da avaliação do sinal de saída é feito manualmente por um técnico

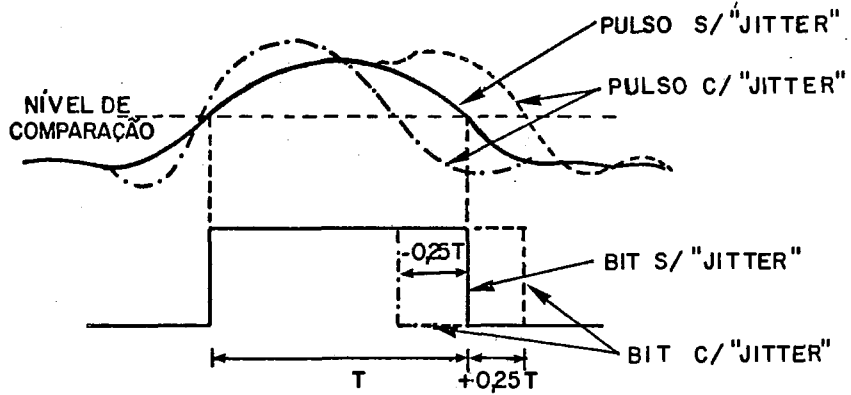


FIGURA V. 10 - "JITTER" DO SINAL DE SAÍDA DO DEMODULADOR E CONSEQUENTE DISTORÇÃO TELEGRÁFICA DO SINAL BINÁRIO.

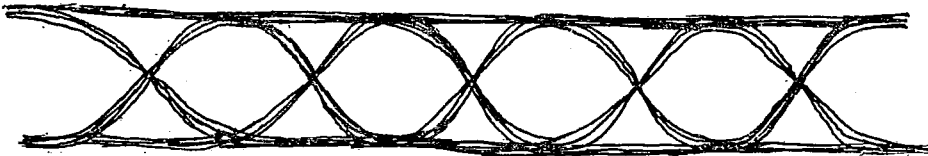


FIGURA V. 11 - ASPECTO DO "OLHO ABERTO"- SINAL SEM DISTORÇÃO

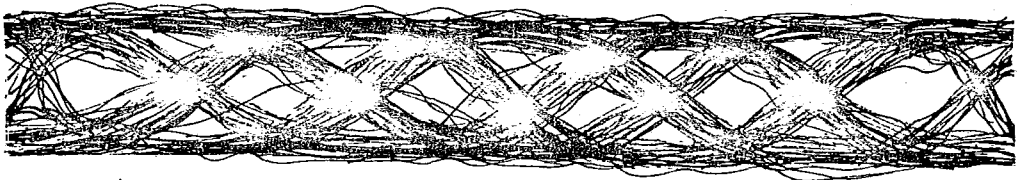


FIGURA V. 12 - ASPECTO DO "OLHO FECHADO"- SINAL DISTORCIDO

que atua sobre os controles dos circuitos passa-tudo. A avaliação da qualidade do sinal de saída, e portanto da equalização, é obtida pela observação direta da forma de onda do sinal de saída do demodulador, conhecida pelo nome de "formato de olho" (do inglês "Eye Pattern"). Trata-se do oscilograma gerado pela superposição de vários pulsos iguais ao representado na figura V.10 e gerados durante a recepção de uma informação pseudo-aleatória.

O formato de olho obtido a partir da superposição de pulsos livres de interferência entre bits adjacentes, tem o aspecto apresentado na figura V.11 e é denominado de "olho aberto". Esta condição indica o ajuste dos equalizadores. O oscilograma, gerado a partir da superposição de pulsos deformados pela má equalização da linha, é apresentado na figura V.12 e denomina-se formato de olho fechado.

Após uma rápida análise do segundo processo descrito, conclui-se que este caracteriza-se por uma ação em malha fechada onde o elemento humano é o responsável por uma retroação e a consequente minimização do erro. A idéia básica para este projeto foi a substituição do elemento humano, com suas limitações, alto custo e baixa disponibilidade, pelo controle automático baseado em microprocessador.

O sistema de controle automático dos equalizadores é apresentado na figura V.1 onde observa-se o microprocessador no laço de realimentação. Este microprocessador tem como função o cálculo do valor numérico do "jitter" para uma constante monitoração da qualidade do sinal recebido e, por ocasião da equalização, o ajuste dos equalizadores com base nestas informações.

No processo de equalização manual, o operador observa o formato de olho que lhe dá, como informação, o comportamento médio dos pulsos, uma vez que o oscilograma é o resultado da superposição de vários bits. De forma análoga, a unidade de processamento calcula o valor de "jitter" médio, após um número determinado de bits processados. Experiências em laboratório mostraram ser razoável a medida de "jitter" médio para um conjunto de 256 bits (a contagem de números que são potências de dois faci-

lita a programação). A média de um conjunto menor de bits dá um peso excessivo para as medidas de pico causadas por transitórios da linha, mascarando os resultados devidos exclusivamente à equalização. Por outro lado, a medida sobre um conjunto maior de bits, torna o cálculo do "jitter" médio mais lento e da mesma forma, todo o processo de equalização.

O cálculo de cada valor de "jitter" médio é feito a partir das medidas dos desvios dos períodos reais dos bits demodulados, em comparação com o período padrão de um bit, para determinada taxa de sinalização. Entretanto, como a equalização pode ser feita sobre uma transmissão realmente aleatória, a UP não conhece, "a priori", a informação que irá receber. Ao detectar um pulso com comprimento igual a $1,6 T$, a unidade de processamento não é capaz de saber se a informação transmitida era apenas um pulso que apresenta, na recepção, um "jitter" de +60% ou se eram dois pulsos iguais cujo "jitter" total é de -40%. Devido a este problema, o programa considera, para efeito de medida de "jitter", apenas bits com duração menor que $1,5T$.

De acordo com o procedimento de cálculo do "jitter" médio, a unidade de processamento deverá saber "a priori" o período do bit padrão, ou seja a taxa de sinalização do sinal binário demodulado. Apesar da possibilidade de operação em qualquer velocidade abaixo do limite especificado para cada modo de operação ("modo Telebrás" e "modo 1800"), as velocidades universalmente adotadas são 600 bps, 1200 bps e 1800 bps. Nestes casos a unidade de processamento está capacitada a calcular o "jitter" médio, bastando apenas a informação de qual das velocidades está sendo utilizada. Essa informação pode ser dada mediante selector em painel ou via controle de interface, dependendo apenas do modo de operação do Modem. Entretanto, durante o processo de equalização, a velocidade utilizada é de 1200 bps, por apresentar uma modulação com a melhor distribuição de energia na faixa a ser equalizada.

Ainda nesta parte que trata sobre a medida de equalização, resta ressaltar a importância da utilização de dados pseudo-aleatórios para a avaliação do ajuste dos equalizadores.

Para esta avaliação é necessário que o sinal recebido, cujo baixo "jitter" indica um atraso igual em todo o espectro do canal de voz, mantenha uma distribuição de potência em todo este espectro que está sendo analisado. Por esta razão, o Modem é provido de dispositivo capaz de gerar um padrão pseudo-aleatório de 15 bits, que deverá ser acionado por ocasião do ajuste dos equalizadores de fase e do compensador de amplitude.

V.5 - Compensação da Atenuação de Amplitude

A atenuação da parte superior do espectro do sinal com posto resulta também em um aumento no "jitter" do sinal demodulado e, conseqüentemente, em uma degeneração da informação digital. Um circuito compensador é incluído junto aos equalizadores, e o seu acionamento é feito pela unidade de processamento por intermédio de um único bit. O compensador estará no seu estado ativo ou inativo caso o bit de controle seja "um" ou "zero", respectivamente.

A figura V.13 apresenta o diagrama do circuito compensador. Trata-se de um circuito passivo conectado a uma chave analógica selecionadora, de duas entradas. Esta chave é comandada pela unidade de processamento e tem a função de comutar parte do circuito passivo, de acordo com a necessidade ou não da compensação. Assim, para a condição de compensador ativo, a chave analógica conecta para o circuito, juntamente com R_p e C_p , o capacitor C_c e o resistor R_c . Na condição de compensador inativo, os componentes no circuito são R_1 , C_1 , R_2 , além de R_p e C_p . Em ambos os casos a transferência obtida é a de um passa-faixa de segunda ordem, cujas frequências dos polos dependem exclusivamente da posição da chave. Os gráficos das atenuações obtidas pelo compensador, quando no estado ativo e inativo, são apresentados na figura V.14.

A resposta em frequência do compensador no modo ativo apresenta uma atenuação aproximadamente linear com uma inclinação positiva de pouco menos de 6 dB por oitava, dentro da faixa útil para a transmissão a 1800 bps (de 900 Hz a 2700 Hz). Esta é uma solução de compromisso que atende, de forma bem econômica, a característica média de atenuação de amplitude segundo medi -

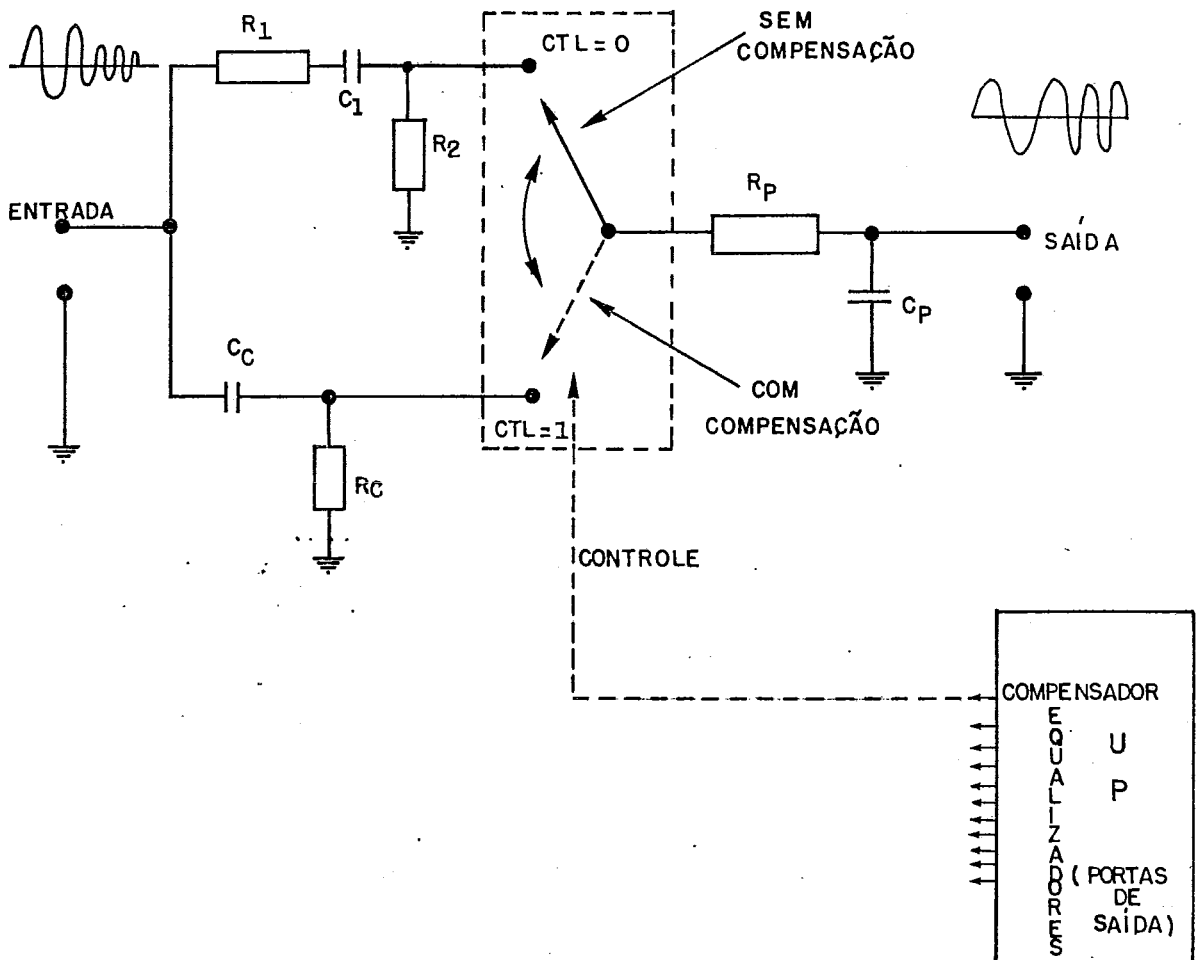


FIGURA V. 13: DIAGRAMA ESQUEMÁTICO DO COMPENSADOR

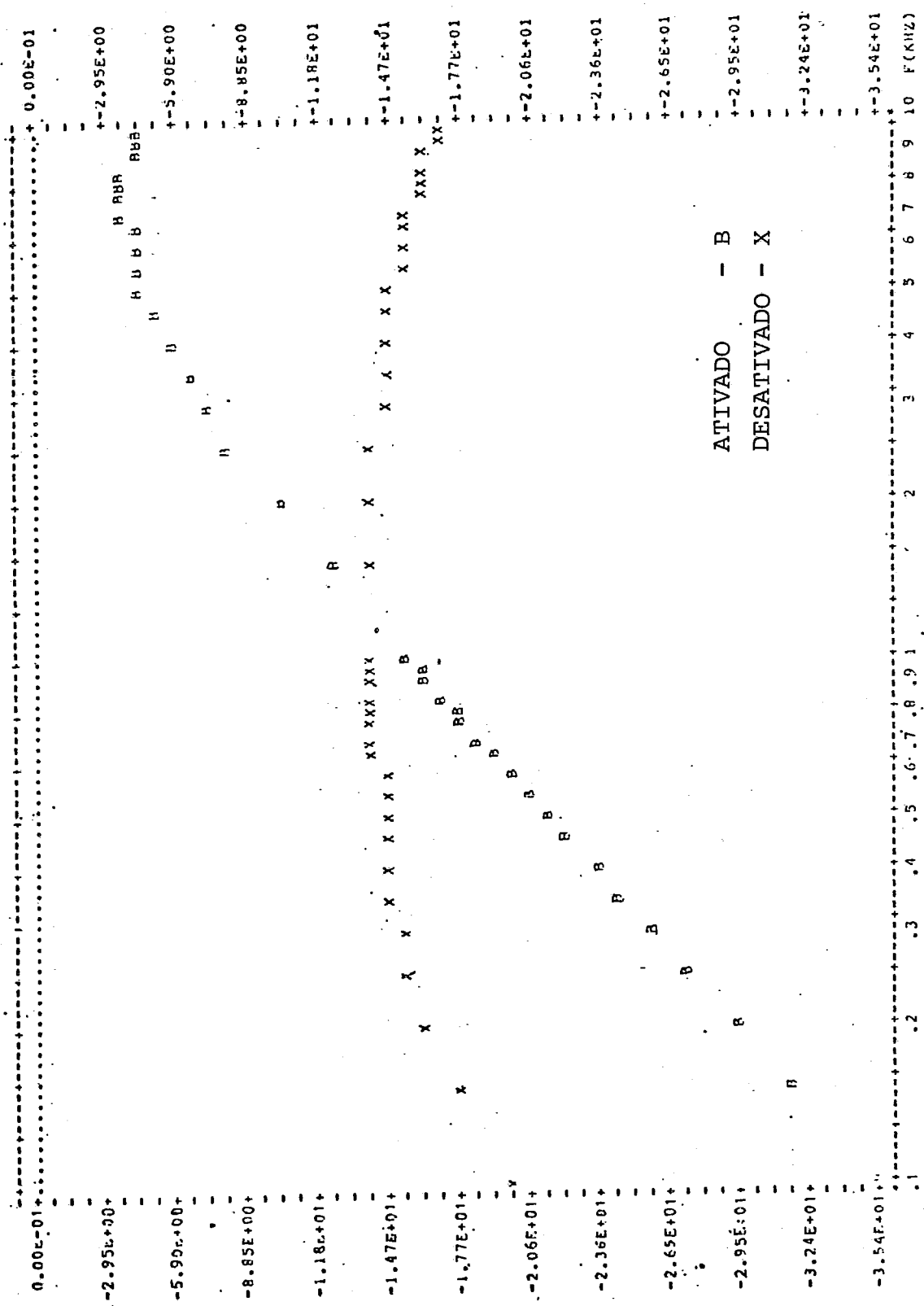


FIGURA V.14 : GRAFICO DO GANHO DO CIRCUITO COMPENSADOR (ATIVADO E DESATIVADO)

das estatísticas realizadas em ligações urbanas⁷ e apresenta_d na figura V.15.

No modo de operação inativo, o circuito apresenta uma transferência aproximadamente plana ao longo da faixa útil do canal de comunicação. A atenuação de todas as frequências, na parte plana do filtro, é numericamente igual à atenuação da frequência de 1200 Hz, apresentada pelo compensador no estado ativo. Conforme pode-se observar no gráfico da figura V.14, o efeito de compensação das frequências altas é obtido graças à menor atenuação destas frequências (acima de 1200 Hz) sempre que o compensador encontra-se ativo.

Em ambos os modos de funcionamento do circuito compensador, este apresenta uma atenuação extra para os ruídos não só de alta frequência como também no entorno de 60 Hz.

A variação máxima de retardo imposta pelo circuito compensador é de aproximadamente 45 μ s entre as frequências de 900 Hz e 2700 Hz. Na figura V.16 observa-se o gráfico de retardo para as duas condições possíveis de operação. Esta variação não apresenta problemas para a demodulação de FSK devido ao seu pequeno valor que, ainda assim, tende a ser compensado pelos equalizadores de atraso de grupo.

Ainda com relação ao estágio de compensação de amplitude, vale acrescentar que no caso de funcionamento com linhas cuja média de atenuação tenha uma inclinação maior, pode-se redimensionar o filtro passa-altas RC localizado antes do primeiro estágio de ganho. Com o posicionamento do polo em 3kHz, por exemplo, este filtro passivo apresentaria uma compensação constante das frequências altas exatamente como o faz o circuito passa-faixa. Esta condição reforçaria a atuação do compensador, ao passo que nos casos de linhas sem distorção de amplitude, a amplificação das frequências altas não afetará significativamente a correta demodulação do sinal.

O retardo apresentado pelo circuito passa alta RC é dado pela seguinte expressão:

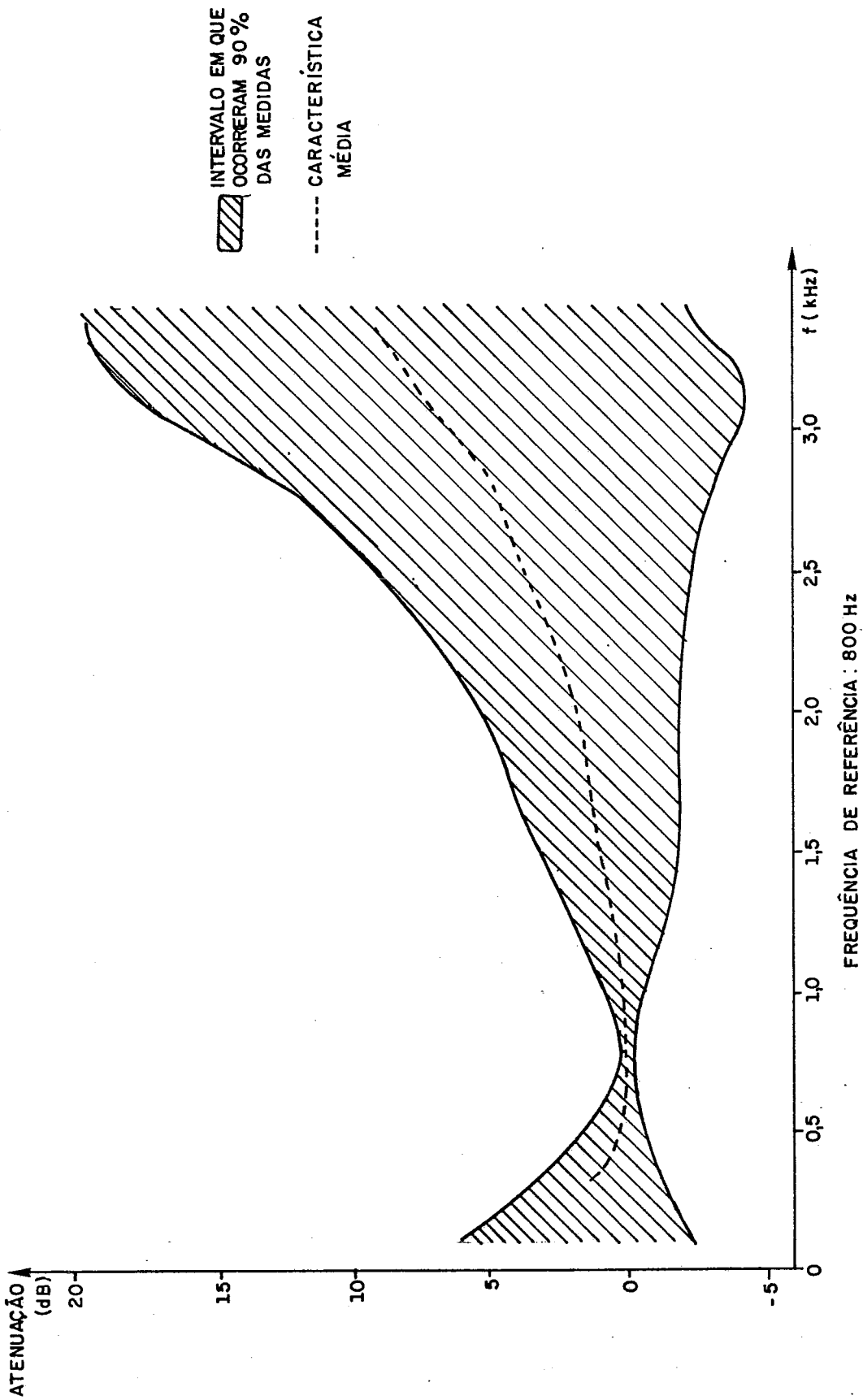


FIGURA 15: CARACTERÍSTICA DE ATENUAÇÃO DAS LINHAS TELEFÔNICAS

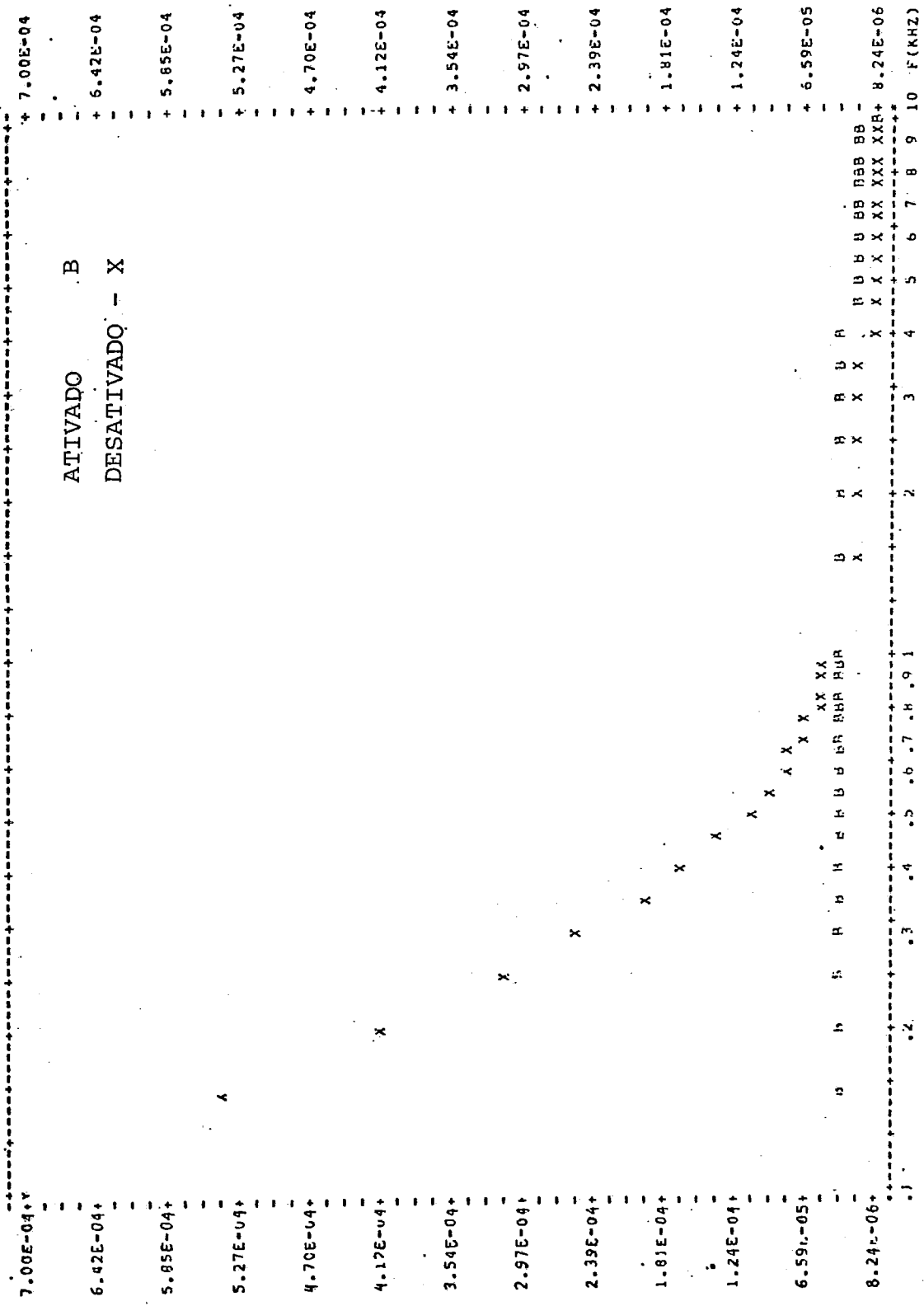


FIGURA V.16 : GRAFICO DO ATRASO DE GRUPO DO COMPENSADOR (ATIVADO E DESATIVADO)

$$\tau(W) = \frac{-W_p}{W_p^2 + W^2} \quad (V-8)$$

Analisando esta expressão verifica-se que o retardo é monotonicamente decrescente com uma variação de atraso de apenas 19 μ s entre as frequências de 900 Hz e 2700 Hz com W_p igual a $2\pi \cdot 3000$ rd/seg. Trata-se portanto de uma variação insignificante para a demodulação em FSK.

V.6 - Processo de Busca de Equalização

Para uma determinada característica de distorção de atraso de grupo e atenuação em frequência de uma linha, existe ao menos uma palavra de controle na saída do microprocessador que corresponde à melhor atuação dos circuitos equalizadores e compensador. Esta palavra de controle representa uma posição de ajuste que é obtida durante o processo de busca da melhor equalização e mantida durante o funcionamento normal do Modem. Caso posteriormente seja observado um aumento na medida de "jitter" médio da linha devido a alterações das suas características, a busca de uma nova posição de ajuste pode ser solicitada por painel ou interface.

Conforme pode-se observar na figura V.1 são necessários onze bits para o controle dos equalizadores e do compensador. Desta forma, o total de posições de ajuste destes circuitos é 2^{11} , ou seja, 2048 posições. Um processo exaustivo para a busca da melhor posição de equalização basear-se-ia na medida do "jitter" médio de todas as posições possíveis, e na posterior escolha daquela em que fosse alcançado o melhor resultado. Neste método a palavra de controle é incrementada a partir da posição inicial, onde todos os bits são iguais a zero, até a posição final com todos os bits iguais a um. Tal processo apresenta um tempo de execução igual ao produto do tempo necessário ao cálculo do "jitter" médio pelo número total de posições de equalização.

O algoritmo seguido pela unidade de processamento constituiu-se em uma variante do método anterior, sendo a diferença

basicamente na forma de varredura das posições. Esta varredura passará a ser feita em duas etapas distintas. Na primeira etapa, denominada varredura de "malha grossa", o processador atua apenas nos bits mais significativos de cada equalizador. A posição que apresentar o menor "jitter" médio medido, representa o centro de uma região onde há a maior probabilidade de ser encontrada a posição ótima de equalização.

A varredura de malha grossa é feita inicialmente com o compensador inativo e repetida com o compensador ativo. Desta forma a posição inicial de equalização apresentará ou não a compensação de amplitude, de acordo com as características de atenuação das frequências altas, apresentada pela linha.

Na etapa seguinte, a unidade de processamento concentra a busca da posição de melhor equalização apenas nesta região, atuando nos bits menos significativos dos equalizadores. Ao final desta etapa, denominada de "malha fina", o processador retorna à posição do menor "jitter" medido durante esta segunda varredura, assumindo-a como posição de funcionamento dos equalizadores e do compensador.

A figura V.17 apresenta uma representação bidirecional das posições dos equalizadores, que permite uma melhor visualização dos processos de varredura do tipo "malha-grossa" e "malha fina".

As posições testadas pelo processo de varredura por "malha grossa" e "malha fina" são ao todo 136, número muito inferior às 2048 posições testadas no primeiro método. Consequentemente o tempo gasto no novo processo de equalização é consideravelmente mais reduzido em relação ao necessário no caso anterior.

Um segundo artifício foi utilizado para a minimização do tempo de equalização. Para a sua descrição, define-se "jitter" cumulativo como o somatório dos valores de "jitter" de cada bit, medido durante o cálculo do "jitter" médio. Portanto o "jitter" médio de n bits é igual ao valor cumulativo de n bits dividido por n .

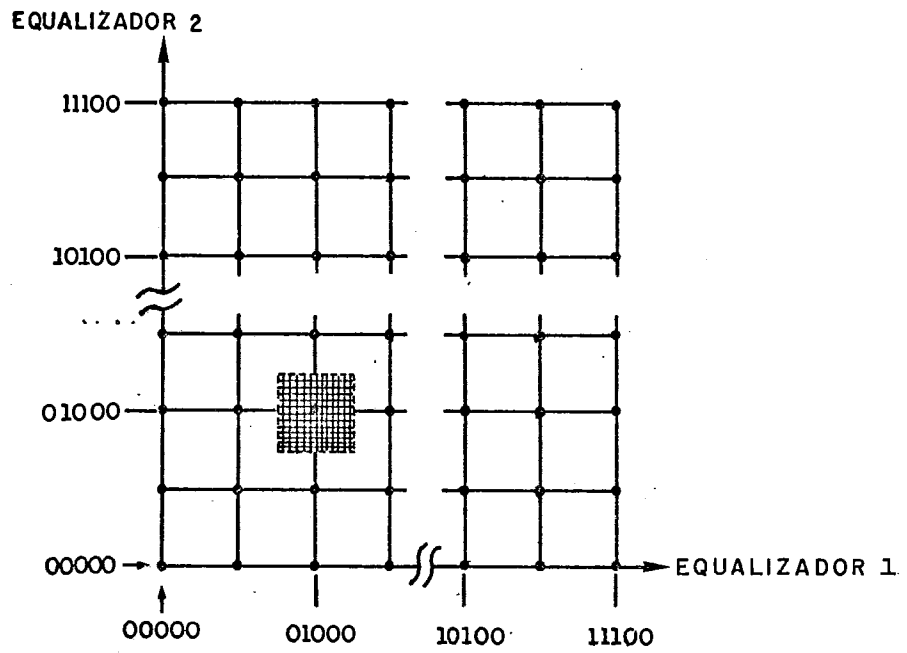


FIGURA V. 17: REPRESENTAÇÃO BIDIRECIONAL DA VARREDURA DOS EQUALIZADORES

O artifício consiste na memorização do "jitter" cumulativo dos 256 bits medidos na posição que, até então, tenha apresentado o melhor valor médio. Caso este valor memorizado seja ultrapassado pelo somatório dos valores de "jitter" de uma posição que esteja sendo testada, durante a contagem de 256 bits medidos, esta posição é abandonada. Desta forma não é completado o cálculo do "jitter" médio por saber-se a priori que este valor será superior ao menor "jitter" médio já obtido, durante o processo. Conseqüentemente, o tempo de equalização fica consideravelmente reduzido.

Na figura V.18 observa-se o fluxograma simplificado da rotina de equalização.

V.7 - Resumo

Este capítulo apresentou os vários blocos que compõem o estágio de equalização de fase e ganho e que são basicamente o equalizador 1, o equalizador 2 e o circuito compensador.

Os dois primeiros blocos são dois circuitos ativos do tipo passa-tudo de segunda ordem, cuja finalidade é neutralizar as distorções de atraso de grupo apresentadas pelas linhas de transmissão. O objetivo do terceiro bloco é compensar as atenuações de altas frequências, apresentadas por determinadas linhas de transmissão.

Os circuitos equalizadores são controlados pela unidade de processamento através de palavra de controle de cinco bits para cada bloco. Este controle atua diretamente sobre a forma da curva de atraso de grupo de cada equalizador. O atraso de grupo, resultante da conexão em cascata dos dois filtros passa-tudo, deverá, da melhor forma possível, compensar a curva de atraso apresentada pela linha de transmissão.

A melhor posição de equalização dentre as 2048 possíveis é obtida graças a um processo de malha fechada. Neste processo a unidade de processamento atua sobre os equalizadores e o compensador de modo a obter uma demodulação do sinal digital com a melhor qualidade possível. A atuação sobre os equaliza

JITTER ← MEDIDA DO "JITTER" DE UM BIT ISOLADO

SOMA ← "JITTER" CUMULATIVO

SOMA MÍNIMA ← "JITTER" CUMULATIVO DA MELHOR POSIÇÃO DE EQUALIZAÇÃO
JÁ OBTIDA ATÉ O MOMENTO.

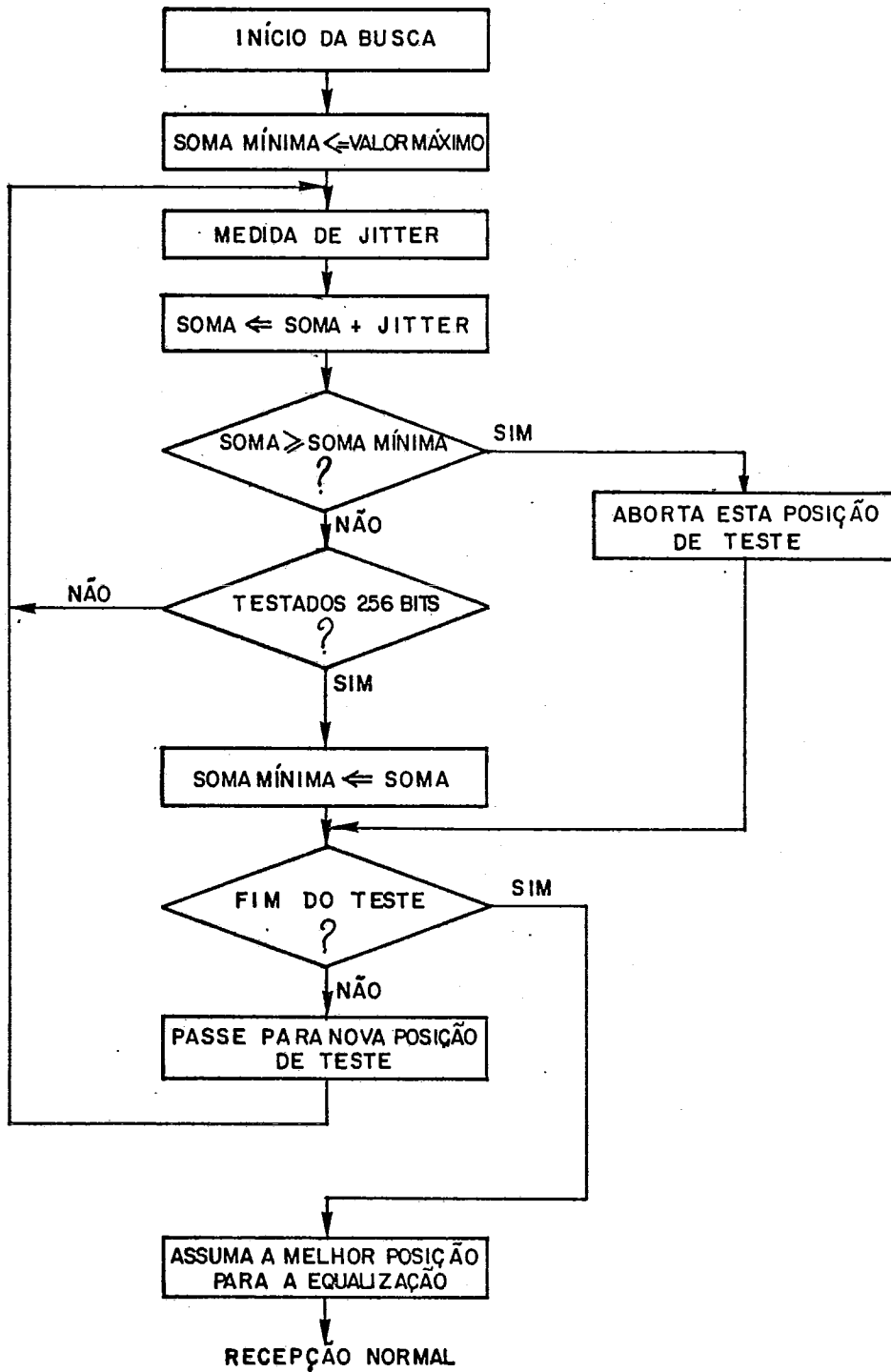


FIGURA V. 18: FLUXOGRAMA DE EQUALIZAÇÃO

dores e o compensador é feita sob a forma de varredura de "malha grossa" e varredura de "malha fina". Durante a varredura de "malha grossa" a unidade de processamento varia apenas os bits mais significativos dos equalizadores juntamente com o bit de controle do compensador. A posição que apresenta a melhor qualidade de sinal demodulado define o centro de uma região que será analisada mais cuidadosamente durante a varredura de "malha fina". Ao final dessa segunda varredura está definida a posição de melhor equalização que é assumida durante todo o funcionamento normal.

A medida de qualidade do sinal demodulado é obtida por intermédio do "jitter" médio. O "jitter" médio é proporcional às interferências entre bits adjacentes, logo inversamente proporcional ao grau de ajuste dos equalizadores e compensador. O "jitter" médio é calculado a cada 256 bits do sinal demodulado por ser, este valor, um bom compromisso entre imunidade ao ruído e tempo de execução do processo de busca de equalização.

Ainda neste capítulo é apresentado o algoritmo utilizado para a redução do tempo de equalização.

CAPÍTULO VI

UNIDADE DE PROCESSAMENTO

VI.1 - Introdução

A unidade de processamento (UP) é o módulo responsável por todo o automatismo que caracteriza o funcionamento do Modem. Esta unidade inteligente tem as seguintes tarefas básicas:

- i) cálculo e apresentação do valor médio de "jitter" da informação digital demodulada,
- ii) equalização automática de fase e amplitude de forma a minimizar o "jitter" da informação digital,
- iii) geração de padrão pseudo-aleatório,
- iv) supervisão e indicação alfanumérica relativa ao estado da linha (presença de portadora e dados digitais),
- v) supervisão do estado dos comandos de painel.

Paralelamente, a UP gera sinais de controle necessários à síntese da senóide de saída a partir de seu relógio interno. Estes sinais são obtidos através de contadores programáveis que permitem uma mudança das frequências de saída, de forma a atender outros padrões de transmissão.

Na implementação do "software" e do "hardware" da unidade de processamento foram usadas técnicas de interrupção (multiprogramação) e de ciclo de status para o atendimento das várias funções. Isto porque algumas das tarefas da UP caracterizam-se por uma atuação prioritária em tempo real. Este é o caso da medida do "jitter" ou da equalização.

A arquitetura básica utilizada encontra-se representada na figura VI.1. Esta arquitetura apresenta uma configuração típica de controle de processos em tempo real com portas de acionamento, portas para a leitura de status, contadores e interrupções provenientes do processo.

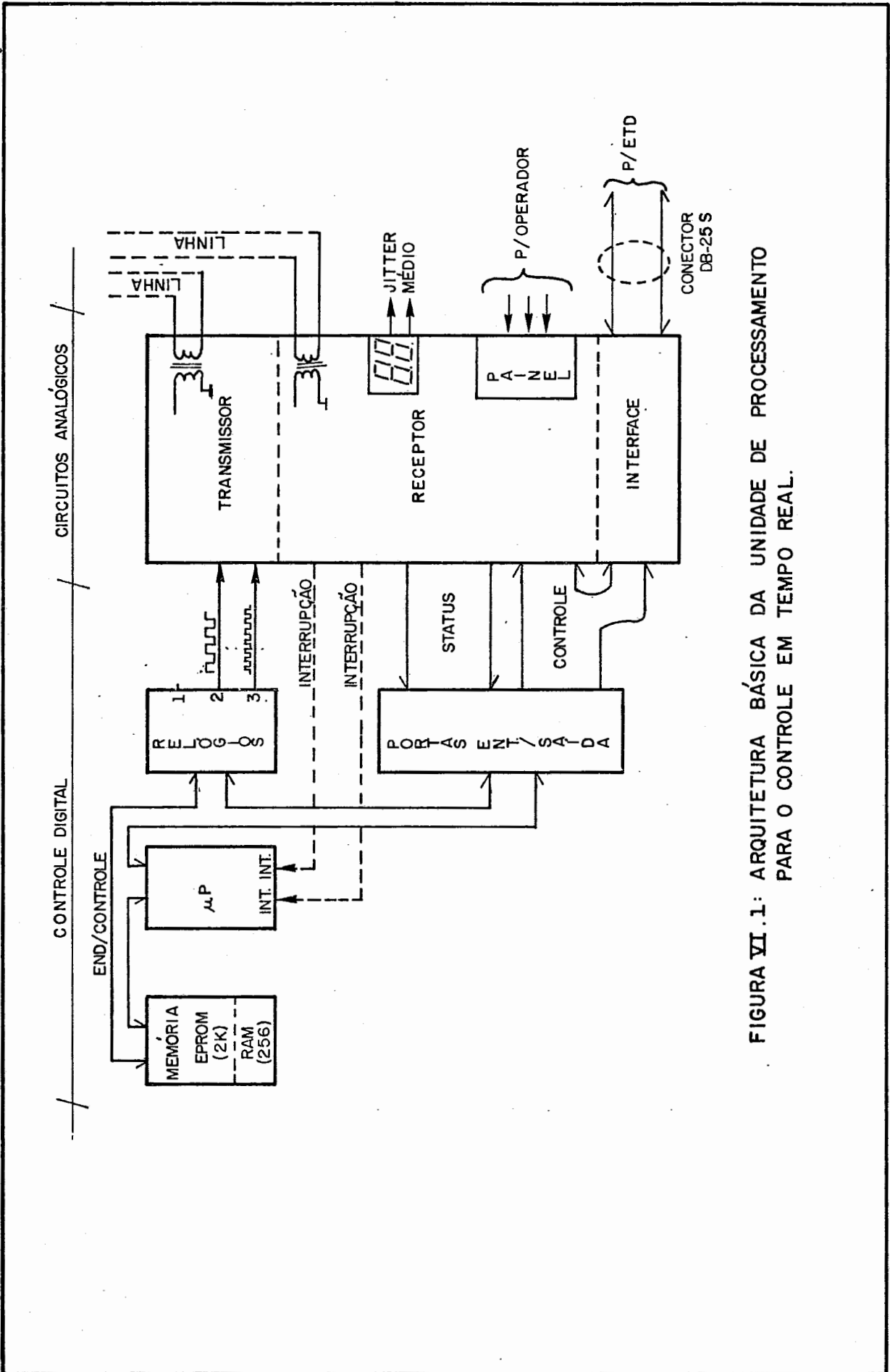


FIGURA VI.1: ARQUITETURA BÁSICA DA UNIDADE DE PROCESSAMENTO PARA O CONTROLE EM TEMPO REAL.

O projeto da UP baseou-se no microprocessador 8085 da INTEL⁴ e seus periféricos, devido ao baixo custo e grande disponibilidade destes componentes.

Ainda uma outra vantagem desta família é a facilidade de programação em linguagem de máquina, técnica muito útil em controle de processos rápidos em tempo real.

Nas próximas seções são vistos em maiores detalhes os vários aspectos relativos à implementação da unidade de processamento e à sua programação.

VI.2 - "Hardware"

A unidade de processamento, de acordo com o diagrama apresentado na figura VI.2, é constituída pelos seguintes blocos:

- i) microprocessador (8085) ,
- ii) memória tipo EPROM (2716),
- iii) contador (8253) composto por três relógios,
- iv) periférico (8155) composto por três portas programáveis, um contador e 256 palavras de memória tipo RAM,
- v) porta de saída (8212) ,
- vi) decodificador e mostrador de sete segmentos,
- vii) circuito de reinicialização automática,
- viii) memória tipo RAM de baixo consumo com o respectivo circuito de controle e bateria de "back-up".

O microprocessador é o elemento central, responsável pelas operações lógicas e aritméticas, bem como pelo controle dos demais circuitos.

O contador 8253 é composto por três relógios programáveis dos quais dois são empregados para a geração do sinal analógico de saída, enquanto o terceiro é utilizado durante o cálculo de "jitter".

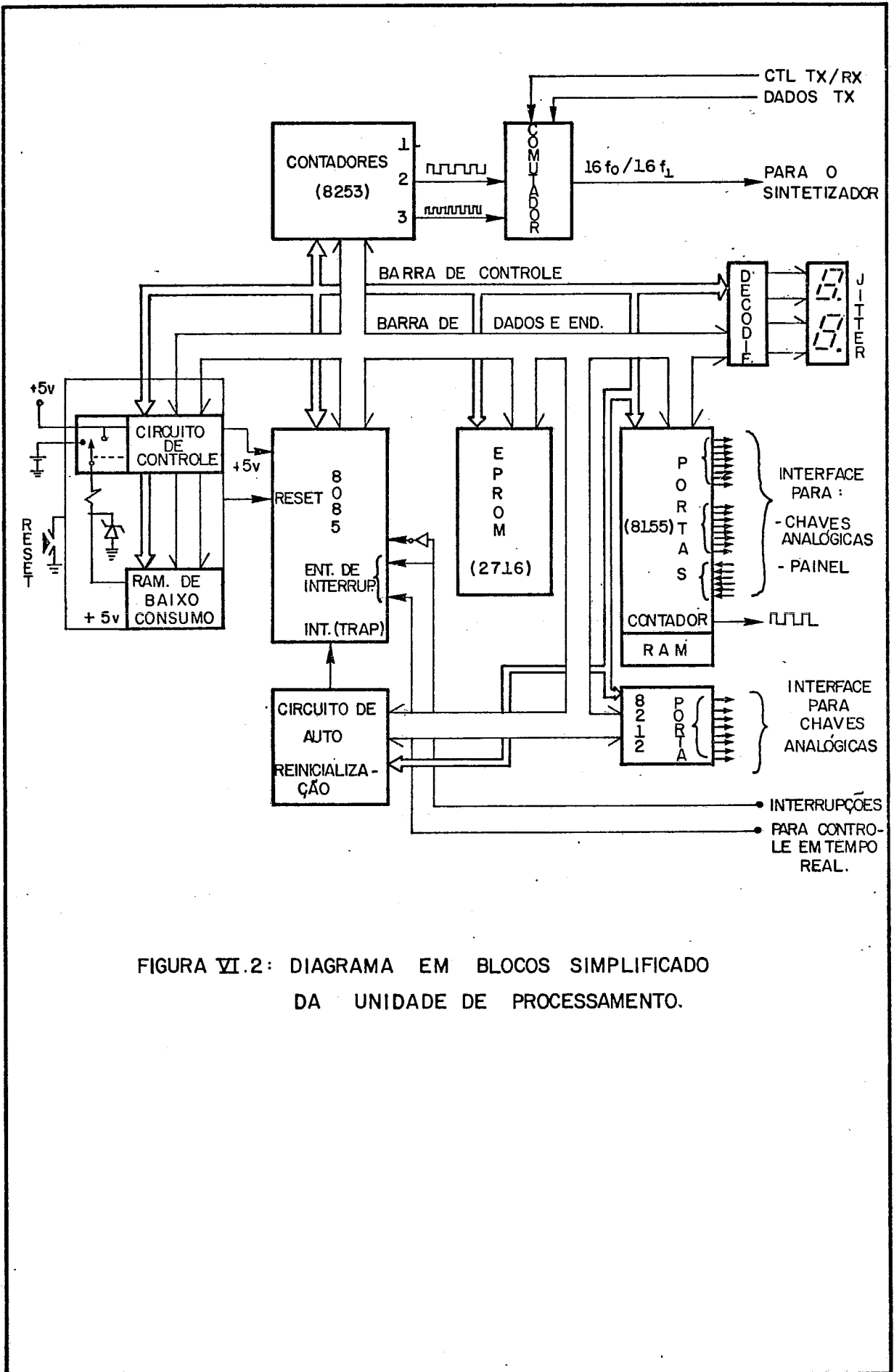


FIGURA VI.2: DIAGRAMA EM BLOCOS SIMPLIFICADO DA UNIDADE DE PROCESSAMENTO.

Os integrados 8155 e 8212 provêm juntos o total de portas de entrada e saída necessárias para o controle e leitura dos circuitos do Modem. São ao todo 24 bits para o controle e 6 bits para leitura de status. O periférico 8155 provê ainda a memória RAM da unidade de processamento e um contador utilizado durante o ajuste de "bias".

Os circuitos definidos nos dois últimos itens, vii e viii, embora não estritamente necessários para o funcionamento básico do Modem, constituem-se em dispositivos secundários de grande utilidade e são descritos a seguir em maiores detalhes.

Memória e Controlador de Baixo Consumo

A necessidade de memória RAM é provida (com bastante folga) pela pastilha 8155. Como este componente é alimentado pela fonte do Modem, a posição de funcionamento dos equalizadores ficaria perdida após uma falha de alimentação, caso ela fosse armazenada nessa memória. Entretanto a unidade de processamento dispõe de memória exclusiva para o registro dos equalizadores. Esta memória é de baixo consumo, e sua alimentação é feita por um circuito controlador.

A função do circuito controlador é a detecção de queda de tensão abaixo de 4,75 V (limite de alimentação garantido pela Intel para a operação normal do microprocessador) quando então é bloqueado o acesso à memória de baixo consumo. Desta forma seu conteúdo fica protegido contra transitórios existentes durante a queda de tensão.

O circuito controlador é responsável também pela manutenção da alimentação desta memória, utilizando, para isso, uma bateria que atua apenas nos momentos de falha ("back-up").

Este circuito mantém a posição de equalização não só durante o desligamento do Modem como também no caso de remoção do cartão da unidade de processamento.

Reinicialização Automática

A operação de máquinas sequenciais, onde a evolução para um estado depende do estado anterior, está sujeita a fa -

lhas quando em funcionamento junto a fontes de ruídos (especialmente os impulsivos). Nestes casos é desejável uma capacidade de auto-regeneração que impeça o prolongamento do estado de falha por grandes períodos.

A unidade de processamento dispõe de um circuito de reinicialização automática cujo diagrama está representado na figura VI.3. Trata-se basicamente de um monoestável de tempo Δt , acionado por um decodificador cuja função é a decodificação dos comandos de redisparo. A saída do monoestável é ligada à entrada da interrupção prioritária do microprocessador.

O funcionamento do circuito consiste na manutenção do estado lógico zero na saída \bar{Q} do monoestável, quando da existência de um trem de pulsos gerados pela execução correta da programação da UP. Este trem de pulsos é o resultado da execução das instruções de redisparo do monoestável, distribuídas por todos os possíveis caminhos do programa da unidade de processamento. O intervalo máximo entre dois pulsos deverá ser inferior a Δt de forma a manter a saída \bar{Q} fixa em zero.

Nesta configuração, a ocorrência de um descontrole da unidade de processamento deverá impedir a correta execução da sua programação, ocasionando um descompasso ou mesmo a cessão dos comandos de redisparo do monoestável. Ao final de um período Δt após o último pulso, a saída \bar{Q} apresentará uma transição do nível zero para o nível um. O aparecimento deste último nível acionará a interrupção do microprocessador forçando uma reinicialização do funcionamento normal da UP.

Ainda que uma falha momentânea não fosse suficiente para provocar um descontrole da execução do programa, esta poderia alterar o conteúdo da memória "RAM" (volátil), resultando em mal funcionamento do Modem. Este tipo de alteração, mesmo que raro, atinge geralmente todas as posições de memória.

Uma solução adotada é a leitura de uma posição reservada para teste onde foi carregada uma palavra conhecida. Esta leitura é feita sempre antes do comando de redisparo do monoestável de auto-reinicialização. Caso a palavra lida não coincida

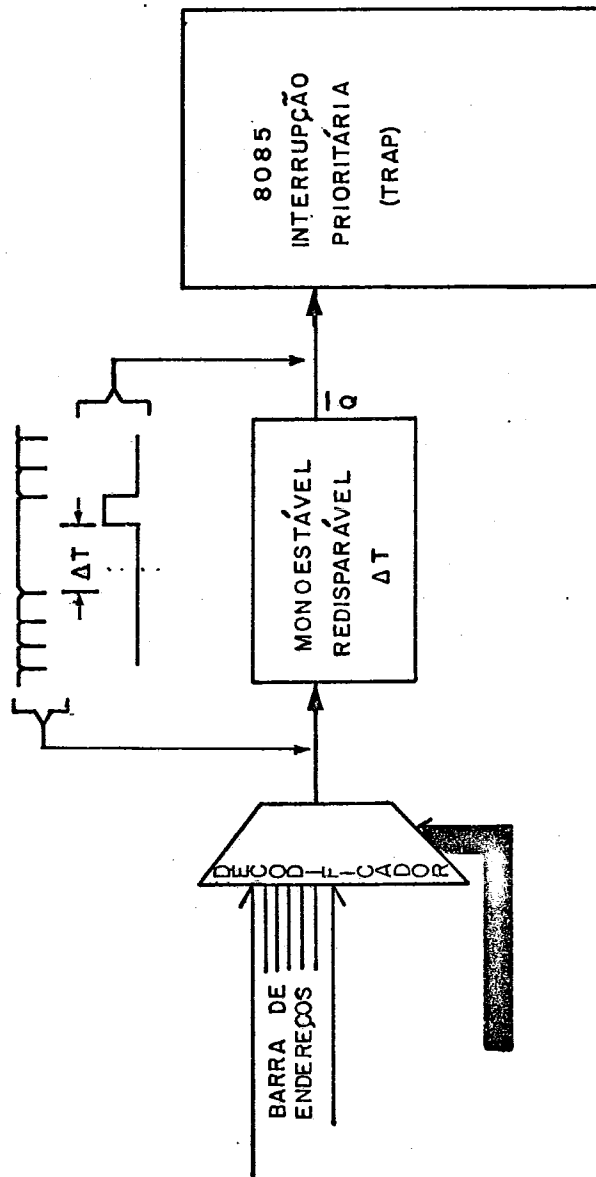


FIGURA VI. 3 - DIAGRAMA DO CIRCUITO DE REINICIALIZAÇÃO AUTOMÁTICA

com a palavra esperada, o comando de redisparo é omitivo permitindo então a geração da interrupção e conseqüentemente o reinício de todo o processo.

A utilização deste dispositivo de auto-reinicialização possibilita o funcionamento do Modem em ambientes ruidosos de forma mais segura.

VI.3 - Funções da Unidade de Processamento

A ordem de execução das várias tarefas da unidade de processamento depende da ocorrência dos eventos responsáveis pela inicialização dessas tarefas. A ocorrência destes eventos é sentida pela mudança do status das portas de entrada ou pelo aparecimento dos pedidos de interrupção da UP. A resposta da unidade de processamento à ocorrência destes eventos é função ainda da relação de prioridades existentes entre as tarefas em questão.

Durante a execução das várias tarefas, a UP aciona as diversas saídas que podem ser de controle (para o acionamento de circuitos) ou de informação (indicadores luminosos e alfanuéricos do painel).

Os circuitos de entrada e saída da unidade de processamento estão relacionados na figura VI.4. Estes circuitos são referidos durante a explicação das tarefas executadas pela UP.

As principais funções da unidade de processamento encontram-se representadas no gráfico da figura VI.5. Em ordem de prioridades temos a transmissão do padrão pseudo-aleatório, a equalização da linha e a medida do "jitter" médio.

A última função é a tarefa executada normalmente durante o funcionamento do Modem sob o comando do equipamento de dados. As demais são funções especiais executadas de acordo com a vontade do operador que, para isso, aciona as chaves existentes no painel.

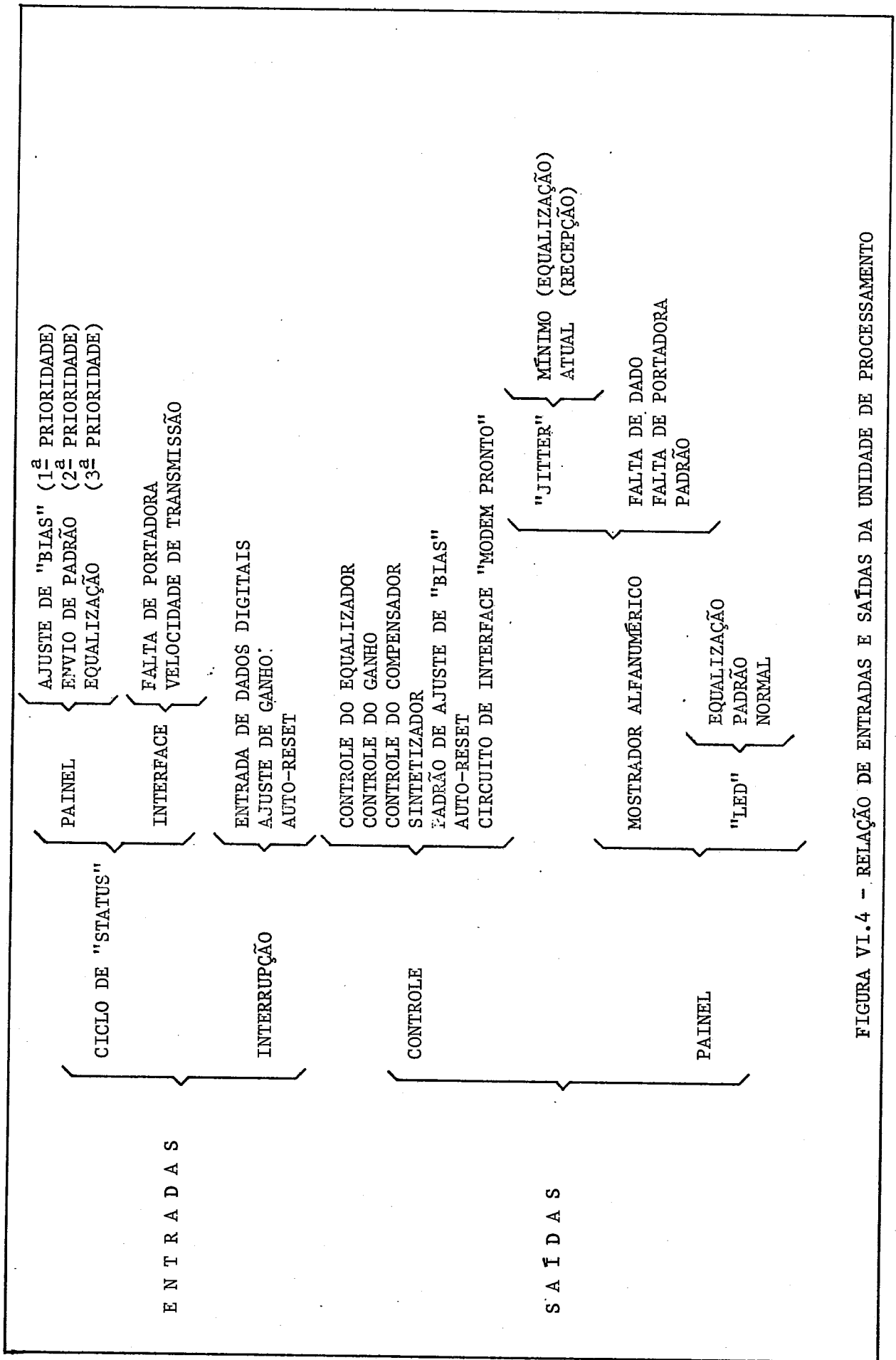


FIGURA VI.4 - RELAÇÃO DE ENTRADAS E SAÍDAS DA UNIDADE DE PROCESSAMENTO

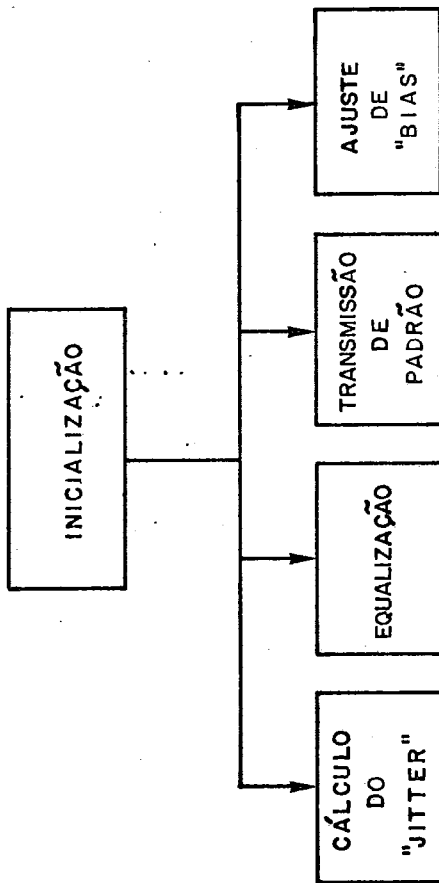


FIGURA VI.5 - FUNÇÕES PRINCIPAIS DA UNIDADE DE PROCESSAMENTO

Existe ainda uma quarta tarefa, denominada de ajuste de "BIAS", que consiste na medida do "jitter" médio com os equalizadores posicionados em um ponto de atuação nula. Este procedimento tem o propósito de permitir o ajuste do circuito de modulação na linha de produção sem o auxílio de instrumentos, conforme já discutido anteriormente. O ajuste de "BIAS" é a tarefa mais prioritária de todas, pois durante a sua execução a unidade de processamento fica alheia à requisição, via painel, de qualquer outra função. Seu acionamento é feito também por uma chave que, no caso, localiza-se fora do painel do Modem.

A unidade de processamento toma conhecimento de qual tarefa deve ser executada, por meio de uma leitura cíclica do estado das chaves. A leitura é feita no sentido da maior para a menor prioridade. Ao ser detectada uma chave no estado ativo, a função relativa àquela chave é executada.

Durante a execução de uma função, são testadas apenas as chaves relativas às tarefas mais prioritárias. Desta forma não só a UP mantém-se atenta às requisições de tarefas mais prioritárias, como também não pode interromper uma função para atender outra de menor prioridade.

A figura VI.6 apresenta um fluxograma relativo ao atendimento das diversas tarefas requisitadas pelos comandos de painel.

Observando-se o fluxograma de atendimento das tarefas já descritas, verifica-se que a instrução de leitura das diversas chaves é repetida em vários pontos do programa. O resultado imediato desta técnica é a obtenção de um programa mais extenso. Entretanto, o objetivo seguido durante a programação foi o controle de processo em tempo real, que exige uma execução de tarefas a mais rápida possível. A utilização de um sistema operacional que otimizasse o espaço em memória EPROM acarretaria em um tempo maior de execução, devido às necessárias atualizações de registros de status, apontadores etc.

De acordo com a filosofia apresentada, outras rotinas de rápida atuação de controle também são repetidas em vários

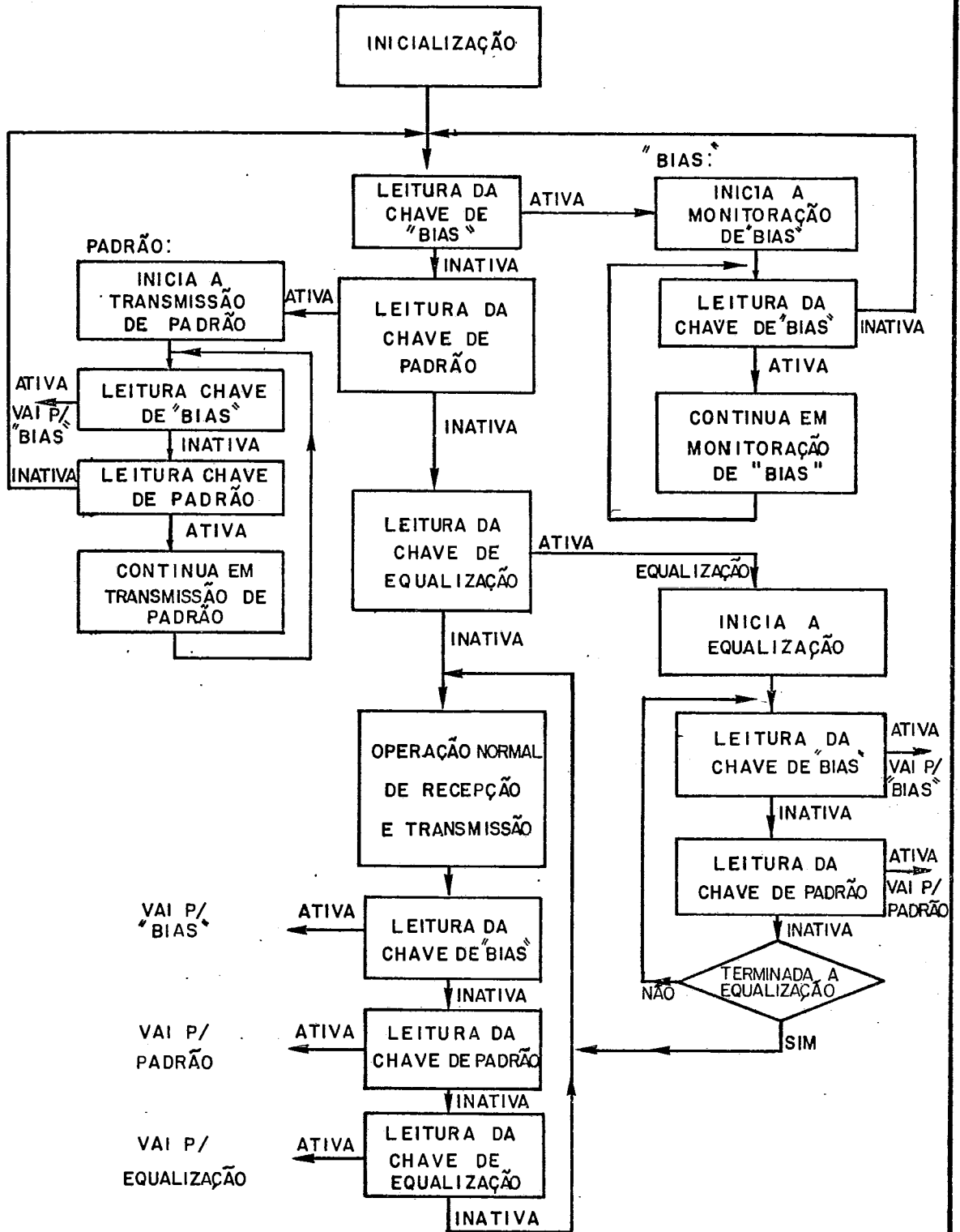


FIGURA VI . 6- FLUXOGRAMA DE ATENDIMENTO AS FUNÇÕES COMANDADAS POR PAINEL

pontos do programa.

Vale acrescentar ainda que esta técnica de programação não acarreta qualquer aumento de custo, visto que o total de palavras utilizadas não excede a capacidade das memórias de baixo custo disponíveis no mercado.

O microprocessador 8085 dispõe de quatro entradas de interrupção sendo que destas, três são mascaráveis por programação. A quarta detem a maior prioridade de todas, não sendo afetada por qualquer instrução. Conforme foi visto, esta interrupção é utilizada para a reinicialização automática da unidade de processamento no caso de perda acidental de controle do Modem, ocasionada por ruídos transitórios.

O emprego das interrupções mascaráveis por programação é desejável para o cálculo do "jitter" médio e o ajuste de ganho dos amplificadores, devido à necessidade de um controle em tempo real para a execução destas tarefas. O atendimento das interrupções mascaráveis é feito prioritariamente ao atendimento de outras tarefas desde que a função básica do Modem (medida de "jitter", equalização, etc), selecionada pelo operador, assim o exija. De outra forma, as interrupções permanecem desabilitadas mantendo a UP insensível à presença de pulsos nas suas respectivas entradas.

Observa-se ainda na figura VI.4 que, além das entradas de ciclo de status partindo do painel ou seja, acionadas pelo operador, existem ainda duas entradas provenientes da interface. Estes pontos serão acessados pela unidade de processamento de acordo com as necessidades definidas pela tarefa em execução, não havendo sentido em definir prioridades aos mesmos.

Inicialização

A inicialização da unidade de processamento ocorre sempre após a liberação do comando de "RESET" do microprocessador ou quando o Modem é ligado. Durante esta fase, os periféricos são programados de acordo com os respectivos modos de funcionamento. Os registros e apontadores são também preparados para o

início da operação da UP.

Uma outra operação, realizada durante o período de inicialização, é a leitura da taxa de sinalização, para a posterior programação dos contadores 2 e 3. Estes contadores são os responsáveis pela geração das frequências relativas aos bits "um" e "zero". Esta verificação, entretanto, só é necessária para a operação no modo Telebrás, devido à mudança das frequências de saída de acordo com a faixa de velocidades de transmissão escolhida.

Vale ressaltar que, neste modo de operação, a taxa de sinalização é monitorada por ciclo de status em todas as rotinas com exceção da transmissão de padrão pseudo-aleatório, que é feita sempre a 1200 bps. A leitura da velocidade de transmissão apenas para o modo Telebrás, constitui uma das alterações de programa necessárias para a mudança do modo de operação do Modem.

Na inicialização, o registro de controle dos equalizadores é carregado com o valor relativo à posição de melhor equalização. Este valor encontra-se armazenado na memória de baixo consumo que o mantém a salvo, mesmo nos casos de desligamento do Modem, conforme já explicado.

Finalmente, é verificada a presença de portadora e ajustado o ganho dos amplificadores. Logo após então, a unidade de processamento providencia a leitura das chaves de painel para a execução da tarefa mais prioritária (de acordo com o fluxo grama da figura VI.6).

Ajuste de "BIAS"

Conforme explicado no capítulo III, o ajuste de "BIAS" consiste na calibração do circuito demodulador de modo a que sejam obtidos pulsos "zero" e "um" com a mesma largura. Para esse ajuste o transmissor e o receptor são interligados, sendo para isto transmitida uma sequência de bits alternados (onda quadrada). O operador, auxiliado pela leitura de "jitter" médio, ajustará o demodulador procurando obter o menor valor de leitura possível. Esta operação deve ser feita com os equalizadores prati-

camente não atuando sobre o sinal proveniente do transmissor.

Para a rapidez de operação, o acionamento da chave de "BIAS" coloca o Modem em condições de ajuste, independentemente da posição dos outros comandos de painel. Para isto foi atribuída a máxima prioridade no atendimento desta rotina.

Na inicialização da rotina de "BIAS", a unidade de processamento ativa um registro de aviso de execução desta função. Em seguida, os equalizadores são levados à posição neutra. Após este procedimento, a UP executa a rotina de cálculo do "jitter" médio, testando constantemente apenas a chave de ajuste de "BIAS".

Caso seja verificada a desativação da chave de "BIAS", a UP recarrega a posição original dos equalizadores, desativa o registro de aviso de rotina e volta a testar as chaves de painel relativas às demais operações do Modem.

Transmissão de padrão

A transmissão de padrão é a segunda rotina com a maior prioridade (atrás apenas da rotina de "BIAS"). Durante esta tarefa, a unidade de processamento gera um padrão pseudo-aleatório de 15 bits, providencia a sua modulação atuando diretamente nos contadores e mantém o ciclo de status sobre as chaves de padrão e "BIAS".

A unidade de processamento escreve no mostrador alfanumérico o dígito "zero", como indicativo de transmissão de padrão pseudo-aleatório, aproveitando o fato de que o "jitter" médio não é calculado durante esta função.

A geração do padrão pseudo-aleatório é feita apenas na taxa de 1200 bps pois a aplicação principal da transmissão deste padrão é a equalização do Modem remoto. Pelos motivos expostos no capítulo V, a equalização é feita apenas nesta taxa. Desta forma, tanto na rotina de padrão pseudo-aleatório como na de equalização, a unidade de processamento assume automaticamente a taxa de 1200 bps, independentemente do modo de operação ou de um selecionamento prévio de velocidade.

Uma vez verificado o estado desativado da chave de padrão (ou ainda do pedido de "BIAS"), os contadores e registros são reprogramados para a condição original. Em seguida o controle do sistema é entregue à próxima rotina com maior prioridade (ou à rotina de "BIAS").

Equalização

A função de equalização consiste na busca da posição de equalizadores e compensador, tal que o "jitter" médio do sinal demodulado seja o menor possível. Para tanto, a unidade de processamento atua sobre o controle dos equalizadores e do compensador, bem como utiliza a rotina de cálculo de "jitter" simultaneamente.

Conforme já explicado no capítulo V, durante a equalização a UP executa uma varredura pelas posições de controle dos equalizadores e do compensador, ao mesmo tempo que calcula internamente o valor de "jitter" médio apresentado em cada posição testada. A medida que o processador passa por posições que apresentam o menor "jitter" médio medido até então, este valor é atualizado no mostrador numérico do painel. Ao final da varredura a posição assumida será aquela na qual foi obtido o menor "jitter" médio durante o teste.

O controle do microprocessador é entregue à rotina de equalização, ao ser detectado, durante o ciclo de status, o acionamento do respectivo interruptor do painel. Entretanto, isto só acontece quando outras tarefas mais prioritárias não estiverem em execução.

Na inicialização do processo, a UP toma as seguintes providências:

- i) ativa um registro de aviso de equalização,
- ii) inicializa registros utilitários da rotina,
- iii) carrega, na saída de controle dos equalizadores e do compensador, a posição inicial, equivalente a todos os bits iguais a zero,

- iv) ativa o indicador luminoso relativo ao andamento da equalização (localizado no painel),
- v) testa a presença de portadora na linha,
- vi) ajusta o ganho dos amplificadores.

A presença de portadora na linha é testada não só na inicialização da equalização, mas também durante todo o processo. Caso seja sentida a ausência desta, a UP interpreta como ocorrência anormal e aborta o processo. Entretanto, para a equalização de linhas com transmissão intermitente onde existe a queda intencional de portadora, a paralisação da rotina pode ser evitada pelo simples bloqueio de entrada responsável por essa informação.

Feita a inicialização da equalização, o controle do processo segue basicamente o fluxograma da figura V.18 que representa o algoritmo já discutido no capítulo V. (item V.6).

Ao final do processo, a UP posiciona os equalizadores e compensador no ponto cuja medida de "jitter" foi mínima. Esta posição ficará armazenada na memória RAM de baixo consumo para a sua preservação, até que seja solicitada nova equalização.

O registro de aviso de equalização é desativado, juntamente com o indicador luminoso do painel. O ganho dos amplificadores é novamente ajustado tendo, como sinal a ser amplificado, a informação analógica agora equalizada.

Em seguida o controle do processo é entregue à rotina de leitura do "jitter" médio, que passa então a atualizar continuamente o valor mostrado no painel, relativo à posição de funcionamento normal dos equalizadores.

Leitura de "jitter" médio

A rotina de leitura de "jitter" médio é o estado de operação natural da unidade de processamento, ou seja, é a tarefa executada quando nenhuma outra for comandada pelo painel. Entretanto, esta rotina pode ser executada dentro da rotina de "BIAS" ou de equalização, conforme já esclarecido.

Durante a execução isolada, ou seja, não compartilhada, desta rotina, a unidade de processamento mantém ativado o circuito de interface, informando o terminal de dados que o Modem está pronto para operar. Em todas as outras rotinas, este circuito é mantido desativado, por serem tarefas especiais solicitadas pelo operador (padrão, equalização ou "BIAS").

A função básica desta parte do programa é o cálculo do "jitter" médio da informação digital demodulada. Como esta rotina pode ser executada por si ou dentro de outras rotinas, a unidade de processamento identifica qual dos dois possíveis casos está em andamento, testando os registros de aviso de função ("BIAS" ou equalização). A necessidade deste procedimento está no fato de que, para cada situação, existem diferentes decisões a serem tomadas. Um exemplo imediato é o ciclo de status para a leitura das chaves de painel, cujo fluxograma encontra-se representado na figura VI.7. Observa-se que a leitura das chaves é feita de acordo com os registros de aviso que informam qual a função que está em execução.

Para o cálculo do "jitter" médio são utilizadas duas entradas de interrupção (acionadas pelos dados digitais) e um dos contadores existentes no integrado 8253. A função deste componente é a medida da largura dos pulsos provenientes do detector. Para isto, o contador é disparado a partir de uma interrupção provocada pela transição do dado digital. Na ocorrência da próxima transição do mesmo sinal, é gerada outra interrupção. Para cada nova interrupção, a contagem do novo período é lida e o contador é reinicializado para o próximo ciclo.

Os períodos maiores que o equivalente a um período e meio do bit padrão são abandonados pois, ao processo, interessa apenas a medida dos bits isolados. A razão deste procedimento está explicada no item V.4.

Concluída esta etapa, o programa calcula o "jitter" de cada pulso, definido pelo módulo da diferença entre o período medido e o período padrão. São calculados inicialmente os valores de "jitter" de 256 bits e posteriormente o valor médio. Es

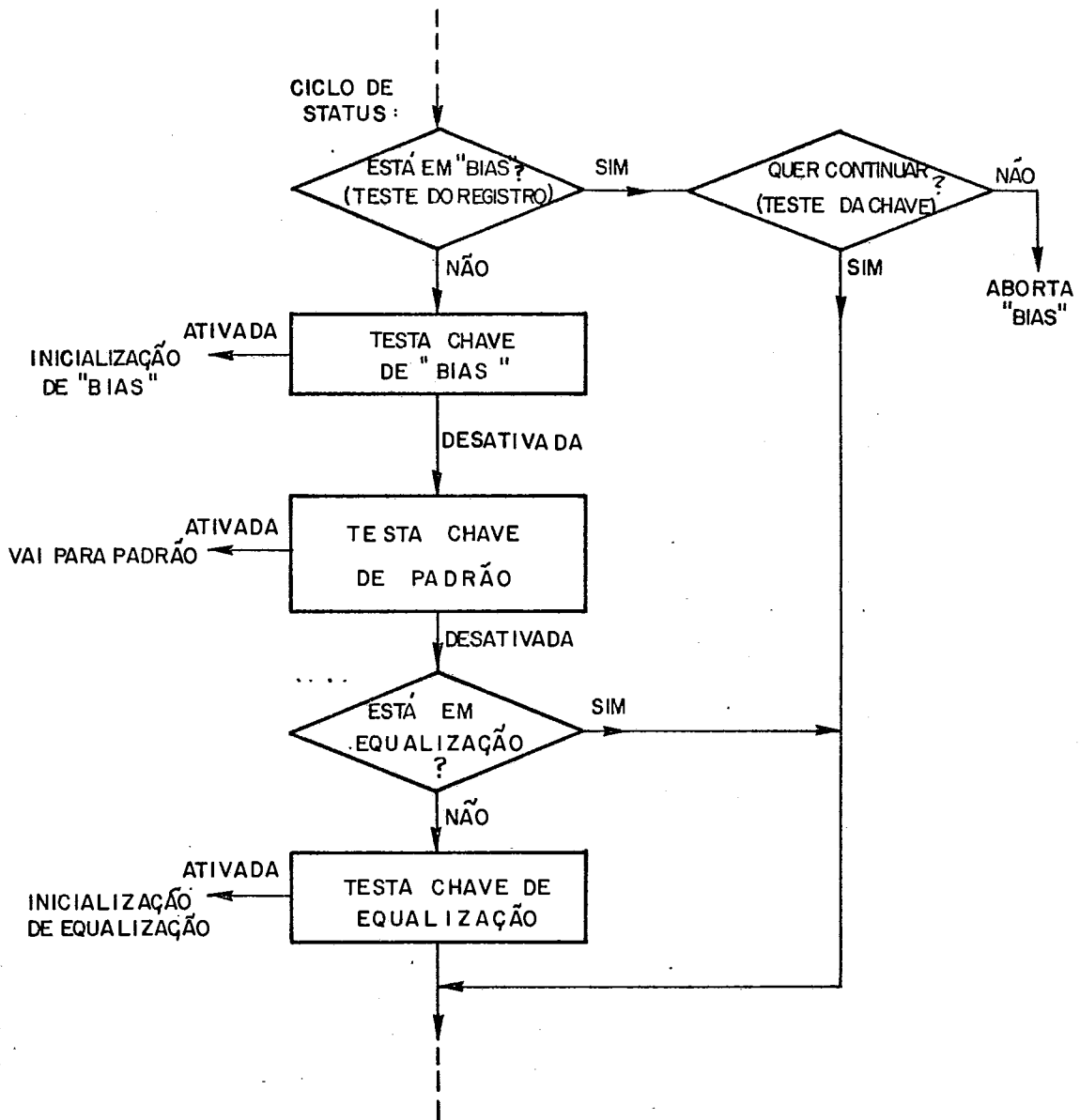


FIGURA VI.7: FLUXOGRAMA DO CICLO DE STATUS DAS CHAVES DE FUNÇÃO, DENTRO DA ROTINA DE LEITURA DO "JITTER" MÉDIO.

te último é então atualizado no mostrador de sete segmentos.

Esta etapa final é ligeiramente modificada durante a equalização pois, nesta rotina, é memorizado o "jitter" cumulativo dos 256 bits medidos, correspondendo à melhor posição de equalizadores até então obtida. O "jitter" cumulativo dos bits já lidos durante o cálculo do valor médio de cada posição é constantemente testado com o valor cumulativo memorizado. Desta forma, uma posição de equalizadores é imediatamente abandonada caso o "jitter" cumulativo para qualquer número de bits lidos ultrapasse o valor memorizado, não sendo neste caso necessário atingir a contagem de 256 bits.

Evidentemente, este procedimento especial (descrito no item V.4) para a equalização só é executado após verificação do registro de aviso de equalização. A figura VI.8 apresenta o fluxograma simplificado do algoritmo de cálculo do "jitter" médio.

VI.4 - Resumo

Neste capítulo foram apresentados os circuitos que compõem a unidade de processamento, bem como os aspectos mais importantes relativos à sua programação.

A unidade de processamento tem como tarefas básicas a monitoração da qualidade da informação demodulada e o ajuste de circuitos analógicos, de forma a adaptá-los às condições apresentadas pela linha. A utilização da UP na síntese do sinal senoidal possibilita a operação do Modem em diversos padrões de frequências de saída através de simples alterações de programação.

Os componentes utilizados na sua implementação pertencem à família MCS.85 da Intel devido à sua característica de baixo custo e grande disponibilidade no mercado. O microprocessador 8085 é o elemento central de controle, dispendo de quatro entradas de interrupções, das quais três são mascaráveis por programação. A quarta interrupção é prioritária não sendo mascarável de forma alguma.

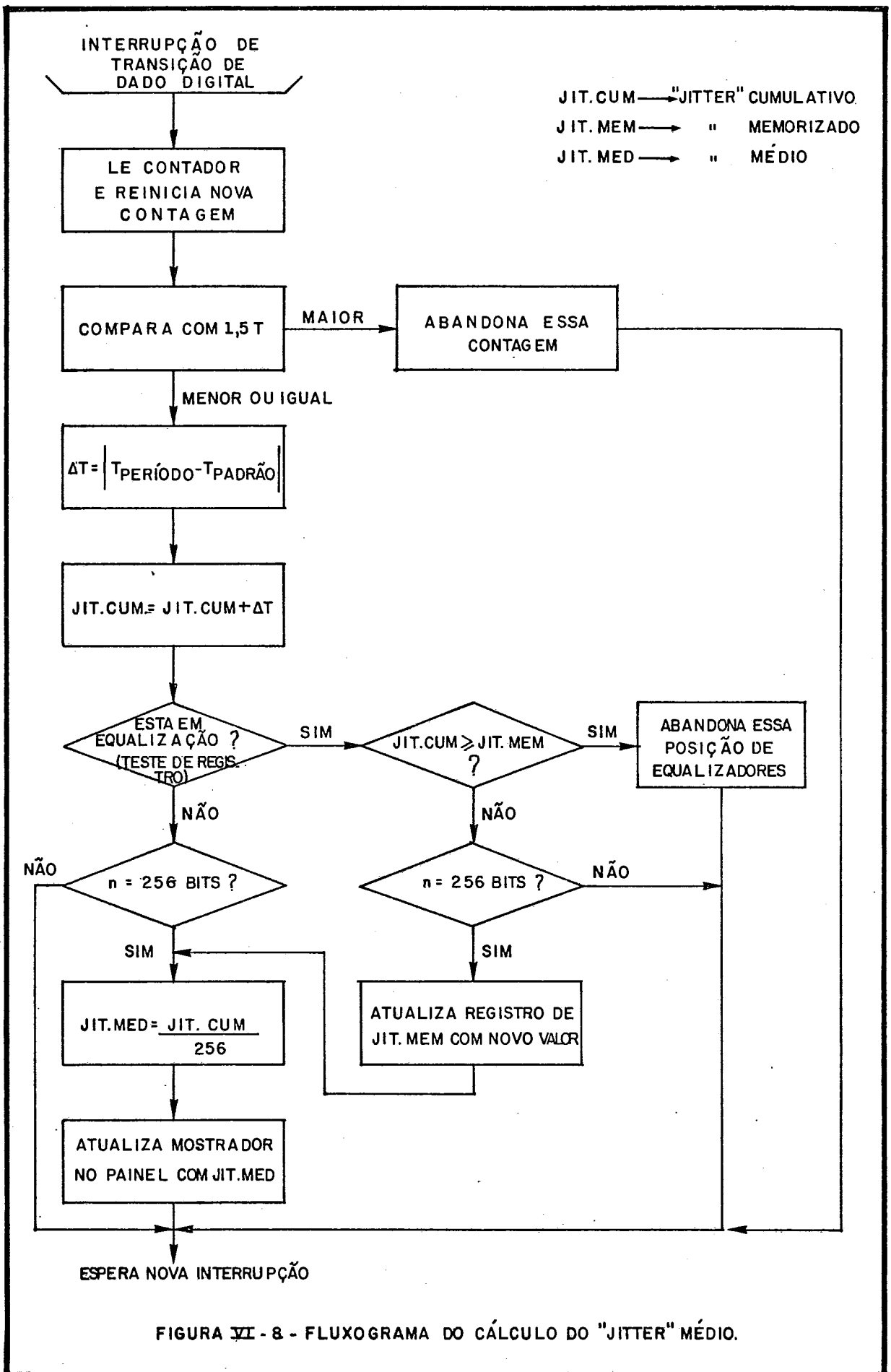


FIGURA VI - 8 - FLUXOGRAMA DO CÁLCULO DO "JITTER" MÉDIO.

Estas características tornam o microprocessador 8085 adequado para funções de controle em tempo real, o que justifica o seu emprego para o controle do Modem.

A unidade de processamento dispõe de 2048 bytes de memória EPROM, 256 bytes de memória RAM, quatro contadores programáveis e 30 pontos de acionamento e leitura de status para o controle dos circuitos do Modem. Faz parte ainda da UP uma memória de baixo consumo para o armazenamento do controle dos equalizadores. Esta memória é protegida por um circuito isolador que garante a segurança de seu conteúdo mesmo nos casos de perda de alimentação. Este circuito bem como a memória são alimentados por bateria durante os períodos de falta de alimentação.

Durante a operação do Modem junto ao equipamento terminal de dados, a unidade de processamento mantém-se calculando o "jitter" médio apresentado pela informação demodulada. Esta operação poderá ser interrompida pelo operador para a execução do ajuste dos equalizadores, transmissão de padrão pseudo-aleatório ou ainda para a monitoração do ajuste do demodulador do Modem.

Estas operações são acionadas por intermédio de chaves que são constantemente lidas pela UP segundo um ciclo de leitura de status. A leitura do status ocorre de acordo com as prioridades dessas operações de modo a ser atendida sempre a tarefa de maior importância.

A filosofia de programação leva em conta principalmente o controle dos processos em tempo-real. Desta forma a concepção do programa foi feita diretamente em linguagem de máquina com a utilização de artifícios que resultam num baixo tempo de execução.

Com o objetivo de garantir-se uma maior segurança de funcionamento junto a fontes de ruído impulsivo, dotou-se a unidade de processamento de um dispositivo de auto-reinicialização.

CAPÍTULO VII

EXEMPLO DE UMA REDE DE TRANSMISSÃO DE DADOS
DOTADA DE AUTO-SUPERVISÃO E AUTO-CORREÇÃOVII.1 - Introdução

Este capítulo apresenta um sistema aperfeiçoado de transmissão de dados, mostrando o acréscimo de capacidade adquirida pelo mesmo através do emprego do modem descrito no presente trabalho.

Trata-se de uma rede de aquisição de dados em configuração radial. Esta configuração é frequentemente adotada em sistemas reais ou em sub-redes de grandes sistemas de aquisição de dados especialmente na área de geração, transmissão e distribuição de energia elétrica. A exemplo de muitas redes existentes, o meio de comunicação a ser utilizado é a própria linha de transmissão de alta tensão, através de equipamentos especialmente desenhados para permitir a comunicação telefônica (canais de 300 a 3400 Hz).

VII.2 - Sistema Tradicional para Transmissão de Dados

A figura VII.1 ilustra um sistema tradicional composto pelas remotas, modems e por um computador central responsável pela aquisição de dados.

Devido à necessidade de uma maior segurança de operação, o sistema é dotado de um modem reserva para cada conjunto de linhas, cujo número dependerá do grau de confiabilidade desejado. No caso de pane em um dos modems o computador central o substitui automaticamente pela unidade reserva do seu grupo.

O chaveamento automático de um modem qualquer pelo reserva num grupo é feito pelo circuito de comutação apresentado na figura VII.1. Este circuito tem também por objetivo permitir a utilização de um modem por mais de uma linha, resultando em uma redução de custos. O compartilhamento de modems é possível neste

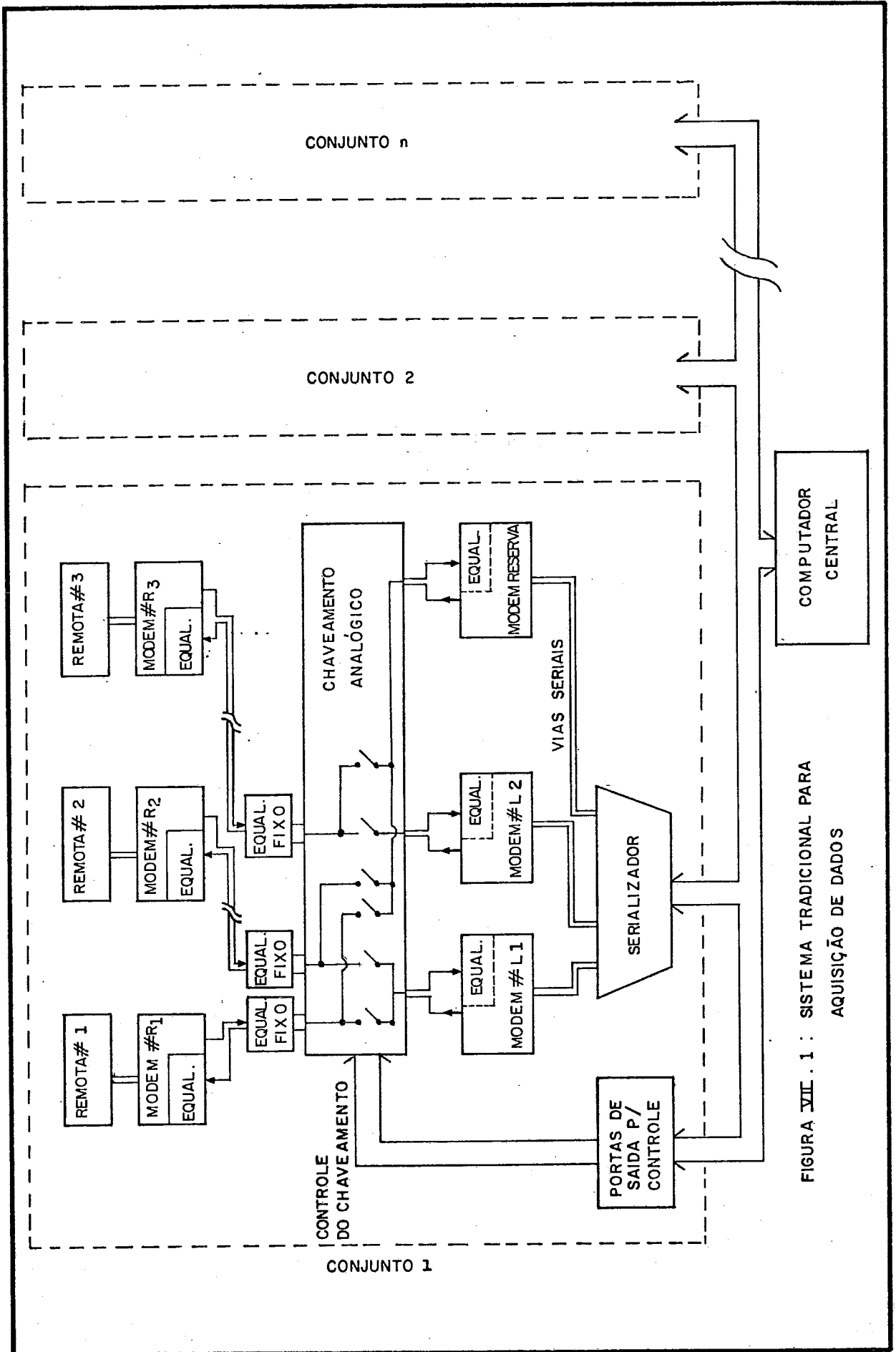


FIGURA VII. 1 : SISTEMA TRADICIONAL PARA AQUISIÇÃO DE DADOS

tipo de sistema pois a comunicação com as remotas é sempre iniciada pelo computador. Logo, antes de ser acessada uma remota, o computador comuta a linha, relativa à remota, ao modem associado. Observa-se no exemplo da figura VII.1 que o modem 1 pode atender às remotas 1 e 2.

Como todo o comando do circuito de comutação é feito pelo computador, é necessário o emprego de periféricos típicos de controle de processo com portas de saída.

A utilização de um meio de comunicação sujeito à distorção de fase requer o emprego de circuito equalizador dedicado em cada linha, para essa configuração em redundância, mesmo que os modems utilizados disponham de dispositivos equalizadores próprios, de ajuste manual. Isto deve-se à necessidade de chaveamento automático de várias linhas para um mesmo modem ou ainda do modem reserva em substituição de qualquer unidade em pane.

Conforme já mencionado em capítulo anterior, a verificação da distorção em um canal no sistema convencional é feita através da constatação de um número excessivo de erros. O erro pode ser caracterizado pela ausência da resposta de uma remota à transmissão de uma mensagem do computador, ou ainda pela recepção de uma resposta na qual tenha sido detectado algum bit trocado. O primeiro tipo de erro, quando em excesso, denota uma distorção na linha de transmissão pois a detecção de um erro, pela remota, resulta na ausência de resposta da mesma. Um excesso de respostas erradas geradas pelas remotas indica uma distorção na linha de recepção.

Para a correção da distorção de fase na linha de recepção, é necessário um reajuste do equalizador dedicado àquela linha. Para esta manobra a linha deve ser desativada e o modem remoto deve transmitir um padrão pseudo-aleatório. Vale citar uma vez mais que esse ajuste requer um osciloscópio e um técnico experimentado. Evidentemente tal procedimento demanda um certo tempo.

Para a correção da distorção de fase na linha de transmissão o procedimento necessário é semelhante ao anterior diferindo apenas nos locais de operação, pois é o modem do centro de controle que transmite o padrão pseudo-aleatório enquanto que o

ajuste é feito no equalizador junto ao modem remoto. A operação neste caso é ainda mais demorada por se tornar necessário enviar equipamento e técnico do centro de operações à remota, localizada a grande distância do mesmo na maioria das vezes.

VII.3 - O Sistema Proposto

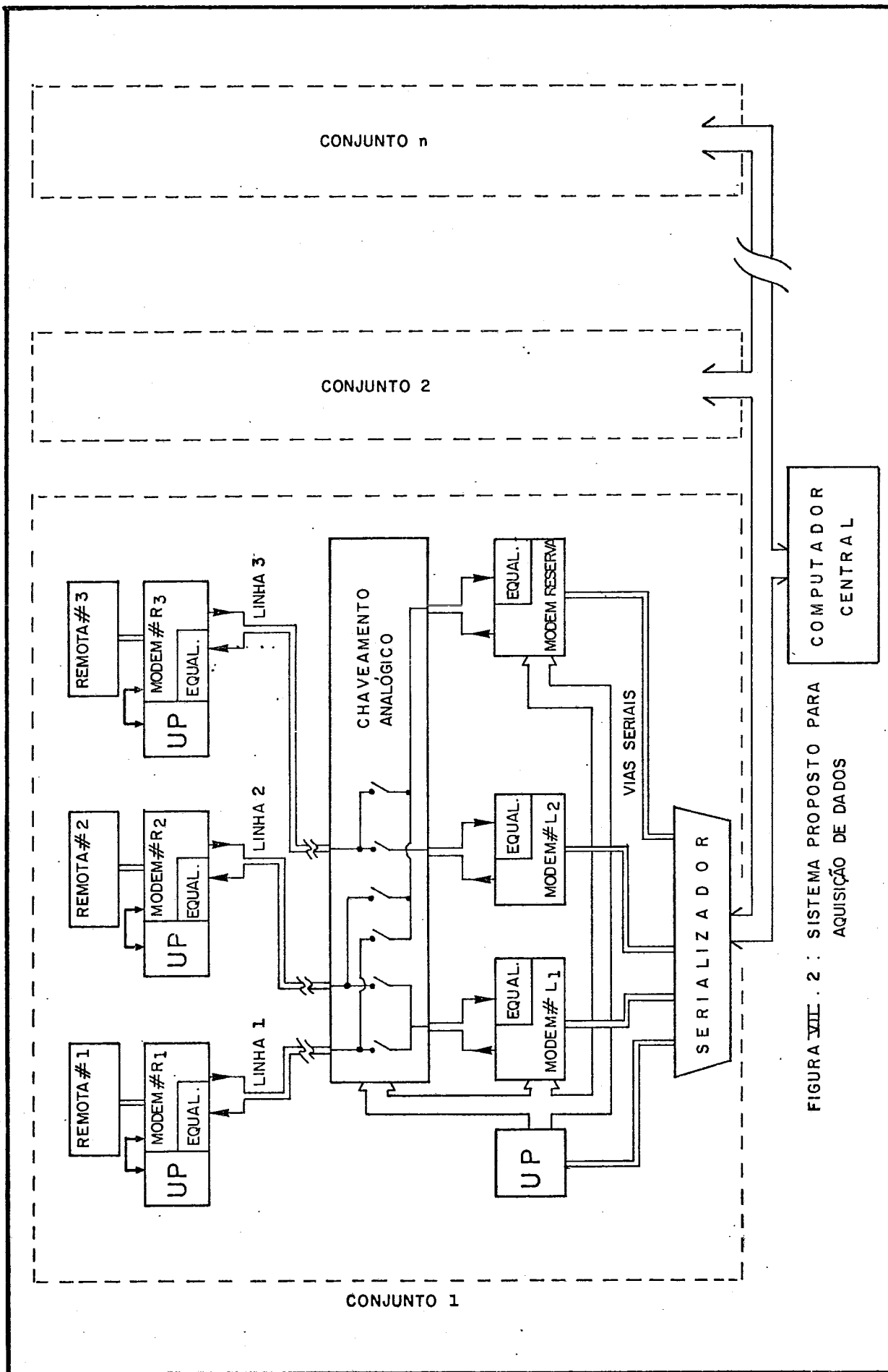
O novo sistema proposto encontra-se representado na figura VII.2. Na sua implementação foram empregados modems completos (com UP dedicada) junto às remotas, enquanto que, junto ao computador central, foram empregados modems com UP compartilhada. Neste último caso, cada UP é compartilhada por todos os modems de um mesmo grupo, incluindo o modem reserva.

Observa-se inicialmente a ausência de equalizadores dedicados pois, através da memorização da equalização de cada linha, internamente na UP, esta tem condições de ajustar um modem que atende a várias linhas, de acordo com aquela a ser utilizada. Da mesma forma, no chaveamento de um modem em pane pelo reserva, este último receberá o mesmo ajuste do modem anterior.

No novo sistema observa-se também a inexistência do periférico de saída responsável pelo comando dos blocos de chaveamento das interfaces analógica e digital. Estas interfaces passam a ser comandadas pela própria UP, através de portas de controle de custo muito inferior. Observa-se que desta forma a UP assume uma função de controle anteriormente atribuída ao computador central.

Cabe ressaltar neste momento que não são o controle de chaveamento como todos os demais comandos (equalização, envio de padrão, etc.) são podem ser executados pelo computador central ou pelo operador que são os elementos responsáveis pelo controle de todo o sistema, e têm o acesso às informações necessárias a essas ações. Portanto não cabe à UP esse tipo de decisão, mas somente a supervisão e controle do subsistema de comunicação, na condição de escravo.

A necessária comunicação entre a UP e o computador pode ser feita por intermédio de uma interface idêntica às usadas na interligação entre os modems e o próprio computador. A taxa de



COMPUTADOR CENTRAL

FIGURA VII . 2 : SISTEMA PROPOSTO PARA AQUISIÇÃO DE DADOS

sinalização pode ser a mais alta aceitável por ambos os lados, uma vez que a interligação não passa por nenhum tipo de modulação. Esta alternativa de comunicação permite uma simplificação em hardware pois padroniza a interligação entre o subsistema de comunicação de dados e o computador. Desta forma é suficiente apenas a existência de uma saída serial, que passa a ser usada pela UP, em cada grupo de modems, para que seja garantido todo o controle do sistema.

Também em software obtém-se uma simplificação pois a UP pode ser tratada como uma pseudo-remota para a qual devem ser endereçados todos os comandos e leituras de estado do subsistema.

O protocolo necessário à comunicação entre o computador e a UP é simples consistindo basicamente na transmissão, pelo primeiro, de comando seguido de uma espera de resposta. Os comandos necessários são:

- a) Equalização;
- b) Transmissão de padrão pseudo-aleatório;
- c) Leitura de "Jitter";
- d) Chaveamento de um modem pelo reserva;
- e) Mudança de linha.

A palavra de comando deve dispor de dois campos, necessários respectivamente à codificação da ação solicitada e à definição do modem a ser acionado. Após a transmissão de um comando, o computador aguarda por um tempo predeterminado o recebimento de um caracter de reconhecimento, seguido da palavra de fim de comando ou do valor de "jitter", dependendo da ação solicitada. Na ausência de qualquer destas respostas o computador poderá retransmitir o comando ou informar ao operador a ocorrência. A figura VII.3 apresenta o fluxograma relativo a este protocolo de comunicação.

VII.4 - O Acionamento do Modem Remoto

Conforme já explicado anteriormente, para que seja feita a equalização em uma extremidade da linha é necessário que o modem localizado na outra extremidade envie um padrão pseudo-aleatório. Esta condição normalmente requer a presença de um operador que

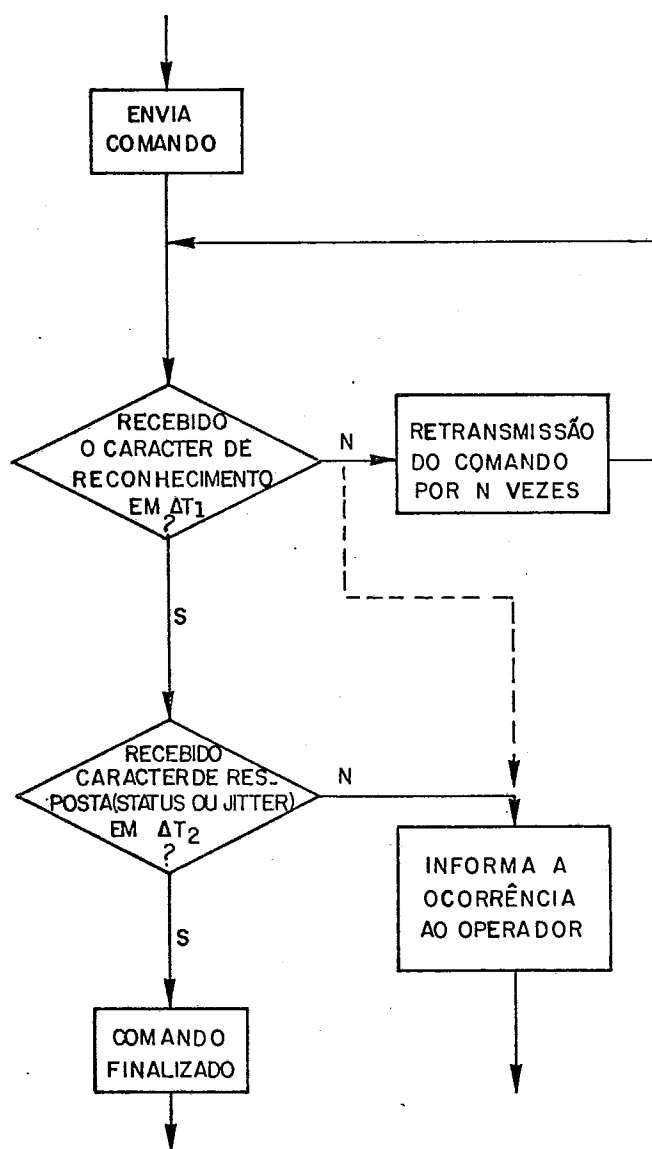


FIGURA VII. 3 : FLUXOGRAMA DO PROTOCOLO DE COMUNICAÇÕES DO COMPUTADOR COM A UP

aciona a transmissão deste padrão. No que diz respeito à monitoração do "jitter" no modem remoto, o problema é semelhante. No caso do sistema proposto estas operações podem ser feitas de modo totalmente automático através do emprego de um canal secundário obtido por multiplexação de frequência, e que opera com uma baixa taxa de sinalização.

Através deste canal o computador teria acesso ao modem remoto paralelamente ao fluxo de dados no canal principal, bastando para isso a existência de uma entrada serial na UP remota. O controle é feito através da transmissão de caracteres de comando seguido da espera dos caracteres de resposta. Os caracteres de comando próprios de um canal secundário são os de pedido de equalização, padrão e leitura de "jitter".

O canal secundário é obtido através do emprego de circuitos moduladores e demoduladores de baixa taxa de sinalização (75 bps), de fácil implementação e que não requer qualquer tipo de equalização devido ao pequeno espectro de frequências transmitido pela linha.

Torna-se apenas necessário o emprego de dois filtros, um passa-baixas e outro passa-altas para a demultiplexação dos sinais provenientes da mesma linha. A multiplexação é feita com um simples circuito somador, podendo ser empregado o próprio amplificador do modem principal. A figura VII.4 apresenta o diagrama dos blocos necessários para a inclusão do canal secundário ao modem.

A interface de ligação entre o modem e o computador provê todos os controles necessários ao canal secundário conforme determinado pelos padrões internacionais EIA e CCITT, não havendo, portanto, a necessidade de novas cabeações.

VII.5 - A Equalização de uma Linha no Sistema Proposto

A equalização de uma linha no sistema proposto é feita de maneira semelhante à equalização no sistema tradicional, excetuando-se o fato de que é feita automaticamente pelo próprio computador. Existe, ainda, a possibilidade de acionamento direto pelo operador através do painel do modem. Entretanto mesmo comandos isolados podem ser obtidos a partir do console de controle do sistema principal, utilizando-se todas as facilidades de

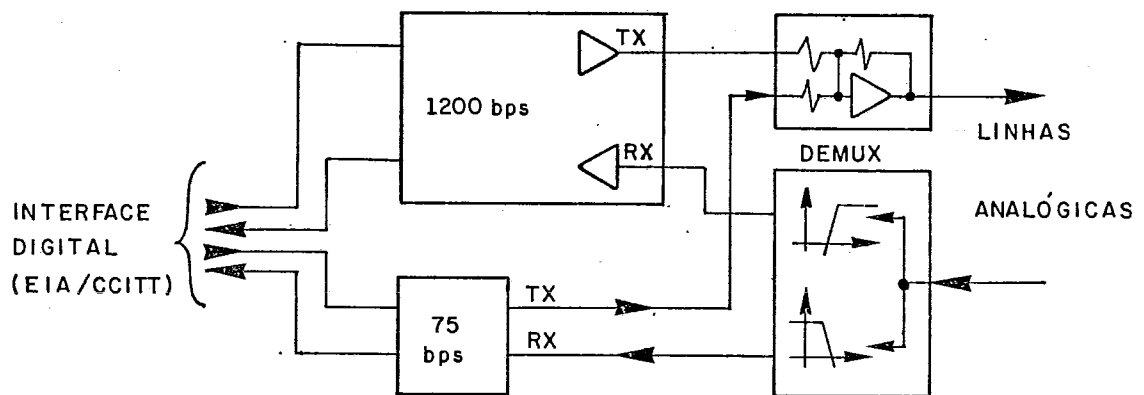


FIGURA VII . 4: DIAGRAMA EM BLOCO DOS CANAIS PRIMÁRIO E SECUNDÁRIO

acionamento via computador. Desta forma fica poupado o trabalho do operador em localizar e deslocar-se até o modem a ser comandado.

Supondo-se uma linha em operação, o procedimento natural será o do computador manter a leitura periódica do "jitter" nos modems das duas extremidades, até que seja detectada uma leitura acima de um valor tolerável. Ocorrido isso, o programa de controle decidirá se o momento é adequado ao novo ajuste, levando em consideração a prioridade do tráfego naquela linha, bem como o grau de desigualização medido.

Uma vez decidido pelo reajuste de qualquer um dos equalizadores, remoto ou local, deverá ser interrompido o fluxo de dados no canal.

Para a equalização do modem local é seguido o protocolo descrito a seguir.

O computador:

- a) Transmite para o modem remoto (via canal secundário): COLOCAR PADRÃO;
- b) Espera do modem remoto: PADRÃO COLOCADO;
- c) Transmite para a UP local: EQUALIZAR MODEM N;
- d) Espera da UP local: RECEBIDO O COMANDO;
- e) Espera da UP local: EQUALIZAÇÃO TERMINADA;
- f) Transmite para o modem remoto: RETIRA PADRÃO;
- g) Espera do modem remoto: PADRÃO RETIRADO;

Para a equalização do modem remoto é seguido o mesmo protocolo onde as mensagens enviadas à UP passam a ser endereçadas ao modem remoto e vice-versa.

VII.6 - Compartilhamento da UP Remota por Outros Processos

O modem remoto, de acordo com o sistema proposto, opera com uma UP dedicada, justificado pelas funções necessárias ao funcionamento do sub-sistema conforme definido neste capítulo. Entretanto devido não só à modularidade do projeto bem como

ao emprego de microprocessador de uso geral, fica aberta a possibilidade do compartilhamento da UP entre o modem e a própria remota.

Para isso a UP deverá operar tanto com as rotinas de controle do modem bem como com o "software" de aplicação da remota, num esquema de multiprogramação com prioridades e sequenciamento de execução bem definidos.

O compartilhamento da UP junto à remota tem como consequência direta a redução da ociosidade de processadores em sistemas de aquisição de dados para processos lentos, bem como a redução de custos advindo do menor número de componentes empregados. Por outro lado esta alternativa resulta em um aumento do tempo de execução das funções relacionados com a remota, devido à redução de paralelismo de processamento.

A solução mais atrativa dependerá, evidentemente, das características do sistema, do meio de comunicação, bem como dos requisitos de custo e desempenho a serem atendidos.

VII.7 - Resumo

Este capítulo apresentou um subsistema de transmissão de dados dotado de auto-supervisão e auto-correção, a ser empregado em redes de aquisição de dados típicos de sistemas de energia elétrica, em substituição da rede convencional de modems.

A configuração adotada é a radial, onde são utilizados modems completos junto às remotas e modems com UP compartilhada junto ao computador central.

Atendendo às necessidades de segurança e disponibilidade do sistema, a rede convencional dispõe de um modem sobressalente para cada grupo de modems ligados ao computador central. Para isto são empregados circuitos comutadores de linhas permitindo a mudança automática de qualquer modem pelo reserva. O comando destes circuitos é realizado pelo computador através de periféricos que dispõem de portas de saída.

Os circuitos chaveadores possibilitam ainda o atendimento de várias linhas por um mesmo modem. Esta multiplexação é per

mitida neste tipo de rede onde a comunicação entre o computador central e a remota é iniciada sempre pelo primeiro, que opera como mestre do sistema. Desta forma antes de uma remota ser a cessada, o computador comuta a linha desta remota ao modem res ponsável pelo seu atendimento.

Para que seja possível a multiplexação e a redundância dos modems em sistemas onde as linhas apresentam distorções que devem ser neutralizadas, torna-se necessária a utilização de um circuito equalizador fixo na chegada de cada linha. Estes cir cuitos mantêm as linhas equalizadas, permitindo o atendimento de qualquer uma delas por qualquer modem.

No sistema proposto ficam dispensados os circuitos e qualizadores fixos devido à capacidade da UP em memorizar a equa lização de cada linha. Desta forma, qualquer mudança no circuito de chaveamento é acompanhada do reajuste do equalizador do modem que deverá operar com uma nova linha.

No sistema proposto também são dispensados os periféri cos para o controle dos circuitos de comutação das linhas pois este controle passa a ser executado pela própria UP através de portas de custo bem inferior.

A comunicação entre a UP e o computador é feita atra vés de uma interface igual às usadas junto aos modems. Esta al ternativa simplifica o "hardware" padronizando as interligações, e o "software" por permitir que a UP seja endereçada da mesma forma como uma remota.

Neste capítulo também foi apresentado o procedimento de equalização de uma linha sem qualquer auxílio de um operador junto à remotas, bastando para tanto o emprego de um canal secun dário em cada linha. As características do subsistema permitem que a equalização seja feita não só automaticamente como também manualmente pelo operador. Entretanto mesmo no segundo caso, qualquer ação poderá ser tomada a partir de um console de contro le do computador central, graças à interação deste com o subsis tema de supervisão das comunicações.

Conclui-se, portanto, que com a incorporação de proces samento junto aos modems, abre-se um conjunto de opções de pro

gramação do sistema, visando a automação das ações de controle e supervisão do subsistema de comunicações.

Mesmo para o acionamento manual, o sistema oferece uma maior facilidade de operação dada a possibilidade de centralizar a aquisição dos dados relativos a todos os pontos do subsistema de comunicação, bem como o telecomando dos dispositivos remotos, seja nos vários modems distribuídos pelos bastidores junto ao centro de controle do sistema, seja pelos vários modems remotos espalhados pela rede de aquisição de dados original.

Finalmente, foi colocada como mais uma alternativa do sistema, a utilização de uma mesma UP pela remota bem como pelo modem a ela associado, resultando em uma redução de custos. A adoção desta alternativa depende das características do sistema, bem como do custo e desempenho aceitáveis, uma vez que o compartilhamento da capacidade de processamento, junto às remotas, resulta em um maior tempo de execução das suas funções de aquisição e transmissão de dados.

CAPÍTULO VIII

CONCLUSÃO

Neste trabalho foi descrita uma das possíveis realizações de um modem inteligente, FSK assíncrono para operação até 1800 bits por segundo. Esta versão pode operar dentro das normas Telebrás ou ainda de acordo com outros padrões definidos para a interface analógica (frequências relativas aos bits "um" e "zero").

A transmissão, filtragem e demodulação dos sinais modulados em FSK têm sido tradicionalmente executadas por circuitos analógicos, devido ao baixo custo e simplicidade do processo. Entretanto tais implementações estão sujeitas a alterações com temperatura e envelhecimento dos componentes, tornando-se necessária uma certa atenção para este fato, por parte das equipes de manutenção.

Neste Modem, a transmissão, filtragem e demodulação dos sinais de linha também são realizadas por meio de circuitos analógicos devido às vantagens já descritas. Entretanto, de forma a minimizar os fatores que provocam a degradação dos circuitos analógicos, estes circuitos foram desenvolvidos procurando-se reduzir o custo de manutenção através do uso de técnicas de baixa sensibilidade ao envelhecimento de componentes. Para as partes normalmente mais críticas do processo, foram usadas implementações híbridas (analógicas e digitais) visando atenuar o efeito da variação de temperatura sobre o desempenho destas partes.

Durante testes em bancada o equipamento foi submetido a grandes variações de temperatura, confirmando-se a vantagem da utilização destes circuitos híbridos.

Uma outra limitação dos equipamentos tradicionais com modulação FSK, é a redução do seu desempenho, para a transmissão na taxa de 1800 bps (ou mesmo 1200 bps) com linhas que apresentam distorção de fase e amplitude. A operação nestas condições requer não só a utilização de circuitos equalizadores como também o correto ajuste dos mesmos. O Modem apresentado dispõe destes circuitos equalizadores que permitem o aproveitamento máximo da

modulação FSK.

O ajuste manual dos equalizadores representa um gran de custo, por empregar mão de obra especializada. Por outro la do, o custo dos microprocessadores tem sofrido uma forte redução graças à crescente utilização destes componentes. Tais fatores, por si sõ, justificam o emprego de uma unidade de processamento responsável pelo ajuste automático dos equalizadores, de acordo com as condições apresentadas pela linha de transmissão.

Um segundo benefício, obtido com o uso do microproces sador, é a possibilidade de uma constante supervisão do funcio namento do canal de comunicação, informando ao exterior pos síveis alterações das condições de operação deste canal.

A unidade de processamento emprega o microprocessador 8085 e alguns dos seus periféricos. Trata-se de um microproces sador de uso geral com boa disponibilidade no mercado, benefi ciado pela existência de fabricante em segunda fonte. Este inte grado dispõe de recursos para o processamento em tempo real, ne cessários às tarefas básicas de controle dos circuitos e supervi são do sinal digital.

O emprego de um circuito de "back-up" para manter estã vel o posicionamento dos equalizadores, mesmo nos casos de desli gamento da unidade, falta de alimentação ou desconexão do cartão da UP, garante a maneabilidade do Modem. Este circuito, quando alimentado por uma bateria comum de nove volts não recarregável, mantém inalterado o controle dos equalizadores por um período su perior a três dias sucessivos sem alimentação.

Também o circuito de auto-reinicialização demonstrou sua eficiência através de testes realizados em laboratório. Com este circuito desativado, foram gerados fortes ruídos transitô rios capazes de alterar o andamento normal da UP. Com a ativa ção do circuito, mesmo após um descompasso do microprocessador, este retomava o controle normal pela ação de reinicialização do circuito de proteção.

A implementação da unidade de processamento caracteriza-se por uma modularidade de recursos que permite rápidas alterações com um dispêndio mínimo de tempo. Caso, por exemplo, não haja interesse na utilização do circuito "back-up" por razões de economia, este poderá ser simplesmente suprimido com apenas algumas alterações em "software". Da mesma forma a substituição de periféricos por outros similares (de acordo com o mercado fornecedor) também é facilitada pela flexibilidade da família MCS-85 da INTEL.

Com relação ao aspecto operacional, foi feita a avaliação do Modem no campo, a partir da operação do protótipo, já citado, em uma rede de supervisão e controle de energia elétrica. A unidade operou ininterruptamente por um ano apresentando um funcionamento contínuo sem causar problemas de qualquer natureza. Nesta oportunidade pôde-se observar a aceitação por parte da equipe técnica dos usuários, devido à simplicidade de operação e às informações de controle proporcionadas pela unidade de processamento.

A partir da idéia básica de uma unidade de processamento supervisionar e controlar um modem, é possível a adoção de um subsistema de comunicações que exerça essas funções sobre todos os modems e linhas de comunicação. Este subsistema é hierarquicamente inferior ao sistema de controle original, de quem recebe todos os sinais de controle e comunicação.

A modularidade do projeto proporciona uma série de alternativas de implementação de modo a atender às necessidades e características específicas do sistema, da forma mais econômica possível.

Implementações com modems sobressalentes para substituição automática, ou com o atendimento de várias remotas por um mesmo modem, são facilitados com o emprego do modem controlado a microprocessador.

Finalmente, os processos e soluções apresentados neste trabalho não apresentam grande dependência do microprocessador utilizado, o que possibilita a adaptação do projeto para a opera

ção com outros microprocessadores. Neste caso fica incluída como mais uma alternativa a incorporação do modem remoto ao "hardware" da remota com o compartilhamento da sua Unidade de Processamento.

Como última sugestão de um futuro desenvolvimento, lembramos que a unidade de processamento, por si só, constitui um medidor da qualidade do sinal recebido. Esta unidade pode ser usada separadamente para o ajuste manual dos equalizadores de Modems compostos apenas pelos circuitos analógicos. Evidentemente, também neste caso não há a monitoração constante das condições de transmissão durante a operação normal, sendo um compromisso entre o custo e o benefício.

A idéia fundamental deste trabalho é a utilização de um processamento local junto ao Modem FSK, permitindo uma adaptação automática deste equipamento às condições do canal de voz, e a posterior supervisão das comunicações. Conforme já discutido, fica apresentada, a partir desta idéia básica, uma variedade de soluções particulares de implementação imediata pela indústria, e que se coloca à disposição das necessidades específicas dos usuários de transmissão de dados, notadamente os do setor elétrico.

REFERÊNCIAS

1. TELEBRÁS - Especificações Gerais - Modems para 600/1200 bps, 225-540-701 (Padrão) - Série "ENGENHARIA" - 1977.
2. CCITT, Sixth Plenary Assembly - Data Transmission Over The Telephone Network, Orange Book, Vol. VIII.I, Geneva, International Telecommunication Union, 1977.
3. BENNET, W.R.; DAVEY, J.R. - Data Transmission, New York, Mc Graw-Hill, 1964
4. INTEL - MCS-85 User's Manual, 1978.
5. SAAD, J. - Modem Assíncrono 1200, Projeto de fim de curso, Departamento de Eletrônica/UFRJ, Rio de Janeiro, 1978.
6. WANDEL & GÖLTERMANN - Measuring Tasks and Measuring Equipment in Data Transmission Technology, Gom. VPU 1 / Technical Publications, Order nº 6098 Federal Republic of Germany.
7. CTB - Levantamento das Características da Rede Telefônica para Transmissão de Dados, Rio de Janeiro, Departamento Des. Transmissão, 1974.
8. DARYANANI, G. - Principles on Active Network Synthesis and Design, New York, John Wiley and Sons, 1976.
9. NATIONAL SEMICONDUCTOR - CMOS Databook, 1978.
10. NATIONAL SEMICONDUCTOR - TTL Databook, 1976.
11. PROGRAMAS: - Programa de Análise de Transferências, pelo Método de "MONTE CARLO", (FORTRAN), CEPEL, Rio de Janeiro, 1978.
- Montador Assembler-8085 - (FORTRAN), CEPEL, Rio de Janeiro, 1979.

APÊNDICE

Relação dos circuitos de dados e controle, presentes na interface de comunicação do Modem ao ETD.

Nomenclatura CCITT/TELEBRÁS - (Nomenclatura EIA-RS232): Circuito

CT-101	-	(AA)	:	Terra de Proteção
CT-102	-	(AB)	:	Terra de Sinal ou Retorno Comum
CT-103	-	(BA)	:	Dados a Transmitir
CT-104	-	(BB)	:	Dados Recebidos
CT-105	-	(CA)	:	Solicitação para Transmitir
CT-106	-	(CB)	:	Pronto para Transmitir
CT-107	-	(CC)	:	Modem Pronto para Operar
CT-108	-	(CD)	:	ETD Pronto para Operar
CT-109	-	(CF)	:	Portadora Presente na Linha
CT-111	-	(CH)	:	Seleção da Taxa de Sinalização Binária

NOMENCLATURA

bps	Bits por segundo
CCITT	"Commission Consultative Internationale de Télégraphie et Téléphonie".
CMOS	"Complementary Metal Oxide Silicon"
dB	Decibel
DC	Corrente contínua ("Direct current")
dBm	Decibel em relação a 1 miliwatt em 600Ω
DEMUX	Demultiplexador
EIA	"Electronic Industries Association"
END	Endereço
EPROM	"Electrically Programmable Read Only Memory"
ETD	Equipamento Terminal de Dados
FSK	"Frequency Shift Keying"
LED	"Light Emitting Diode"
MODEM	MODulador/DEModulador
MUX	Multiplexador
RAM	"Random Access Memory"
RC	Resistor/capacitor
RX	Receptor
TX	Transmissor
UP	Unidade de Processamento