



UM EXECUTIVO DE TEMPO REAL PARA  
MICROPROCESSADOR APLICADO A CONTROLE  
DE SISTEMAS TELEFÔNICOS

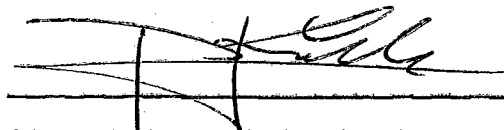
Glicerio Adolfo Rojas

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE  
PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE  
JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO  
DO GRAU DE MESTRE EM CIÊNCIAS (M.Sc.)

APROVADA POR:

  
.....  
(Presidente)

  
.....

  
.....

RIO DE JANEIRO, RJ - BRASIL  
DEZEMBRO DE 1976

RESUMO

O emprego de microprocessadores em sistema de controle torna-se, cada vez mais t cnica e economicamente vi vel. Sugere-se que, em sistemas complexos, a exist ncia de um programa gerencial de tempo real   plenamente justificada.

Este trabalho apresenta um executivo de tempo real para o microprocessador INTEL 8080, visando aplica es em controle de sistemas telef nicos.

ABSTRACT

THE USE OF MICROPROCESSORS IN CONTROL SYSTEMS HAS BECOME MORE AND MORE TECHNICALLY AND ECONOMICALLY FEASIBLE. FOR COMPLEX SYSTEMS, WE SUGGEST THAT THE AVAILABILITY OF A REAL TIME EXECUTIVE PROGRAM IS SUFFICIENTLY JUSTIFIABLE, THIS WORK PRESENTS A REAL TIME EXECUTIVE FOR THE INTEL 8080 MICROPROCESSOR, ORIENTED TO APPLICATIONS IN TELEPHONE SYSTEMS CONTROL.

Í N D I C E

I.	INTRODUÇÃO	1
II.	SISTEMAS DE CONTROLE DIGITAIS	3
	II.1	Generalidades
	II.2	Histórico
	II.3	Sistemas de Controle por Computadores Digitais
	II.3.1	Sistemas fora de linha
	II.3.2	Sistemas em linha
	II.3.3	Sistemas de Controle Digital Direto
	II.3.4	Sistemas de Supervisão Digital
	II.4	Conclusão
III.	PROGRAMAS GERENCIAIS DE TEMPO REAL	18
	III.1	Generalidades
	III.2	Tipos de Programas Gerenciais
	III.2.1	Monitor
	III.2.2	Executivo
	III.2.3	Sistema Operacional
	III.3	Conclusão
IV.	REQUISITOS DE UM EXECUTIVO PARA APLICAÇÕES DE CONTROLE EM SISTEMAS TELEFÔNICOS	36
	IV.1	Generalidades
	IV.2	Controle de Aparelhos Telefônicos Públicos
	IV.2.1	Arquitetura Básica do Sistema de Controle
	IV.2.2	Facilidades Requeridas do Executivo
	IV.3	Sistema de Supervisão Digital de Sistemas Telefônicos
	IV.4	Sistema de Controle Digital Direto de Sistemas Telefônicos



IV.4.1 Arquitetura Básica do Sistema de Controle

IV.4.2 Facilidades Requeridas do Executivo

IV.5 Conclusão

V. UM EXECUTIVO DE TEMPO REAL PARA O INTEL 8080 48

V.1 Generalidades

V.2 Descrição Geral do Executivo

V.2.1 Número e Tipos de Programas Suportados

V.2.2 Critérios de Prioridades para Execução

V.2.3 Ativação e Desativação de Programas

V.2.4 Estrutura e Funcionamento

V.2.5 Fluxo Geral de Processamento

V.3 Conclusão

VI. TESTES E RESULTADOS 69

VI.1 Generalidades

VI.2 Teste 1

VI.3 Teste 2

VI.4 Teste 3

VII. CONCLUSÕES 80

BIBLIOGRAFIA 82

APÊNDICES I, II e III 85

## I. INTRODUÇÃO

O surgimento e a rápida maturação da tecnologia dos microprocessadores - processadores digitais contidos em uma ou poucas pastilhas de circuitos integrados em larga escala (LSI) permitiram que se disseminasse o uso destes componentes na implementação de sistemas digitais, substituindo com significativas vantagens técnicas e econômicas o uso de lógica cabeada.

Uma das áreas em que esta tecnologia encontra um vasto campo de aplicações é em sistemas de controle de processos industriais, onde os microprocessadores estão deslocando os minicomputadores da faixa em que estes são subutilizados.

Entretanto, pelo fato de os microprocessadores terem surgido como uma evolução da tecnologia dos circuitos integrados, as suas possíveis aplicações têm sido divulgadas e geralmente com o mesmo tratamento dispensado aos componentes de circuitos digitais, sem o enfoque de sistema de computação.

Para aplicações em sistemas de controle de processos em que o volume e a complexidade das tarefas a executar são de tal ordem que os compromissos de tempo-memória não permitem soluções triviais, o tratamento a ser dado quando se utiliza microprocessadores deve seguir em linhas gerais a mesma metodologia normalmente adotada no projeto de sistemas de tempo real, o que permite otimizar o potencial do equilíbrio circuitos-programas possíveis de obter desta tecnologia.

Um dos elementos básicos em sistemas de tempo real é a existência de um programa gerencial de tempo real, cuja principal finalidade é liberar o programador de aplicações da complexa tarefa de coordenar a execução dos diversos programas.

Como o surgimento dos microprocessadores no mercado foi relativamente recente, o atual estágio do ciclo de vida do produto e a estratégia de marketing adotada pelos seus fabricantes (em geral fabricantes de componentes semicondutores), ainda não

permitiram que este tipo de programa seja normalmente disponível no mercado.

Neste trabalho, apresentamos um executivo de tempo real para aplicações de microprocessadores em controle de sistemas telefônicos em que, para melhor utilizar esta tecnologia, o seu uso é enfocado como sistema de computação em tempo real.

Para a aplicação específica enfocada, o microcomputador é parte de um sistema de controle digital direto, trabalhando em tempo real, para uso em sistemas de supervisão digital de sistemas de comutação telefônica.

A seguir, fazemos algumas considerações gerais sobre sistemas de controle digitais, programas gerenciais de tempo real, descrevemos os requisitos básicos de um executivo para controle de centrais telefônicas, e apresentamos um programa executivo de tempo real, desenvolvido para uso no microprocessador INTEL 8080 (1). A linguagem utilizada é o Assembler e o executivo foi implementado e testado utilizando um simulador e um cross-assembler disponíveis no computador IBM-370/158 da TELERJ.

## II. SISTEMAS DE CONTROLE DIGITAIS

### II.1 Generalidades

O desejo insaciável do homem de poder controlar as forças da natureza para realizar os seus objetivos, tem permitido que não cesse o desenvolvimento de técnicas de controle cada vez mais sofisticadas.

Neste capítulo, procuramos dar uma visão geral de sistemas de controle, definido como "uma interconexão de componentes formando uma configuração sistêmica que assegure uma resposta desejada do sistema controlado" (2).

Para a finalidade deste trabalho, consideraremos somente os sistemas de controle em malha fechada (3), como esquematizado na Fig. 1 onde, considerando o controle de sistemas telefônicos, podemos destacar:

- Variáveis de Referência (VR), são as variáveis consideradas pelo sistema de controle para a tomada de ações sobre o sistema controlado. São entradas do sistema de controle, como por exemplo, tráfego por rota telefônica, tempo máximo de espera em órgãos telefônicos, parâmetros de bloqueio de órgãos telefônicos.
- Variáveis Observadas (VO), são as variáveis consideradas pelo sistema de controle para analisar o estado do sistema controlado. São saídas do sistema controlado e entradas do sistema de controle, como por exemplo o número de tomadas, número de eficiências sucessivas e tempos de retenção de órgãos telefônicos.
- Variáveis de Controle (VC), são as variáveis geradas pelo sistema de controle, e que atuam diretamente no sistema controlado, influenciando no seu estado futuro. São entradas do sistema controlado e saídas do sistema de controle, como por exemplo os comandos de inibição de rotas de tráfego telefônico, bloqueio de órgãos telefônicos e liberação de órgãos telefônicos.

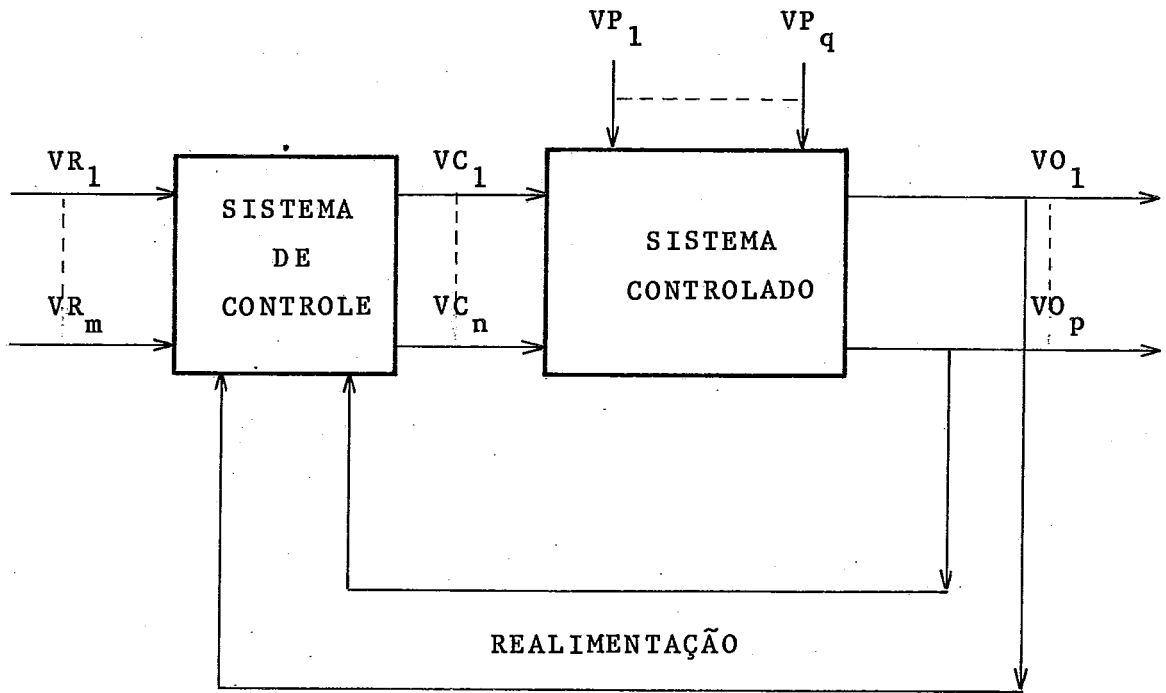


FIG. 1 - SISTEMA DE CONTROLE EM MALHA FECHADA

- . Sistema de Controle, é o dispositivo que manipula as variáveis de referência e as variáveis observadas, gerando as variáveis de controle.

Dependendo da complexidade e requisitos de controle do sistema controlado, o sistema de controle pode ser desde um simples comparador de VR, VO, até um complexo sistema de computação digital.

- . Sistema Controlado, é o dispositivo que se deseja controlar, podendo ser um simples aquecedor elétrico, uma nave espacial, uma linha de produção industrial, um sistema telefônico, etc.
- . Variáveis de Perturbação (VP), são as variáveis que influem no comportamento do sistema controlado, e que podem alterar o seu estado. Estas variáveis podem ser geradas pelo meio externo ao sistema controlado e/ou internamente. São entradas do sistema controlado, como por exemplo, tentativas de chamadas dos assinantes de uma central telefônica, tráfego gerado por órgãos telefônicos defeituosos, temporizações mal dimensionadas, variações do meio ambiente (temperatura, humidade), variações de energia (tensão, corrente), etc.

A seguir, após abordarmos sucintamente os pontos principais do histórico da engenharia de sistemas de controle, apresentamos uma classificação dos sistemas de controle por computadores digitais, fazendo considerações gerais sobre a arquitetura geral destes sistemas.

## II.2 Histórico

Uma das primeiras aplicações de sistemas de controle de que se tem notícia, refere-se ao controle do nível de água de um sistema de irrigação, utilizado pelos babilônios no ano 2000 AC (4).

Na indústria, em 1769 já estava desenvolvido por WATT um

sistema de controle em malha fechada, para controle de velocidade de um equipamento movido a vapor (5).

Desde essa época até o surgimento dos computadores digitais em 1950, a engenharia de sistemas de controle estava mais concentrada na solução de problemas com técnicas analógicas, tendo na década de 40 sido amplamente utilizados os computadores analógicos.

Assim que surgiram, a possibilidade de uso dos computadores digitais como sistemas de controle foi reconhecida. Entretanto, a falta de uma linguagem de alto nível para aplicações em engenharia de sistemas de controle, e que ainda hoje persiste; o considerável custo dos equipamentos, e os problemas de confiabilidade, inibiram o uso imediato dos computadores digitais para estas aplicações.

Somente na década de 60, com a evolução da tecnologia de integração de circuitos semicondutores (SSI, MSI, LSI), e a possibilidade de uso de linguagens simbólicas como Assembler e Macro-assembler, linguagem de alto nível como Fortran, Basic e mais recentemente o PLI, e o surgimento dos minicomputadores digitais é que se disseminou o uso cada vez maior dos computadores digitais em sistemas de controle. Atualmente, com a rápida evolução dos microprocessadores surgidos nesta década de 70, estamos assistindo a uma difusão sem precedentes em toda a história, do uso generalizado de computadores em sistemas de controle.

Para 1984, estudos realizados no EUA concluem que aproximadamente 37% dos investimentos mundiais em sistemas de controle digitais serão aplicados em microprocessadores (6).

### II.3 Sistemas de Controle por Computadores Digitais

Os computadores digitais, quando fazem parte de sistemas de controle, podem ser utilizados basicamente segundo duas técnicas:

- . Sistemas fora de linha
- . Sistemas em linha

### II.3.1 Sistemas fora de Linha

Em sistemas fora de linha, o computador desempenha as funções de controle na malha de realimentação através do homem (fig. 2), sendo o sistema de controle constituído por transdutor, operador, atuador e sistema de computação (equipamentos e programas).

Neste esquema, as variáveis observadas são introduzidas no computador através do operador. O computador processa os dados introduzidos e gera informações que permitem ao operador atuar sobre o sistema controlado.

Este tipo de sistema geralmente é utilizado quando o tempo de resposta do sistema de controle não é crítico, devido à lentidão das mudanças de estados do sistema controlado (acima de um segundo), como por exemplo, em controle de estoques de armazéns, reservas de passagens, controle de pessoal e de materiais de instalação de centrais telefônicas.

Atualmente, o processo de transdução e atuação também podem ser feito por sistemas que incluem computadores digitais, analógicos ou híbridos. Neste caso, o sistema envolvido no processo de transdução é normalmente denominado Sistema de Aquisição de Dados.

### II.3.2 Sistemas em Linha

Nos sistemas em linha, o computador está diretamente conectado ao sistema controlado, como elemento da malha de realimentação, recolhendo as variáveis observadas e gerando as variáveis de controle (Fig. 3).

Devido a características funcionais típicas, os sistemas de controle em linha podem ser classificados em 2 grupos (7,8):

- . Sistemas de Controle Digital Direto
- . Sistemas de Supervisão Digital



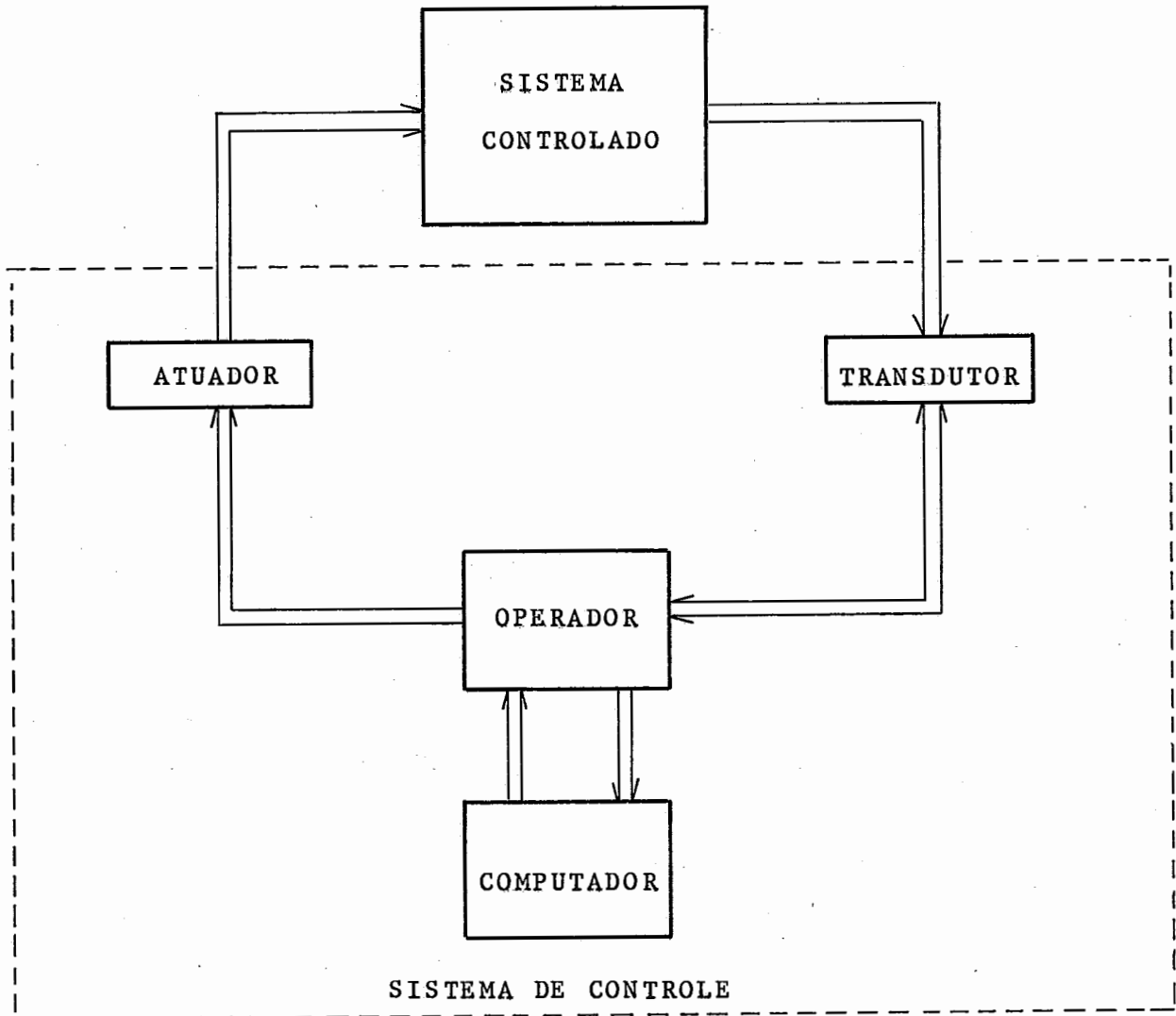


FIG. 2 - SISTEMA FORA DE LINHA

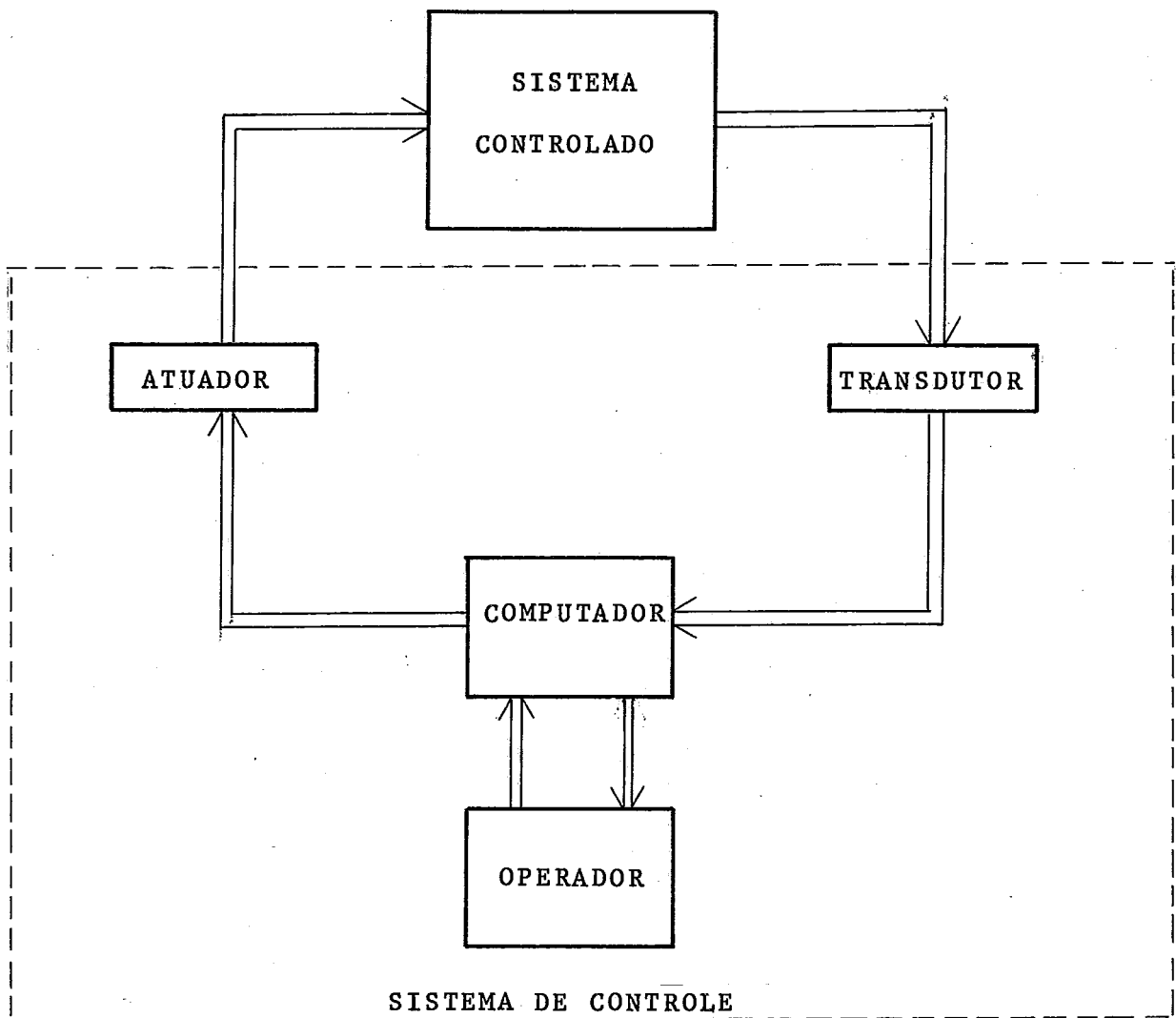


FIG. 3 - SISTEMA EM LINHA

### II.3.3 Sistemas de Controle Digital Direto

Os Sistemas de controle Digital Direto possuem as seguintes características básicas:

- . Interagem diretamente com o sistema controlado, sendo normalmente estruturados como esquematizado na Fig. 3.
- . Os requisitos de confiabilidade (MTTR, MTBF, Disponibilidade) são geralmente bastante rígidos. Em aplicações para controle de sistemas telefônicos, por exemplo, são comuns as especificações de disponibilidade maior que 99,99% (9).
- . O tempo de resposta rápido e garantido é normalmente menor que 1 segundo.
- . Os computadores utilizados são de pequeno porte (minicomputadores e microcomputadores), trabalham em tempo real, com ciclos típicos de interrupções de relógio a cada 5 ou 10 milissegundos.
- . Os programas geralmente são todos residentes em memória principal.
- . A estrutura dos programas é normalmente constituída por 5 módulos típicos:
  - Executivo de Tempo Real, cuja principal função é coordenar a execução dos diversos programas do sistema de controle (10).
  - Programa Aquisição de Dados, que recolhe, valida e armazena os dados gerados pelo sistema controlado.
  - Programa Atuação sobre o Sistema Controlado, que gera as ações que irão influir no comportamento do sistema controlado, alterando o seu estado futuro.
  - Programa de Processamento dos Algoritmos de Controle, que

processa os dados gerados pelo sistema controlado, utilizando algoritmos e variáveis de referência estáticas, os quais representam o modelo matemático do sistema controlado. O processamento ainda inclui a análise dos resultados e a tomada de decisões que podem influir no estado futuro do sistema controlado.

- Programas de Integridade, que permitem ao sistema de controle o autodiagnóstico em linha, e a tomada de providências adequadas em caso de falhas transitórias, intermitentes, permanentes ou catastróficas.
- Programas de Comunicação, que permitem a comunicação entre o sistema de controle e operador e/ou outros sistemas.

#### II.3.4 Sistemas de Supervisão Digital

Estes sistemas, que se baseiam no conceito de gerência estruturada em níveis hierárquicos e controle centralizado, possuem as seguintes características:

- . São estruturados em 2 níveis como na Figura 4. O primeiro nível é constituído por sistemas de controle digital direto (SCDD), com as características descritas anteriormente.
- . O controle dinâmico de todo o sistema é centralizado no segundo nível, denominado sistema de controle central.
- . Os computadores utilizados no sistema de controle central são de porte médio ou grande (minicomputadores ou maxicomputadores) configurados com amplo suporte de periféricos (fitas e/ou discos magnéticos, impressoras, terminais de vídeo e/ou teclado, etc). O esquema de trabalho dos computadores é em tempo real, porém os ciclos típicos de interrupções de relógio são iguais ou maiores que 10 milissegundos.
- . Os programas dos sistemas de controle central não são todos

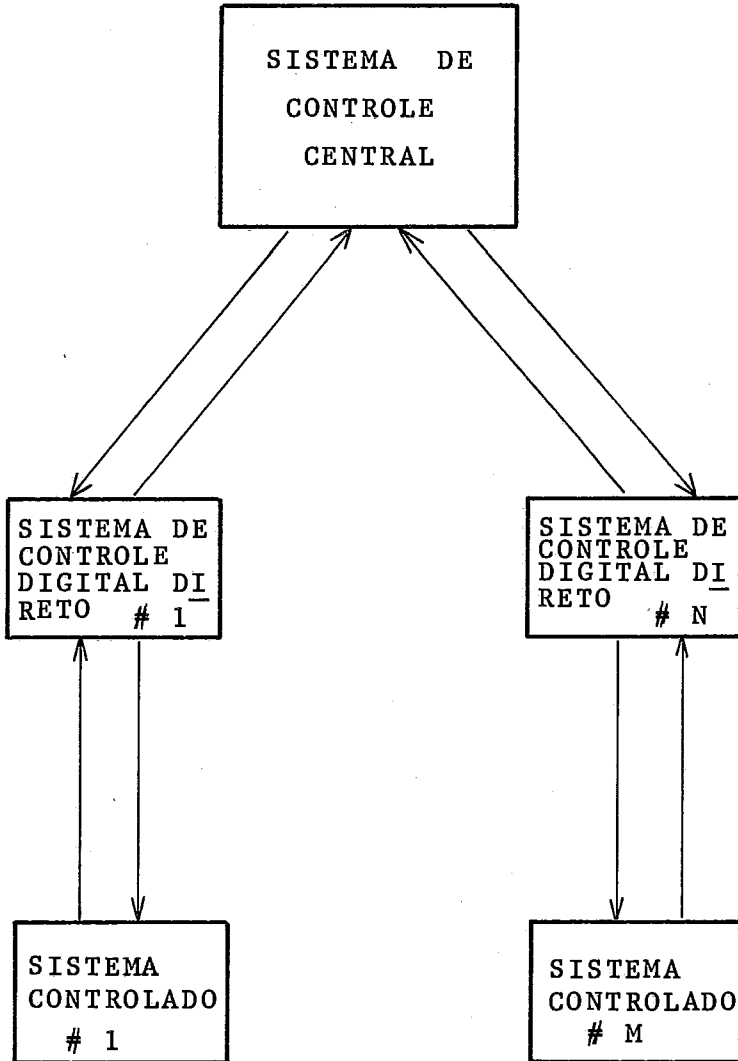


FIG. 4 - SISTEMAS DE SUPERVISÃO DIGITAL

residentes em memória, sendo constituídos por módulos típicos:

- Sistema Operacional de Tempo Real, que desempenha as funções gerenciais dos recursos do sistema de computação tais como programas, memórias e arquivos (11,12).
- Sistema de Informações Gerenciais, que gera as informações necessárias para a gerência operacional do sistema controlado.
- Sistema de Otimização e Controle Dinâmico, processa os dados transmitidos pelo SCDD, utilizando algoritmo que representam o modelo matemático dinâmico do sistema controlado, calculando e otimizando dinamicamente as variáveis de referência a ser utilizadas nos SCDD.
- Sistema de Auto Controle, desempenha as funções que permitam diagnosticar falhas nos diversos equipamentos e/ou programas de todo o sistema de supervisão, tomar decisões e comandar ações sobre configurações ou estados que o sistema assume para não parar totalmente e superar situações de emergência ocasionadas por falhas, como por exemplo, testes e reconfigurações periódicas, reinicialização de programas, atuação de alarmes, etc.
- Sistema de Comunicação, permite ao sistema se comunicar com operador ou com os SCDD.
- Sistema Secundário, oferece suporte necessário para desenvolver, testar e executar programas em regime de baixa prioridade, sem influir no funcionamento normal do sistema.

Nos casos em que os sistemas a ser controlados são complexos, com alta taxa de entrada e saída de dados, como por exemplo em controle de sistemas de comutação telefônica, esta estrutura hierarquizada de sistemas de controle digitais apresenta vantagens, entre os quais podemos enumerar (13):

- . Permite otimizar o uso de processadores da estrutura, delegando as tarefas banais para os processadores menores e alocando as tarefas de processamento mais sofisticado para os processadores maiores.
- . É possível obter alta confiabilidade no nível em que ele é mais significativo, ou seja, ao nível do sistema controlado.
- . Permite processar algoritmos de controle sofisticado tornando viável a otimização de controle dos sistemas com modelos matemáticos dinâmicos.
- . Permite implantação e expansão modulares.
- . Introduce flexibilidade para a manipulação de grupos de sinais de comportamento e requisitos de tratamentos diferentes.
- . Torna fácil a introdução de novas tecnologias de sistemas digitais, atualizando continuamente o sistema original.

Com o advento dos microprocessadores, que estão conquistando e assumindo definitivamente o seu papel como núcleo do SCDD, esta técnica hierárquica de implementação de sistemas de controle digitais será cada vez mais utilizada no futuro (14,15,16).

#### II.4 Conclusão

As aplicações de sistemas de controle são conhecidas desde o século XVII.

Entretanto, o uso de computadores em sistemas de Controle digitais só se tornou economicamente viável com a tecnologia dos minicomputadores e está difundindo-se com o advento dos microprocessadores.

Nos sistemas de controle em linha, o computador pode basicamente operar como um sistema da aquisição de dados, sistema de controle digital direto ou sistema de supervisão digital.

As características dos sistemas de aquisição de dados e dos sistemas de controle digital direto permitem que para estas funções o microprocessador possa ser amplamente utilizado, substituindo o uso de minicomputadores, normalmente subutilizados nestas aplicações.

Em sistemas de controle digital direto (SCDD) e em sistemas de supervisão digital (SSD), são necessários programas gerenciais que possuem denominações e atribuições típicas como sintetizados nas tabelas 1 e 2, onde se apresentam as funções típicas de programas executivo e sistemas operacionais de tempo real.



FUNÇÕES TÍPICAS DE UM EXECUTIVO DE TEMPO REAL

## 1. CONTROLE DAS TAREFAS DE TEMPO REAL

- . Ativação de programas
- . Alocação de prioridades
- . Escalonamento para execução

## 2. CONTROLE DE INTERRUPÇÕES

- . Identificação
- . Ativação de programas de atendimento
- . Alocação de prioridades
- . Escalonamento para execução

## 3. CONTROLE DE TAREFAS ATIVADAS POR PROGRAMAS

- . Ativação de programas
- . Alocação de prioridades
- . Escalonamento para execução

FUNÇÕES TÍPICAS DE UM SISTEMA OPERACIONAL DE TEMPO REAL

## 1. GERÊNCIA DE PROGRAMAS

- . Escalonamento para execução
- . Controle de Mensagens entre programas
- . Inicialização e término
- . Controle de violações

## 2. GERÊNCIA DE MEMÓRIA

- . Alocação de áreas da memória principal
- . Carga de programas e dados em memória
- . Controle de violações de memória

## 3. GERÊNCIA DE ENTRADA E SAÍDA DE DADOS

- . Início e término de entrada e saída
- . Controle de interrupções de entrada e saída
- . Controle de falhas de operações de entrada e saída
- . Protocolo de periféricos

### III. PROGRAMAS GERENCIAIS DE TEMPO REAL

#### III.1 Generalidades

Em um sistema de controle digital a coordenação de todas as atividades executadas pelo computador é atribuição de um programa gerencial, cuja estrutura e funções dependem basicamente das características do sistema controlado, do computador utilizado e dos objetivos do sistema de controle, dos quais podemos mencionar os seguintes fatores:

- Características do sistema controlado
  - . Número de pontos para coleta de sinais
  - . Intervalo de tempo para leitura dos sinais
  - . Taxa de varredura
  - . Número de pontos de atuação
  - . Volume dos dados gerados
  - . Número e taxa de geração de interrupções
  - . Tempo de resposta desejado
  - . Confiabilidade dos comandos de atuação
  - . Complexidade dos algoritmos de controle

Em sistemas de controle aplicados a centrais telefônicas, por exemplo, é possível encontrar-se especificações para mais de 10.000 pontos de entrada e 4.000 pontos de saída; taxas de varredura de 20 milissegundos; número de variações acima de 500.000 por hora; tempos de resposta da ordem do segundo e sinais válidos cuja duração são menores que 40 milissegundos (9,17)

- Características do computador utilizado
  - . Esquema de interrupções (número de níveis e esquema de prioridades)
  - . Conjunto de instruções e a existência ou não de instruções privilegiadas.
  - . Número de registros programáveis
  - . Facilidades para proteção de áreas de memória principal
  - . Modos de operação e a existência ou não de modos privilegiados.

- . Outros aspectos da arquitetura do computador, tais como existência ou não de canais, vias de acesso direto a memória, número de vias para entrada e saída, e a dimensão da memória principal.
  
- Objetivos do sistema de controle
  - . Controle total ou parcial, automático ou não do sistema controlado (malha aberta ou malha fechada)
  
  - . Controle centralizado ou distribuído (controle digital direto ou supervisão digital)
  
  - . Requisitos de confiabilidade, especificados através de MTTR (Tempo Médio de Reparo) e MTBF (Tempo Médio Entre Falhas).
  
  - . Controle estático ou controle dinâmico
  
  - . Tipo, frequência e volume das informações gerenciais a ser geradas (Relatórios Operacionais e Gerenciais)
  
  - . Esquema para armazenamento e distribuição das informações operacionais e gerenciais.
  
  - . Necessidade ou não de se desenvolver e testar programas de outra natureza no computador do sistema de controle durante a operação normal do sistema.
  
  - . Facilidades de comunicação entre o sistema de controle e operador e/ou outros sistemas
  
  - . Possibilidades de expansão e/ou reconfiguração.

Neste capítulo discutimos os tipos básicos de programas gerenciais de tempo real e analisamos a sua estrutura e funcionamento.

### III.2 Tipos de Programas Gerenciais

Dependendo dos aspectos anteriormente citados os programas gerenciais podem ser estruturados para desempenhar um determinado conjunto de funções características. O conjunto de funções desempenhadas faz com que os programas gerenciais recebam denominações diferentes, tais como:

- Monitor
- Executivo
- Sistema Operacional

#### III.2.1 Monitor

A característica básica de um Monitor é que a gerência consiste em transferir sequencialmente o controle do processador de um programa para outro, sendo a prioridade de execução dos programas atribuída segundo o critério primeiro-a-entrar, primeiro-a-sair (18,19,20).

Em sistemas de controle de processos não muito complexos, como por exemplo controle de testes funcionais e controle de qualidade de centrais de comutação telefônica, é possível utilizar um Monitor para gerenciar a execução dos diversos programas.

No caso em que para cada condição diferente do sistema controlado for necessário executar uma sequência diferente de determinados programas, o fluxo geral da operação pode ser dividida em subseqüências (8). O encadeamento das seqüências e subseqüências adequadas são coordenadas pelo Monitor (Fig. 5).

A estrutura de dados necessária para encadear as diversas seqüências e subseqüências pode utilizar um conjunto de filas e apontadores como esquematizado na Fig. 6, onde

FSA: Fila das seqüências ativas, permite acessar as subseqüências.

ASS: Apontador de subseqüências, permite acessar as subseqüências.

APS: Apontador de programas de subseqüências, permite encadear

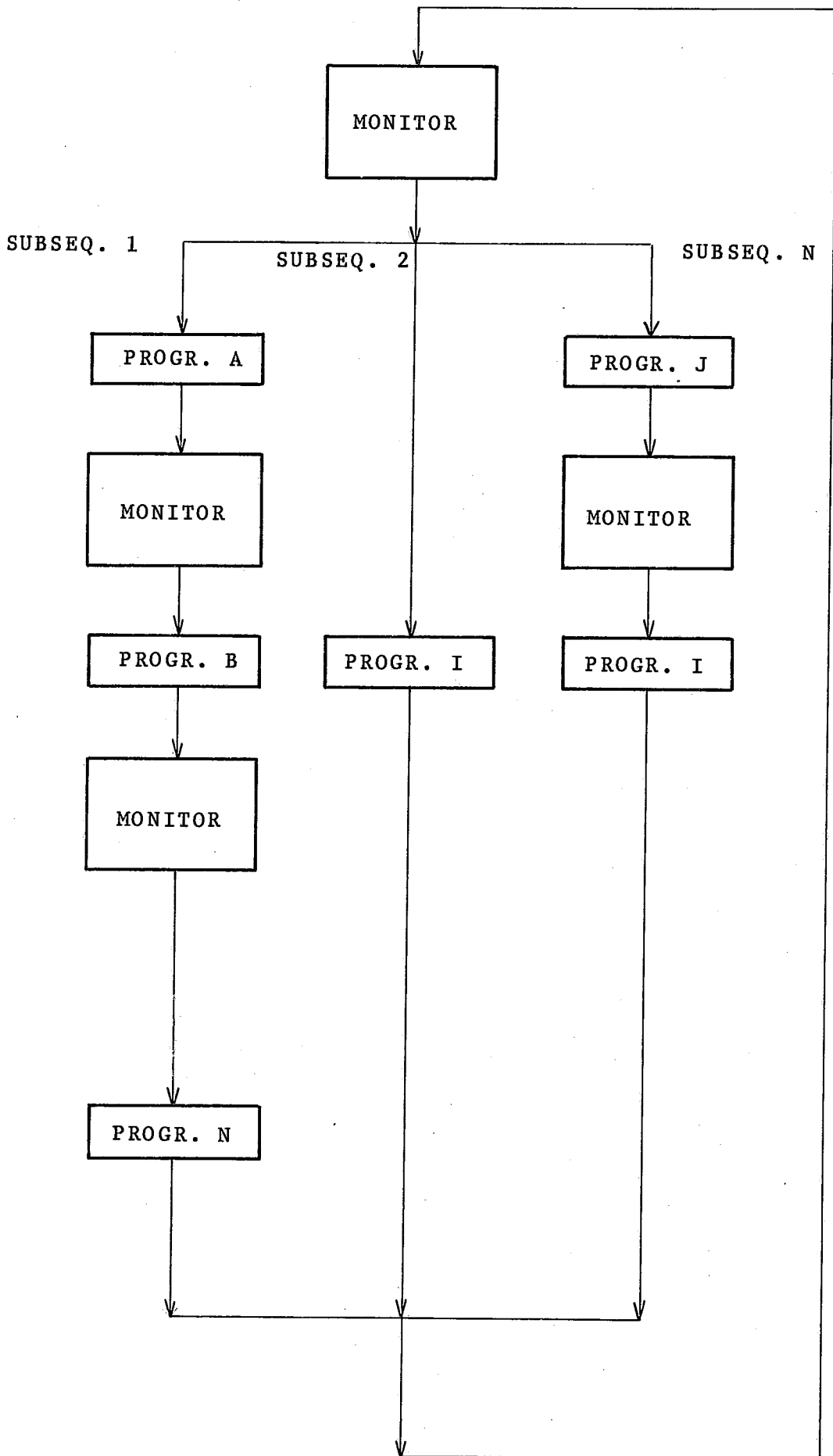


FIG. 5 - MONITOR

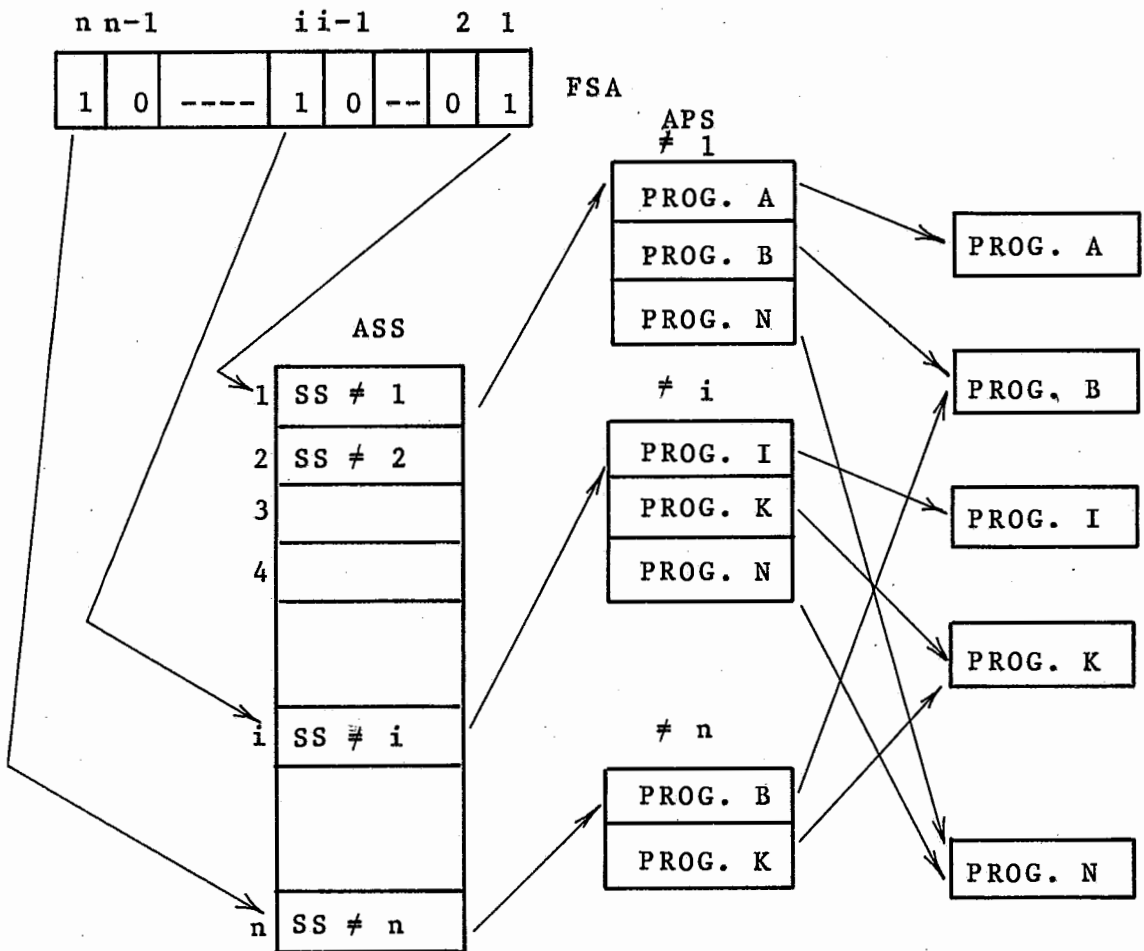


FIG. 6 - ESTRUTURA DE DADOS DO MONITOR

a execução de programas.

O fluxo básico de um Monitor com estas características seria baseado em dois módulos: Ativador de Sequências e Ativador de Programas, como esquematizado na Fig. 7, onde a função de cada módulo seria:

- . Ativador de sequências: a partir de FSA, determina qual a próxima sequência de programas a ser executada em cada instante do tempo, para cada tarefa do processo de controle
- . Ativador de programa: através de APS encadeia a execução dos diversos programas de cada sequência.

A lógica geral do controle de execução de sequências e subseqüências faria com que fossem executados os seguintes programas:

```

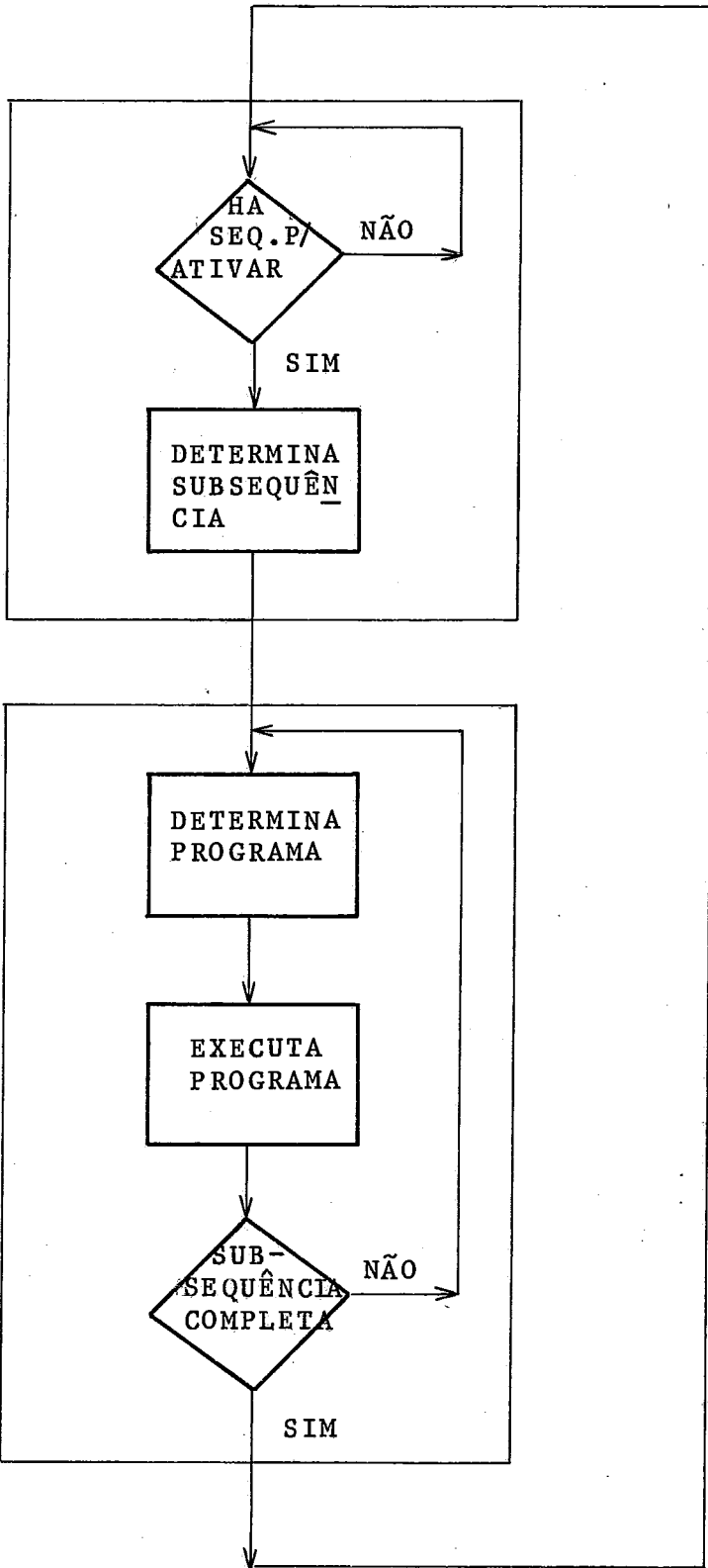
SEQUÊNCIA 1: PROGRAMA A → PROGRAMA B → PROGRAMA N
      ↓
SEQUÊNCIA i: PROGRAMA I → PROGRAMA K → PROGRAMA N
      ↓
SEQUÊNCIA n: PROGRAMA B → PROGRAMA K
  
```

Evidentemente, este tipo de programa gerencial oferece a vantagem de ser simples de implementar e geralmente causa sobrecargas gerenciais mínimas no sistema de computação.

Entretanto, esta vantagem decresce quando o número de sequências e subseqüências a coordenar cresce devido a variedade de situações apresentadas pelo sistema controlado. Além disso, uma vez iniciado o processamento de uma sequência longa, o controle do processador não é possível de ser transferido a uma sequência mais prioritária e eventualmente mais curta. Outra vantagem é que as sequências que dependem de operações lentas, como as que interagem com operador por exemplo, podem prender o processador devido a ausência de multiprogramação.



ATIVADOR DE  
SEQUÊNCIAS



ATIVADOR DE  
PROGRAMAS

FIG. 7 - FLUXO BÁSICO DE UM MONITOR DE TEMPO REAL

### III.2.2 Executivo

A tarefa de um programa Executivo consiste basicamente em controlar e coordenar a execução de diversos programas segundo determinados critérios (prioridades, time-slice, etc.) e prestar alguns suportes possíveis de ser solicitados pelos programas (ativação ou desativação de outros programas, envio de mensagens entre programas, operações de entrada e saída, tratamento de falhas, etc.) (10,21,22).

A gerência dos recursos de computação sob o controle de um programa Executivo permite que a execução dos diversos programas seja feita segundo sequências dinâmicas definidas pelos eventos gerados pelo sistema controlado, e otimizar o uso dos vários recursos de computação disponíveis (processador, memórias, rotinas, etc.).

A estrutura típica de um Executivo é normalmente constituída por diversos módulos de programas de controle (Fig. 8), que coordenam a execução de tipos diferentes de programas, necessários para o controle de processos (23,24,25), tais como:

- programas ativados para atendimento de interrupções (externas ou internas)
- programas ativados por tempo
- programas ativados por outros programas
- Programas para diagnóstico e tratamento de falhas do sistema de controle.
- programa para efetuar operações de entrada e saída.

Na estrutura apresentada na Fig. 8, por exemplo, cada módulo do Executivo é constituído por um ou mais programas, e desempenham as seguintes funções:

- Supervisor: coordena a ativação/suspensão da execução dos outros módulos do Executivo; concentra e atende todas as solicitações de serviços prestados pelo Executivo a qualquer

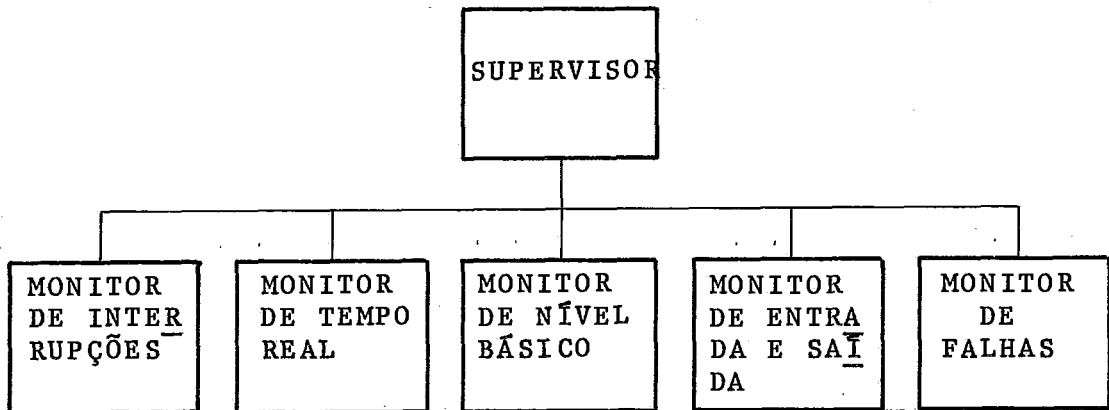


FIG. 8 - EXECUTIVO

programa (ativação/suspensão de outros programas, troca de mensagens entre programas, operações de entrada e saída, tratamento de falhas, alocação de memória, alocações de tempo de processador, etc.).

- . Monitor de Interrupções: identifica e registra o nível de interrupção, inicia e prepara o atendimento de interrupções (salva e restaura contexto), decide sobre prioridade dos programas a ser executados para tratamento dos eventos causadores de interrupções (ativação/suspensão de programas).
- . Monitor de Tempo Real: registra a passagem do tempo, coordena a ativação e execução dos programas que devem ser processados a intervalos fixos de tempo e decide sobre prioridades destes programas. No caso em que há possibilidade de programas serem suspensos a intervalos fixos de tempo para reescalonamento dos recursos de computação, esta função também é desempenhada por este Monitor.
- . Monitor de Nível Básico: coordena a execução dos programas ativados por outros programas, para continuar processamento iniciados por programas de tempo real, por programas de interrupções ou ainda por qualquer outro programa do sistema de controle.
- . Monitor de Entrada e Saída: coordena a execução dos programas que efetuam operações de entrada e saída do sistema de controle, tais como teletipos, terminais de video, discos e fitas magnéticas, trocando informações sobre início/termino de operações com outros programas via supervisor.
- . Monitor de falhas: coordena a execução de programas para diagnóstico e tratamento de falhas do sistema de controle.

O fluxo geral de operação de um Executivo com estas características pode ser esquematizado como na Fig. 9 (18,26,27,28), onde é possível notar-se que existem 4 estados de operação:

- . Estado Básico, onde são executados os programas de proces-

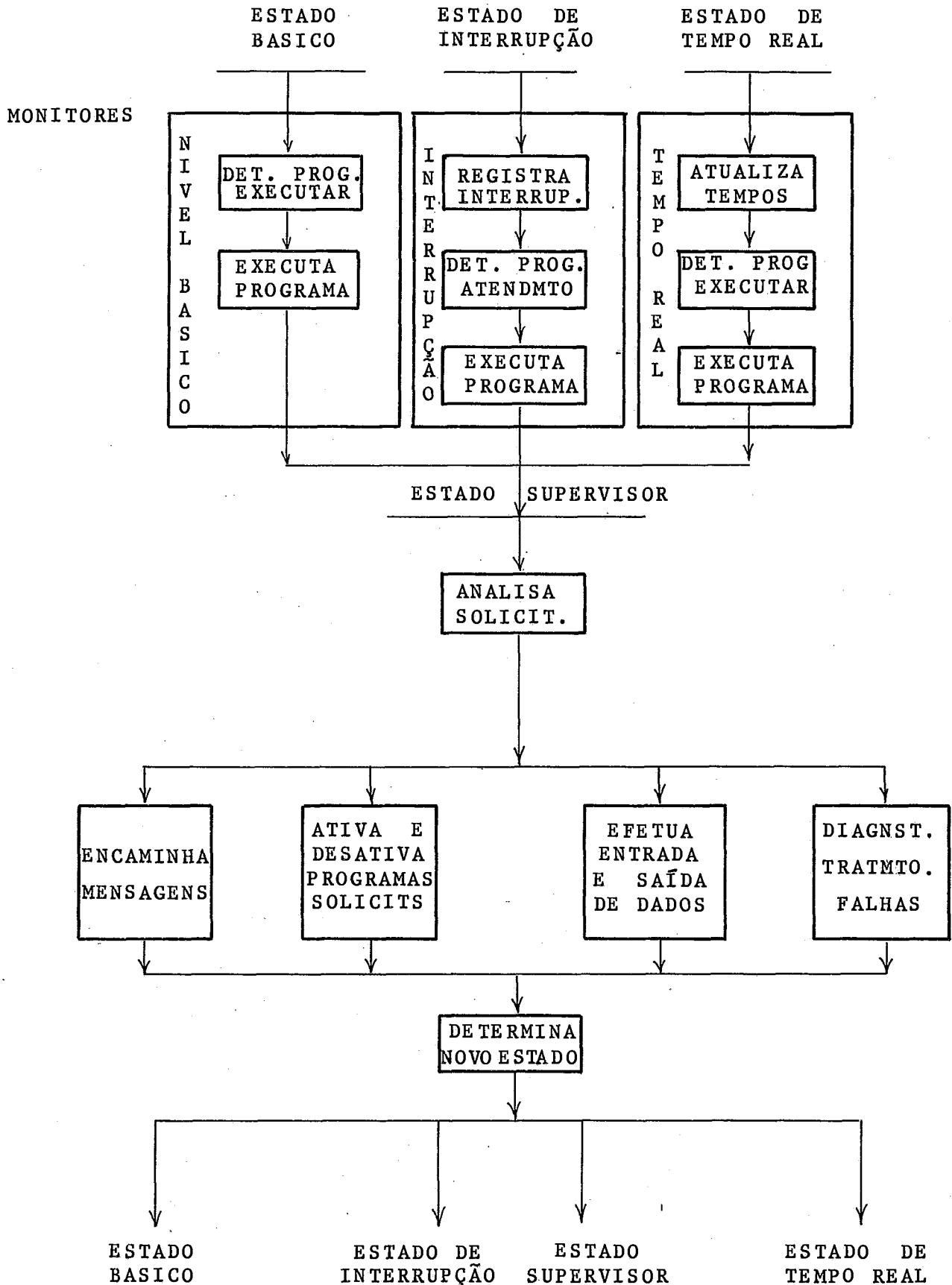


FIG. 9 - FLUXO GERAL DE UM EXECUTIVO DE TEMPO REAL

samento normal de controle de processos

- . Estado de Interrupção, onde são executados os programas de atendimento a interrupções
- . Estado de Tempo Real, onde são executados os programas de Tempo Real
- . Estado Supervisor, onde é decidido qual o próximo estado a ser assumido pelo sistema.

### III.2.3 Sistema Operacional

Um sistema operacional é um conjunto de programas que interagem no sentido de coordenar o uso dos recursos de computação, ou seja, processadores, memórias, periféricos e informações (programas e dados), gerenciando os conflitos originados pela competição por estes recursos entre os diversos programas do sistema de controle.

As funções desempenhadas por sistemas operacionais dos computadores de sistemas de controle são semelhantes aos sistemas operacionais de computadores utilizados em outras aplicações, incluindo (29,30,31):

- . Gerência dos programas do sistema de controle
- . Manipulação e controle das operações de entrada e saída
- . Manipulação e controle de arquivos
- . Tratamento de Falhas
- . Coordenação e controle das comunicações entre programas
- . Alocação e controle de recursos (memória, processador, programas de suporte) aos programas em execução.

A implementação de um sistema operacional com as características acima, necessita que o computador que o suporta ofereça um conjunto mínimo de facilidades tais como:

- . Pelo menos 2 modos de operação do processador central
- . Conjunto de instruções privilegiadas
- . Processadores para operações de entrada e saída
- . Esquema de interrupções com multinível
- . Esquema para mascarar e inibir interrupções por níveis ou classes
- . Esquema para proteção contra leitura, escritura ou leitura/escritura de áreas de memória.

A estrutura simplificada de um sistema operacional típico para controle de processos está esquematizado na Fig. 10, onde podemos distinguir os seguintes módulos:

- . Executivo, com as características funcionais já descritas anteriormente. Entretanto no Executivo de um sistema operacional normalmente é utilizado o conceito de estados de um programa para permitir a melhor utilização dos recursos de computação. Os estados de programas usuais são: programa em execução (PE), programa pronto para execução (PPE) programa suspenso (PS) e programa dormente (PD).

O significado de cada estado é:

PE - significa que o programa está com a sua sequência de instruções sendo executadas

PPE - significa que o programa está pronto para ter as suas instruções executadas tão logo assuma o controle do processador, i.e., o programa possui todos os outros recursos necessários já alocados (memória, dispositivos de entrada e saída, etc.).

PS - significa que o programa com a sua execução temporariamente suspensa, por faltar-lhe algum recurso (término de uma operação de entrada/saída, memória para processamento, disponibilidade de processador, etc.).

PD - significa que o programa só pode ser executado median

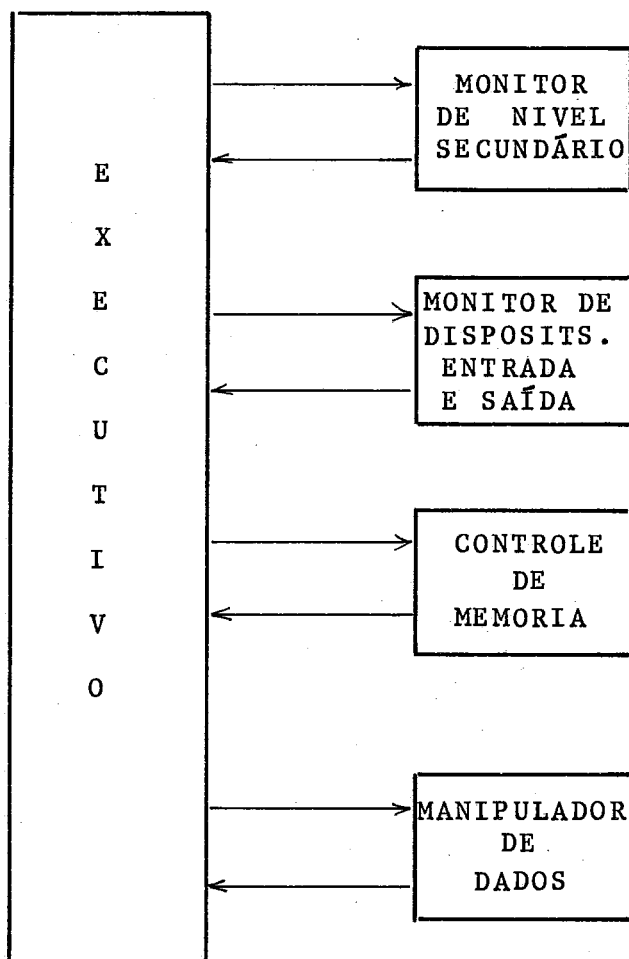


FIG. 10 - SISTEMA OPERACIONAL



te um estímulo externo ou interno, através de outro programa.

A evolução de um programa através dos estados possíveis, como esquematizado na Fig. 11, é feita sob o controle do Executivo onde podemos identificar as seguintes sequências:

- S1: um programa dormente é ativado e aguarda recursos adicionais para ser executado.
  - S2: um programa pronto para execução assume o controle do processador.
  - S3: um programa em execução é suspenso para aguardar alocação de recursos.
  - S4: um programa suspenso recebe os recursos que aguardava, exceto o controle do processador estando pronto para ser executado.
  - S5: um programa em execução é concluído e retorna ao estado dormente.
- . Monitor de Nível Secundário, que permite criar novos programas (compilação, testes, edição) e ainda processa outros programas não associados ao sistema de controle em linha (por exemplo, cálculos e relatórios especiais).
  - . Monitor de Dispositivos de Entrada e Saída, que coordena e controla o atendimento de operações de entrada e saída de dados através dos dispositivos existentes, tais como terminais, fitas e discos magnéticos, impressoras, perfuradoras, etc.
  - . Controle de Memória, que coordena e controla a alocação de áreas de memórias para os diversos programas.
  - . Manipulador de Dados, que prepara os dados e manipula os diversos arquivos de memórias secundárias (fitas e discos magnéticos).

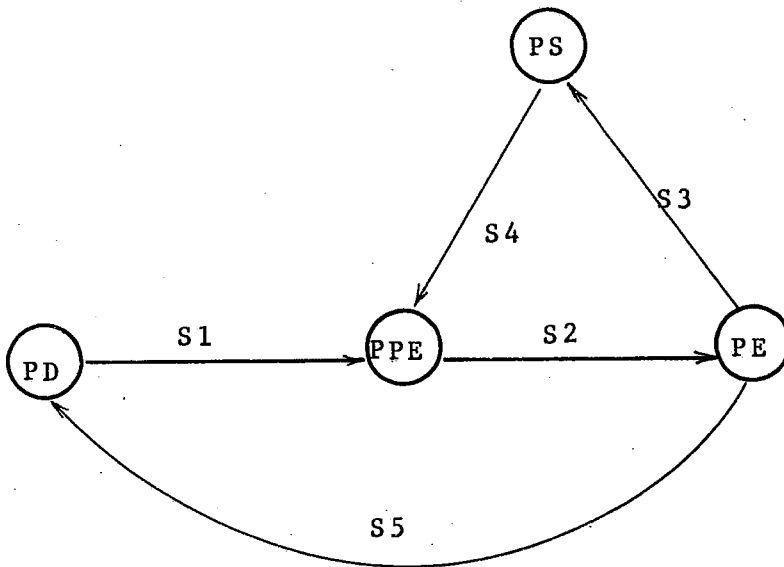


FIG. 11 - ESTADOS DE UM PROGRAMA SOB CONTROLE DE UM SISTEMA OPERACIONAL

### III.3 Conclusão

Os programas gerenciais podem ser basicamente de 3 tipos: monitor, executivo ou sistema operacional.

Os monitores, cuja função é simplesmente coordenar a ativação de sequências fixas de programas, possui como vantagens a sua relativa facilidade de implementação, e a pouca sobrecarga introduzida no tempo do processador. Suas desvantagens, entretanto, tais como a dificuldade de gerenciar sequências dinamicas e a ausência de multiprogramação, fazem com que este tipo de programa gerencial tenha a sua aplicação restringida a sistemas simples, com pequeno conjunto de programas e de fácil coordenação.

Os executivos, que permitem a coordenação de sequências dinamicas de programas e a multiprogramação possuem como desvantagens o fato de normalmente não oferecerem suporte para criação e incorporação dinamica de programas, além de que, se não for convenientemente projetado, pode gerar sobrecargas excessivas de tempo do processador.

Entretanto, este tipo de programa gerencial é o de uso mais difundido, principalmente quando os sistemas a controlar são complexos.

Os sistemas operacionais são os programas gerenciais mais completos e que normalmente oferecem todas as facilidades requeridas para gerenciar, desenvolver e incorporar dinamicamente pregramas aos sistemas de controle.

A sua principal desvantagem é a sobrecarga no tempo de processador, que pode chegar a 50% do tempo disponível, além da memória principal e suportes secundários, tais como disco ou fita magnética normalmente necessários.

Estas características dos sistemas operacionais fazem com que este tipo de programa gerencial sejam utilizados somente em controle de sistemas onde as vantagens introduzidas superem as

suas deficiências.

Pelo que apresentamos, pode-se concluir que em sistemas de controle digital direto os programas gerenciais mais aconselháveis são os monitores ou executivos dependendo da complexidade do controle desejado.

#### IV. REQUISITOS DE UM EXECUTIVO PARA APLICAÇÕES DE CONTROLE EM SISTEMAS TELEFÔNICOS

##### IV.1 Generalidades

Na concepção de um programa gerencial, dois fatores influem decisivamente: a aplicação em vista e o suporte oferecido pelo processador em que será executado.

O executivo que apresentamos neste trabalho foi desenvolvido orientado para aplicações em controle de sistemas telefônicos, e deve ser executado no microprocessador INTEL 8080.

Em controle de sistemas telefônicos, há diversas aplicações possíveis para microprocessadores, tais como: controle de entrada e saída de dados em sistemas de comutação (32), controle de tarifação em aparelhos telefônicos públicos (33), controle em concentradores de linha, PABX de pequeno porte (34), e controle em órgãos de centrais telefônicas (35).

Para cada uma destas aplicações, é sempre possível desenvolver um programa gerencial específico, em que se otimize os compromissos e tempo memória e facilidades requeridas.

O executivo que propomos está basicamente orientado para aplicações como o controle de aparelhos telefônicos públicos e o controle digital direto em sistemas de supervisão digital de sistemas telefônicos.

Para justificar as decisões que foram tomadas durante o desenvolvimento deste trabalho, neste capítulo apresentamos as principais características das aplicações enfocadas, as quais permite fixar os requisitos básicos do executivo proposto.

##### IV.2 Controle de Aparelhos Telefônicos Públicos

O objetivo do sistema de controle para esta aplicação é permitir que os aparelhos telefônicos públicos possam estabele-

cer chamadas DDD nacional sem introduzir alterações nos atuais equipamentos de comutação da rede telefônica.

Embora seja possível resolver este problema utilizando lógica discreta distribuída nos aparelhos telefônicos públicos, estudos realizados (36) mostram que a centralização do controle utilizando microprocessador oferece vantagens econômicas e operacionais significativas.

O sistema de controle utilizado deve desempenhar as funções típicas de um sistema de controle digital direto, ou seja:

- Coleta dos sinais gerados pelos terminais telefônicos.

Os sinais coletados são digitais podendo conter as seguintes informações sobre o estado dos terminais (37):

- . estado de repouso
- . fone fora do gancho
- . ruído para discar
- . discagem do número chamado
- . atendimento do chamado
- . chamado não existente
- . chamado não atende
- . conversação
- . desligamento por término de chamada.

- Processamento de algoritmos que determinam e comandam as ações de controle de tarifação e analisam o desempenho dos aparelhos telefônicos.

Os algoritmos estão codificados em programas específicos para:

- . comando do início/término de varredura dos pontos de coleta dos sinais
- . análise dos dados de estados dos terminais

- Geração de sinais para controle dos terminais (coleta de fichas, desconexão de chamadas)

#### IV.2.1 Arquitetura Básica do Sistema de Controle

Os elementos básicos da estrutura do sistema estão esquematizados na Fig. 12, onde pode-se destacar:

- . Amostrador, que periodicamente recolhe os sinais gerados pelos terminais telefônicos
- . Atuador, que gera pulsos para controle nos terminais
- . DMA, que permite efetuar a coleta dos dados e armazená-los diretamente em memória, sem intervenção da CPU
- . CPU, Memória, constituem o microcomputador
- . TTY, para comunicação com operador

#### IV.2.2 Facilidades Requeridas do Executivo

Para gerenciar os programas do sistema de controle, o executivo deve oferecer as seguintes facilidades essenciais:

- Ativar programas a intervalos fixos de tempo. O intervalo mínimo de ativação de cada programa é de 20 milissegundos.

Estes programas executam tarefas tais como:

- . Comando de varredura do estado dos terminais
  - . Geração de sinais de tarifação
  - . Coleta dos sinais do código discado
- Ativar programas para atendimento de interrupções geradas externamente tais como:
    - . Atendimento a operador
    - . Análise e diagnóstico de falha do sistema de controle
    - . Término de aquisição de dados
  - Ativar programas cuja execução é solicitada para continuar

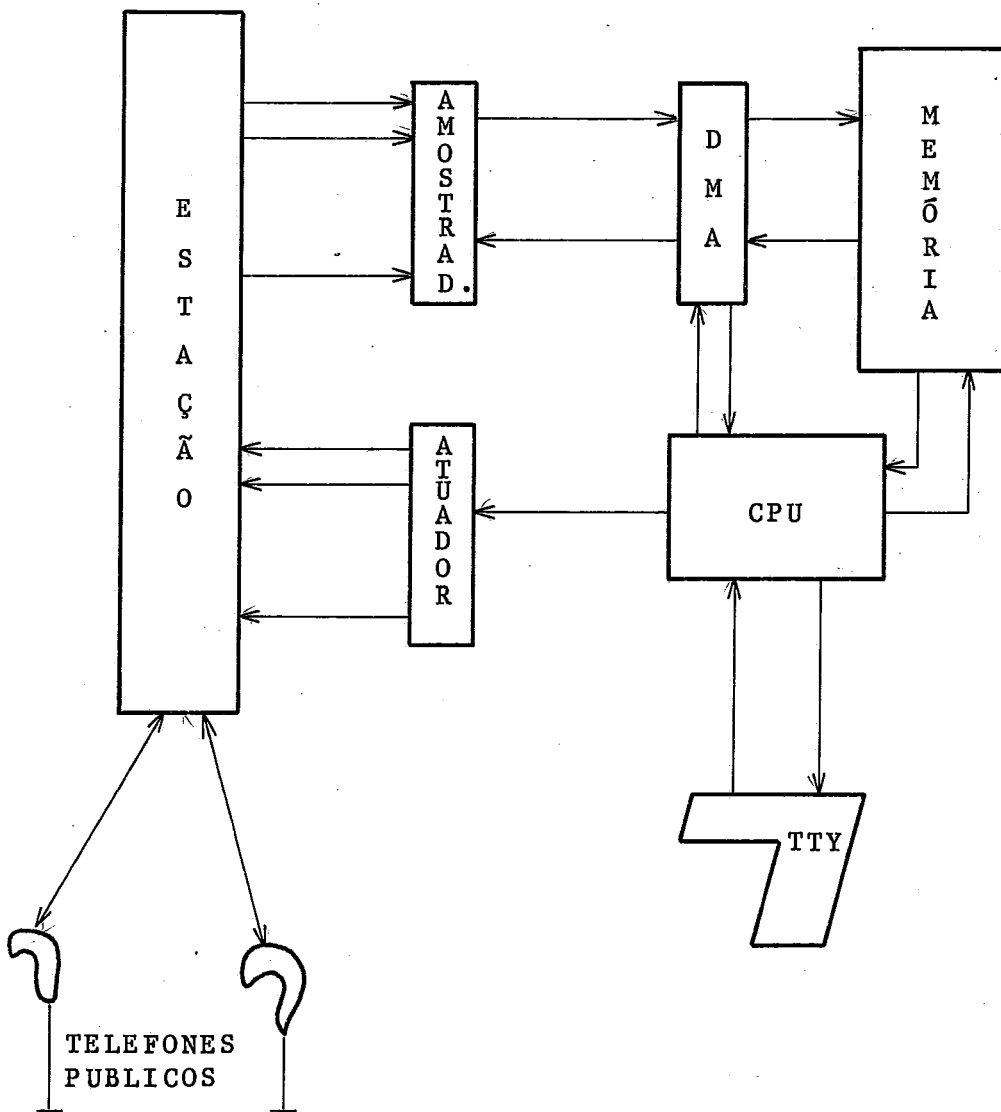


FIG. 12 - CONTROLE DE APARELHOS TELEFÔNICOS PÚBLICOS



processamento iniciado por programas ativados por tempo ou por interrupções.

Estes programas executam tarefas tais como:

- . Determinação do estado do terminal telefônico
- . Análise de fase de chamada
- . Determinação da tarifa a ser cobrada
- . Contabilização da receita por terminal
- . Registro de tráfego por rotas
- . Análise do desempenho do terminal
- . Comunicação com operador
- . Tratamento de falhas do sistema de controle

#### IV.3 Sistema de Supervisão Digital de Sistemas Telefônicos

Para atender as necessidades de supervisão das centrais telefônicas, o sistema possui as seguintes características:

- Estrutura modular hierarquizada, constituído por subsistemas com capacidade de processamento.
- Centralização dos dados de toda a rede telefônica em um Banco de Dados no subsistema núcleo do sistema.
- Processamento dos dados em 3 níveis
- Supervisão e controle da rede telefônica em 3 níveis
- Detecção das falhas consistentes e controle dos órgãos telefônicos desempenhados pelo subsistema diretamente conectado à central telefônica.
- Os subsistemas possuem certo grau de autonomia, permitindo que as funções básicas do sistema sejam executadas continuamente, mesmo que alguns dos subsistemas estejam fora de serviço.

A estrutura do sistema é mostrada na Fig. 13, onde se

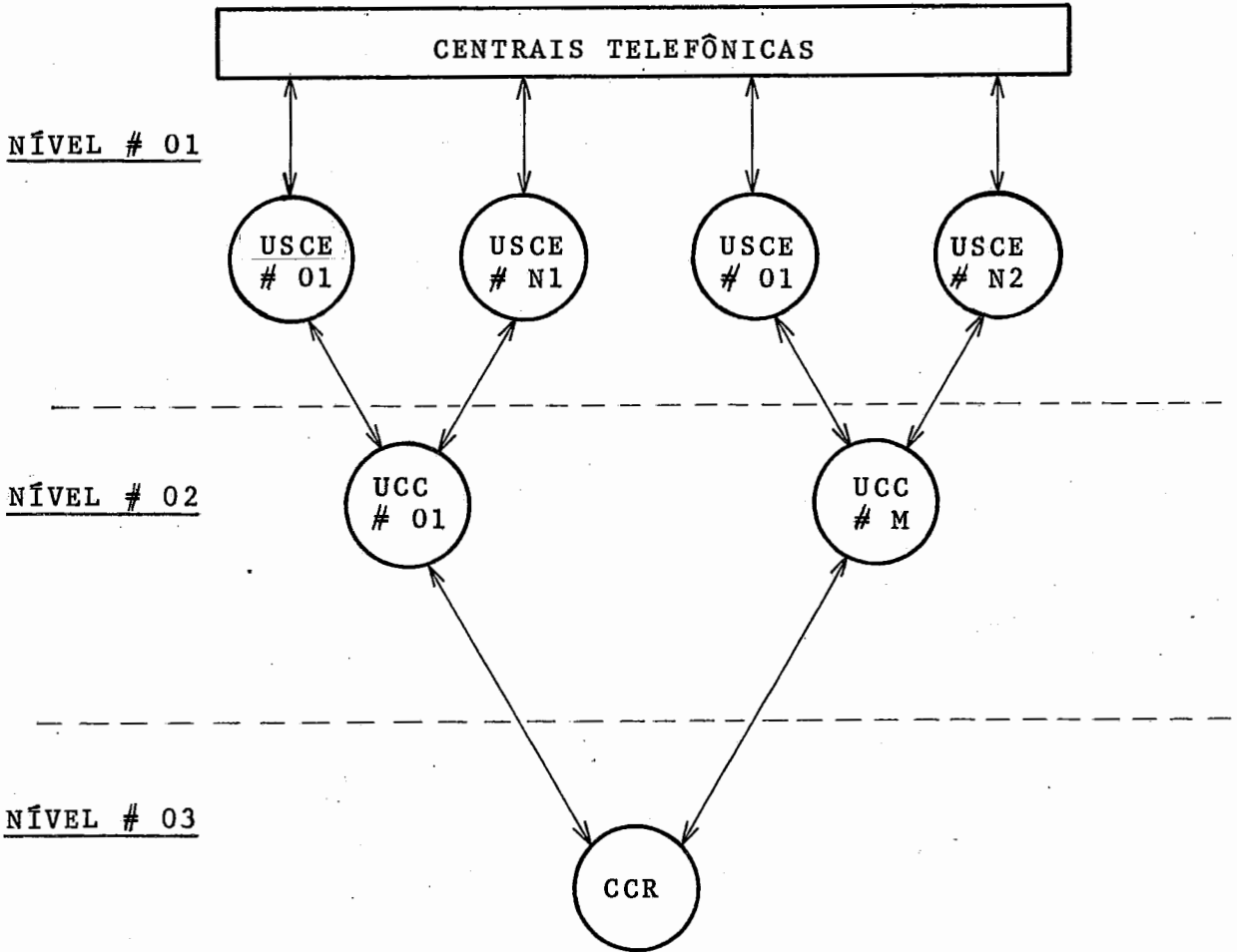


FIG. 13 - ESTRUTURA DO SISTEMA DE SUPERVISÃO  
DIGITAL DE SISTEMAS TELEFÔNICOS

destacam os seus 3 níveis:

- Nível 1, onde são coletados, processados, analisados e armazenados temporariamente os dados gerados pelos órgãos telefônicos. O processamento efetuado é aquele necessário para detectar as falhas consistentes dos órgãos telefônicos defeituosos, e que permitem a tomada de uma decisão automática confiável quanto à ação de controle sobre os órgãos telefônicos, no intervalo de tempo inferior a 15 minutos.

As tarefas deste nível são desempenhadas pelo subsistema Unidade de Supervisão e Controle de Estação Telefônica (USCE), que tem os seus pontos de aquisição de dados e de controle dos órgãos telefônicos diretamente ligados à Central.

- Nível 2, onde são armazenados, processados e analisados os dados coletados no nível 1, e calculados parâmetros utilizados pela USCE no controle da central.

O processamento efetuado envolve grande volume de dados e utiliza modelos matemáticos dos órgãos telefônicos, permitindo uma análise detalhada do comportamento da central telefônica e gerando informações confiáveis e objetivas para a manutenção e operação das centrais telefônicas.

As tarefas deste nível são desempenhadas pelo subsistema Unidade de Controle Central (UCC).

- Nível 3, onde são armazenados, processados e analisados todos os dados coletados nas centrais telefônicas da rede.

O processamento efetuado gera informações que permitem gerenciar toda a rede, fornecendo elementos para racionalizar a sua operação, manutenção e crescimento.

As tarefas deste nível são desempenhadas pelo subsistema Centro de Controle da Rede (CCR).

#### IV.4 Sistema de Controle Digital Direto de Sistemas Telefônicos

Na estrutura do sistema de supervisão digital apresentados, as funções desempenhadas no primeiro nível são características de um sistema de controle digital direto.

Neste caso, estes sistemas podem ser implementados a partir de um microprocessador.

A arquitetura de uma USCE (Fig. 13), baseado em microprocessador e os requisitos do seu executivo são a seguir descritos.

##### IV.4.1 Arquitetura Básica do Sistema de Controle

Os elementos básicos do sistema de controle digital direto estão esquematizados na Fig. 14 onde podemos destacar o Amostrador que, via DMA permite efetuar a coleta dos dados sem interferir na CPU; Atuador, através do qual é possível agir sobre os órgãos da central telefônica; Modem, através do qual a USCE se comunica com outros níveis do sistema de supervisão e TTY através do qual o operador se comunica com o sistema.

##### IV.4.2 Facilidades Requeridas do Executivo

Para esta aplicação, as facilidades básicas que o executivo deve oferecer são as seguintes:

- Ativar programas a intervalos fixos de tempo.

O intervalo mínimo de ativação de cada programa é 20 milisegundos. Estes programas executam tarefas tais como:

- . Comando de varredura dos sinais dos órgãos telefônicos
- . Acumulação dos tempos de ocupação dos órgãos telefônicos

- Ativar programas para atendimento de interrupções externas,

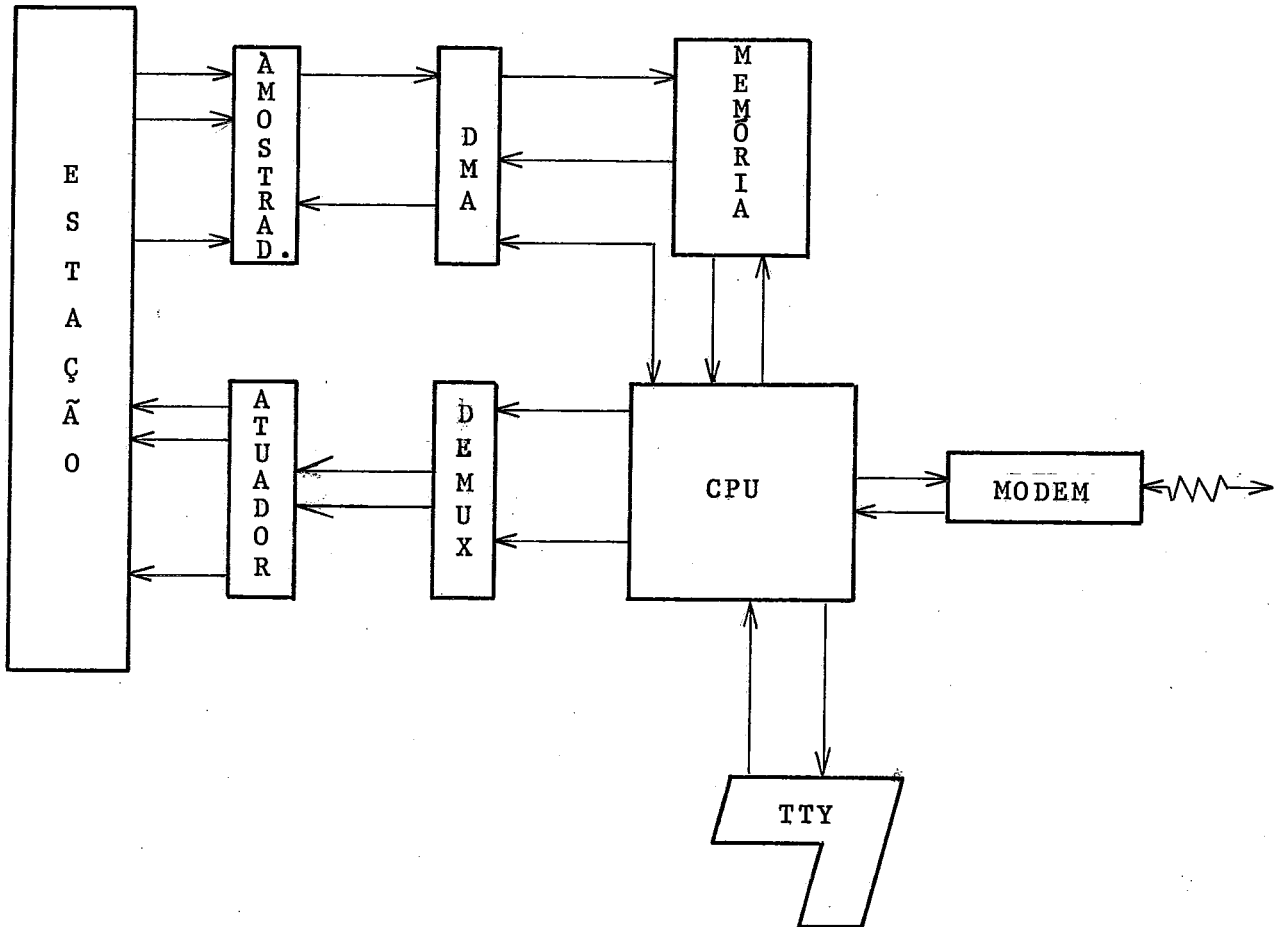


FIG. 14 - CONTROLE DIGITAL DIRETO EM SUPERVISÃO  
DIGITAL DE SISTEMAS TELEFÔNICOS

tais como:

- . Término de aquisição de dados
  - . Solicitação de comunicação de nível superior
  - . Atendimento a operador
  - . Falha do sistema de controle
- Ativar programas para processamento de dados, por solicitação dos programas ativados por tempo ou por interrupção.

Estes programas executam tarefas tais como:

- . Detecção de variação de estado dos órgãos telefônicos controlados
- . Acumulação de dados de tráfego
- . Análise de desempenho dos órgãos
- . Comando de ação sobre órgãos deficientes
- . Análise e tratamento de falhas do sistema de controle
- . Transmissão de dados para nível superior
- . Comunicação com operador

Na Fig. 15 (a,b) estão esquematizadas as formas gerais e a distribuição no tempo dos sinais a ser coletados para análise neste nível.

Na central telefônica existem órgãos que geram só um tipo de sinal e órgãos que geram 2 sinais, cada um em fios diferentes. Estes sinais são denominados genericamente de sinais dos fios de tomada (T) e sinais dos fios de eficiência (E).

Para os órgãos que geram só um tipo de sinal é apenas contado o número de vezes que o sinal aparece, e a sua duração.

Para os órgãos que geram 2 sinais, estes são analisados em conjunto, quanto ao seu número de aparecimento e a sua duração. Basicamente, a ocorrência de um número sucessivo de somente um dos sinais permite a determinação estatística de um órgão defeituoso com altas probabilidades de certeza.

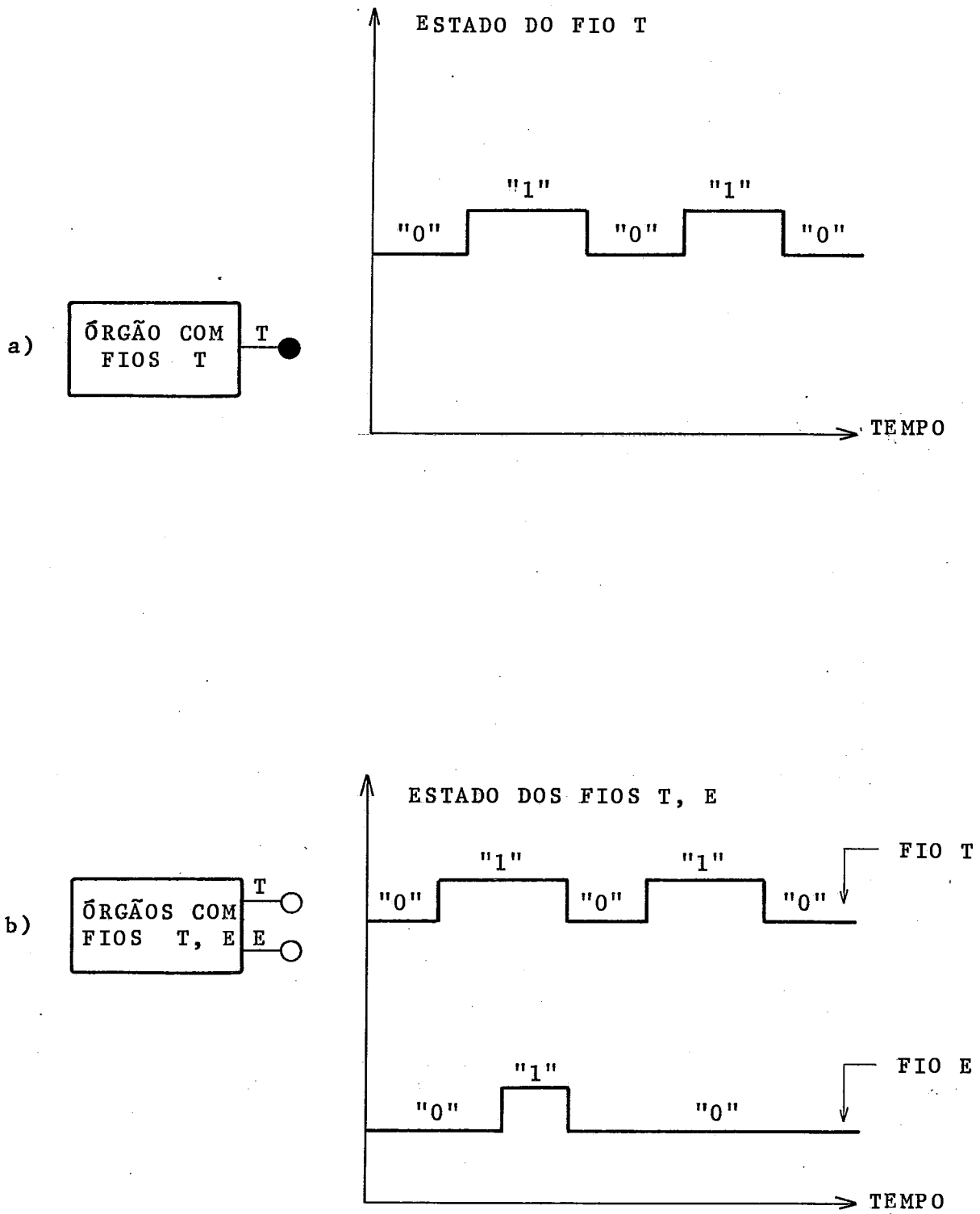


FIG. 15 - SINAIS PARA CONTROLE DE SISTEMAS TELEFÔNICOS

#### IV.5 Conclusão

A concepção de um programa gerencial depende basicamente da aplicação em vista e do processador a ser utilizado.

Considerando aplicações de microprocessadores em controle de sistemas telefônicos, há diversas áreas possíveis de serem enfocadas, e que podem conduzir a concepções diferentes de programas gerenciais.

Como o presente trabalho está orientado para aplicações no controle de aparelhos telefônicos públicos e o controle digital direto em sistemas de supervisão digital de sistemas telefônicos, cujas principais características foram descritas, propomos que a coordenação dos programas sejam desempenhadas por um executivo de tempo real adequado.



## V. UM PROGRAMA EXECUTIVO DE TEMPO REAL PARA O INTEL 8080

### V.1 Generalidades

O programa executivo apresentado a seguir foi projetado, codificado e testado para uso no microcomputador INTEL 8080 (1).

Na sua concepção influenciaram decisivamente as características do microprocessador utilizado e as facilidades essenciais para as aplicações em vista.

Os aspectos do microprocessador que mais influíram no desenvolvimento do executivo foram:

- . Modos de operação: O INTEL 8080 só possui um modo de operação. Isto implica em que qualquer programa em execução tem acesso a todo o conjunto de instruções do processador não sendo possível tornar privilegiadas certas operações.
- . Proteção de memórias: O INTEL 8080 não possui circuitos que permitam proteger áreas de memória. Isto significa que qualquer programa tem acesso a qualquer endereço da memória principal podendo ler, ou ler/escrever em todas as posições.
- . Interrupções externas: O INTEL 8080 só possui uma linha para detecção de interrupção externa. Além disso, a linha só admite dois estados: inibido ou não. Nessa linha, é normalmente utilizado um circuito expensor que permite detetar com prioridade posicional até 8 linhas de solicitação de interrupção. Estas características do esquema de interrupção do processador forçam que o registro de interrupções em cascata e a decisão sobre prioridade sejam resolvidas por programas, quando necessários.
- . Número de registro programáveis: O INTEL 8080 possui um conjunto de 6 registros programáveis e 1 acumulador. Os registros e o acumulador são de 8 bits. Além disso, o INTEL 8080 ainda possui um registro apontador de pilha (pilha em memória), e um registro contador de programa, ambos de 16 bits.

- . Conjunto de instruções: O INTEL 8080 não possui instruções que permitam gerar interrupções por programa. Isso implica que a chamada a outro programa só pode ser feita ou através de uma instrução do tipo chamada subrotina (Call) ou instrução de desvio (Jumps) ou ainda forçando o endereço desejado no registro contador de programa.
- . Entrada e saída: O INTEL 8080 efetua todas as operações de entrada e saída através de uma barra, utilizando as instruções IN e OUT para essas operações.

A entrada e saída de periféricos é feita através de 256 endereços de entrada e 256 endereços de saída. Para permitir multiprogramação pode-se utilizar um dispositivo de acesso direto a memória (DMA) que está conectada a barra do processador.

Limitado pelas características do microprocessador e para satisfazer os requisitos das aplicações pretendidas, o executivo desenvolvido neste trabalho possui uma estrutura e funcionamento próprios que neste capítulo descrevemos, apresentando uma descrição geral, o critério de prioridade para execução e ativação/desativação de programas, a sua estrutura e o fluxo geral de funcionamento.

## V.2 Descrição Geral do Executivo

O programa executivo (PEX), permite gerenciar os seguintes tipos de programas:

- . Programas ativados por interrupções (PI), que se destinam a processar as interrupções externas da aplicação.
- . Programas ativados por tempo real (PTR), que processam tarefas sincronas a intervalos fixos de tempo.
- . Programas ativados por solicitação de outros programas (PNB), que se destinam a continuar um processamento iniciado por PI ou PTR.

As principais características do PEX são o número de programas possíveis de gerenciar, o critério de prioridade para execu

ção dos programas, e a ativação/desativação de programas.

### V.2.1 Número e Tipos de Programas Suportados

O número máximo de programas suportados é 87, assim distribuídos:

- . Programas do tipo PTR: 16
- . Programas do tipo PI: 7
- . Programas do tipo PNB: 64

Estes números e a sua distribuição por tipos de programas foram adotados tendo em vista considerações tais como:

- . As características das aplicações pretendidas indicam que normalmente o número de programas do tipo PI e PTR são reduzidos e os de tipo PNB são numerosos.
- . Os programas PI devem ser em número suficiente para atender os níveis de interrupção externa, e os PTR para atendimento das tarefas com intervalo de tempos de ativação diferentes.
- . Os programas de tipo PNB normalmente utilizam extensa área de dados, embora o número de instruções do PNB não seja grande.
- . A memória do INTEL 8080 possui capacidade máxima de 64 Kbytes, e o fato de que para este tipo de aplicações todos os programas residem em memória principal não permitem que sejam numerosos e extensos.

### V.2.2 CrITÉrios de Prioridades para Execução

O critério de alocação do processador para a execução dos programas depende do tipo do programa, se PNB, PTR ou PI.

**PNB:** a prioridade é dada em função da classe e número do programa dentro de cada classe. Na geração do sistema (como veremos adiante), cada PNB recebe um número que o identifica (0-63) e determina a sua prioridade. A regra geral é: o PNB

de menor número é mais prioritário, A execução de um PNB pode ser suspensa (e continuar posteriormente) a qualquer momento para execução de um PI ou de um PTR.

**PTR:** quando dois ou mais programas devem ser executados num da do intervalo de tempo (programas com tempos de execução múltiplos um do outro), o critério de prioridade é defini do em função da classe e o de número do programa dentro da classe. Na geração do sistema, o PTR recebe um número (0-15) que o identifica e determina a sua prioridade. A regra geral é: o programa de menor número é mais prioritá rio. A execução de um PTR sõ é suspensa (para posterior conclusão) caso ocorra uma interrupção cujo nível seja mais prioritário que o nível definido para o relógio de tempo real. Estes níveis são especificados na geração do sistema, como explicado adiante.

**PI:** sempre que ocorre uma interrupção, o executivo deteta e registra o seu nível,

A cada nível corresponde uma prioridade diferente para execução, sendo permitidos até 7 níveis diferentes (níveis 1 a 7). Caso não esteja sendo executado outro PI de prio ridade igual ou maior, o controle do processador é imedia tamente transferido ao programa que trata a interrupção. Qualquer PI pode ser suspenso para posterior conclusão, caso o executivo detete o aparecimento de uma interrupção de maior prioridade.

A prioridade da interrupção é fixada por circuito, poden do excepcionalmente ser alterada através de mudança de pa râmetros no executivo durante a geração de PEX.

Este critério de alocação de prioridades baseou-se em con siderações como:

- . As interrupções externas não devem ser ignoradas. Como o processador não possui circuitos para mascarar interrupções, PEX deve desempenhar essa função. Por isso, ao ocorrer uma interrupção, o seu aparecimento é sempre re gistrado e o programa de atendimento é ativado e coloca do numa fila para execução. Entretanto o programa sõ

será executado se não estiver sendo processado nenhum PI com prioridade igual ou superior.

Com este esquema de tratamento de interrupções, PEX não os inibe, deixando, entretanto essa alternativa disponível ao programa de aplicação uma vez que ele tem acesso a todo o conjunto de instruções do microprocessador.

- Os programas de tempo real (PTR) podem ou não ter prioridade maior que alguns ou todos os PI. A definição é feita na geração do sistema pois, para determinadas aplicações podem existir sinais de interrupção que por motivos externos justifiquem a suspensão da execução de qualquer outro programa, a menos do PI de atendimento desta interrupção.

Entretanto, qualquer PTR deve ter prioridade superior que qualquer PNB pois do contrário o intervalo de execução de tempo perderia precisão desejada e passaria a depender do tempo de execução dos PNB.

- As prioridades dentro de cada tipo de programas (PI, PTR, PNB) são definidas em função do número que identifica o programa. Estes números são especificados na geração de PEX e são fixos até nova geração. Esta estrutura estática de prioridades é compatível com as aplicações em vista pois qualquer alteração da estrutura geral dos programas do sistema de controle implica em parada temporária do sistema, pois na memória principal do microcomputador não residem os programas montadores.

Além disso estes sistemas de controle são normalmente dedicados, e executam um conjunto estático de programas desenvolvidos para as aplicações.

### V.2.3 Ativação e Desativação de Programas

Os programas PTR são ativados assim que decorre o intervalo de tempo para execução de cada programa. Os programas PI são ativados quando ocorre a interrupção a que devem atender, e os programas PNB somente por solicitação de outros programas.

Qualquer programa, ao termino de sua execução deve retornar o controle do processador a PEX, através de um comando com

o seguinte formato:

```
CALL PEX; F; N1, N2, ... Nj
```

onde F indica se o programa apenas devolve o controle do processador ao PEX ou se solicita a ativação de PNB's (F = 0, ou F=1), e, N<sub>1</sub>, N<sub>2</sub>, ... N<sub>j</sub> é uma lista que identifica os PNB's a serem ativados ( $0 \leq N \leq 63$ ), quando for o caso

#### V.2.4 Estrutura e Funcionamento

A estrutura geral do PEX é baseada em 3 programas monitores: Monitor de Nível Básico (MNB), Monitor de Interrupções (MI) e Monitor de Tempo Real (MTR), cuja execução é coordenada por um programa Nucleo ou supervisor. A interligação destes módulos, esquemmatizada na Fig. 16 é descrita a seguir.

- NUCLEO; Sua função é receber e atender todas as chamadas ao executivo (Call PEX), ativando os PNB solicitados; determinar qual o monitor a assumir o controle do processador e transferindo-lhe o controle.

A lógica geral do NUCLEO está esquematizado na Fig. 17. As estruturas de dados utilizadas para ativar PNB's e para determinar o monitor ativo constam da Fig. 18, onde destacamos a fila de classes de PNB ativos, a fila de PNB ativos e os apontadores de endereços de PNB.

- MNB: Sua função é encadear segundo critério de classes e prioridades, a execução dos PNB ativos. Quando não há nenhum outro programa a ser executado, o processador executa uma rotina de espera deste módulo, até que ocorra um evento externo que estimule o sistema.

A estrutura de dados utilizada por MNB é a mesma da Fig. 18, a lógica geral deste módulo está esquematizada na Fig. 19.

A determinação de PNB a ser ativado ou executado é obtida calculando  $K + 16i + 2j$  onde

K = constante, indicando o endereço inicial da estrutura de dados.

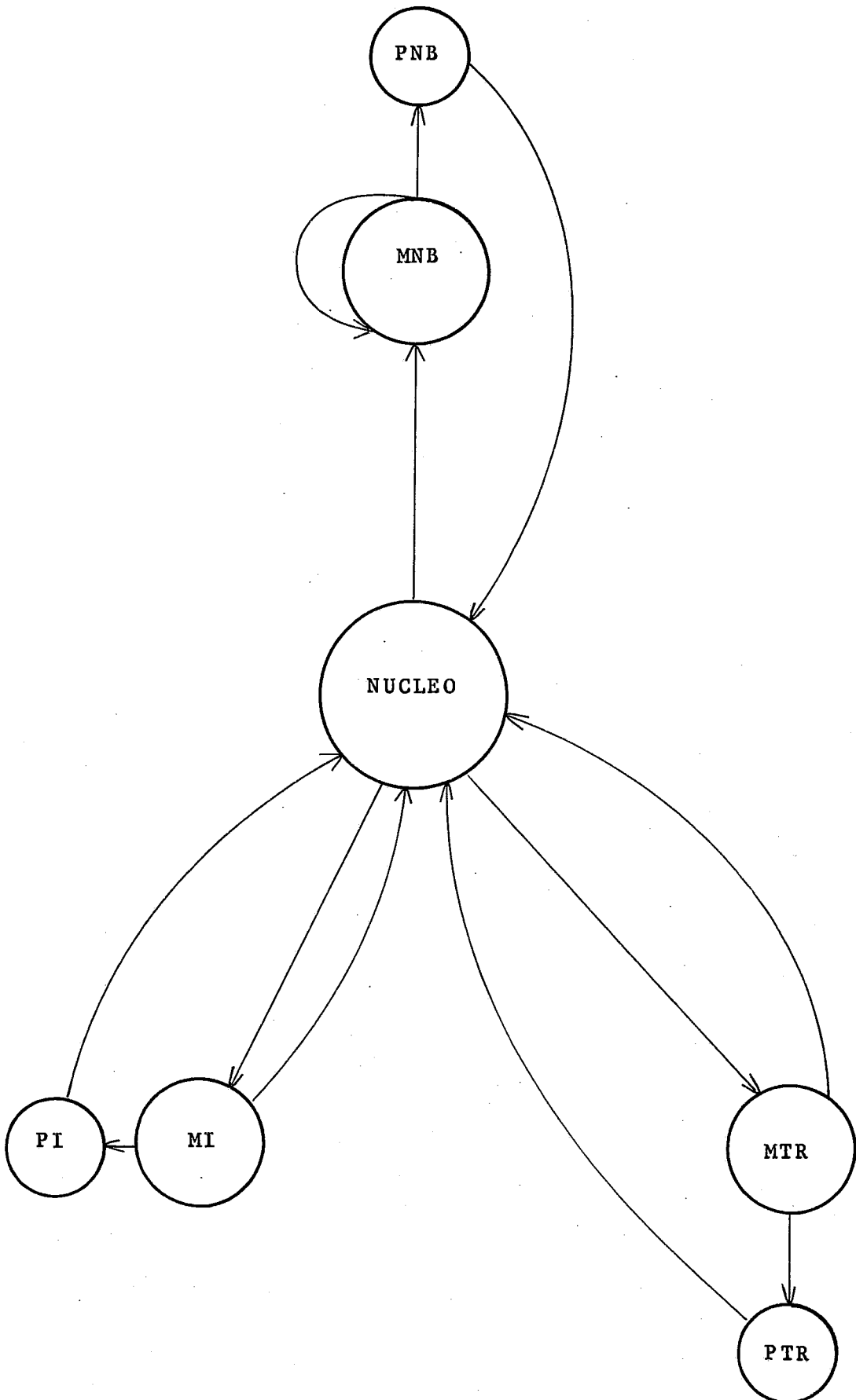


FIG.16 - ESTRUTURA DE PEX

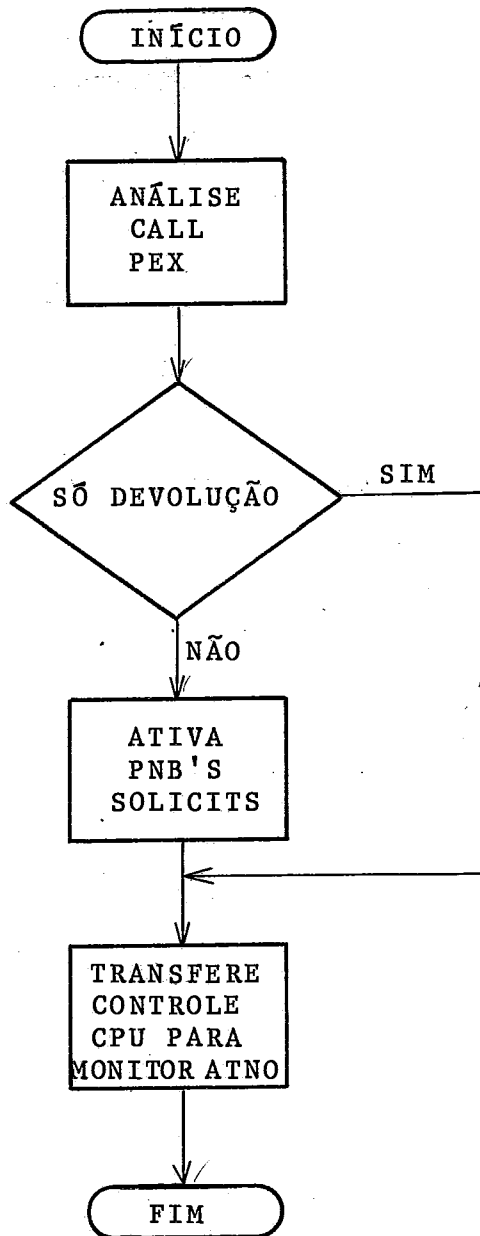


FIG. 17 - LÓGICA GERAL DO NÚCLEO



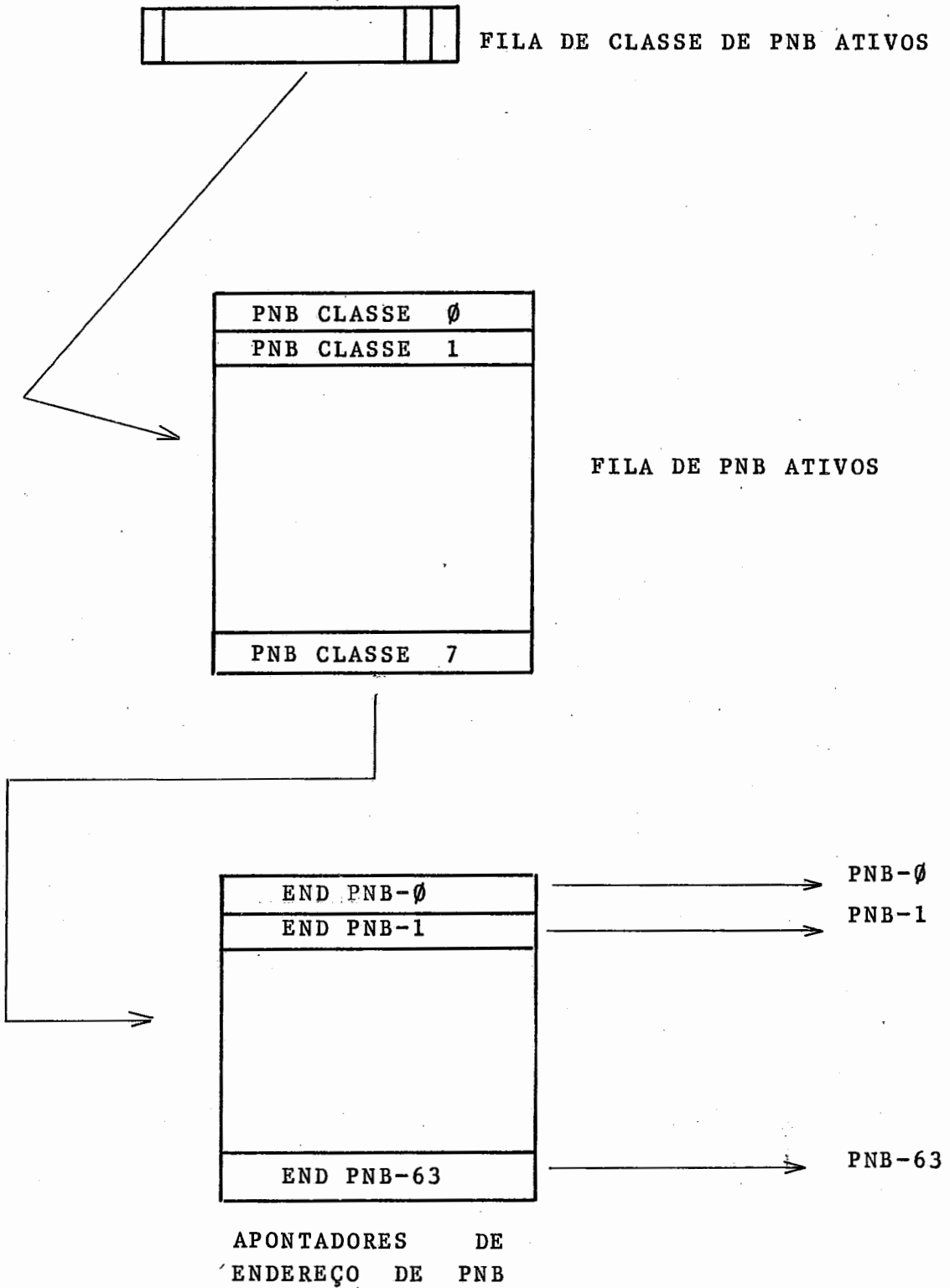


FIG. 18 - ESTRUTURA DE DADOS DE NUCLEO

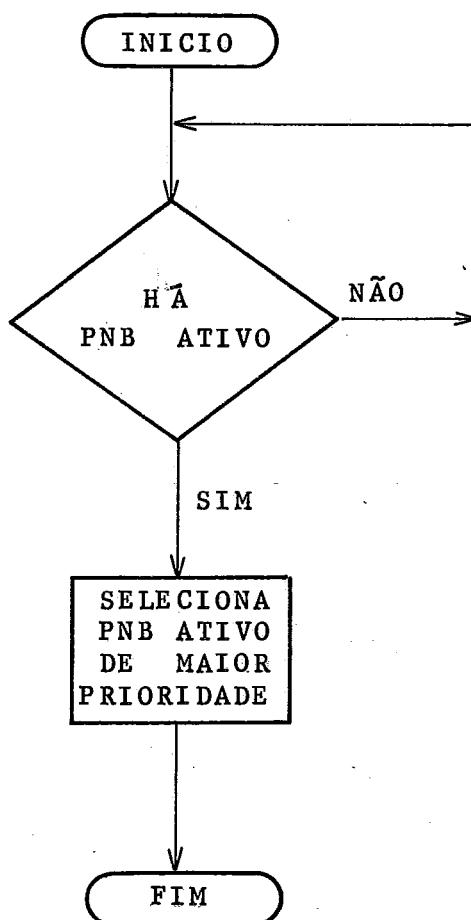


FIG. 19 - LOGICA GERAL DO MNB

$i$  = nível de classe

$j$  = nº do programa na classe

MI: Sua função é identificar registrar as interrupções externas ocorridas.

Além disso, após analisar a prioridade da interrupção, decide se deve ou não suspender a execução de algum PI em processamento.

A execução de todos os PI são encadeados segundo o nível de prioridades do circuito da interrupção, e qualquer PI tem prioridade de execução maior que qualquer PNB.

Os programas de tempo real (PTR) poderão ter prioridade superior ou inferior que determinados PI's, dependendo do nível da prioridade alocada fisicamente em circuitos para as interrupções do relógio de tempo real.

No processo de registro de interrupção e ativação de PI, o MI utiliza-se de um vetor de interrupções que encadeiam rotinas de serviço para cada nível de interrupção e uma fila de PI ativos como esquematizado na Fig. 20. O controle de execução dos PI é feito segundo a lógica geral das Figs. 21 e 22.

O controle de programa suspensos é feito utilizando a estrutura de pilha do INTEL 8080, onde se mantém o registro do contexto do PI que estava em execução ao ocorrer uma interrupção mais prioritária.

- MTR: Sua função é controlar a ativação e execução dos PTR, sendo ativado através do MI, sempre que ocorre um pulso de relógio de tempo real.

Os PTR, ao chegar o instante de serem executados, são escalonados segundo suas prioridades próprias, definidas na geração de PEX. Ressalte-se que qualquer PTR é mais prioritário que qualquer PNB.

Os PTR podem ser mais prioritários que determinados PI, dependendo do nível da interrupção alocado por circuito ao relógio de tempo real.

A estrutura de dados utilizada por MTR está esquematizada na Fig. 23 e a lógica geral de contagem de tempo, ativação e execução dos PTR é mostrada na Fig. 24.

ROTINAS DE SERVIÇO

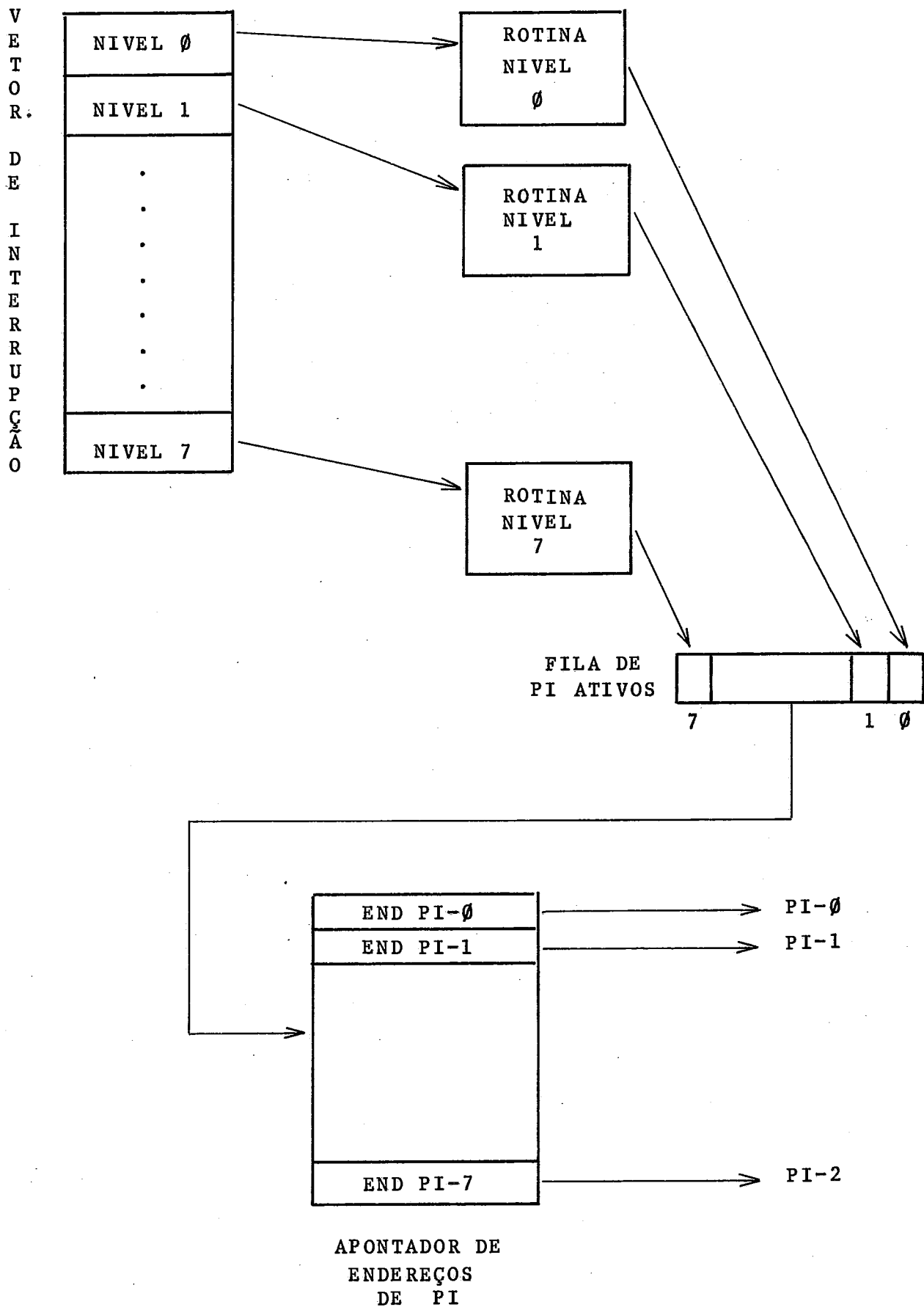


FIG.20 - ESTRUTURA DE DADOS DE MI

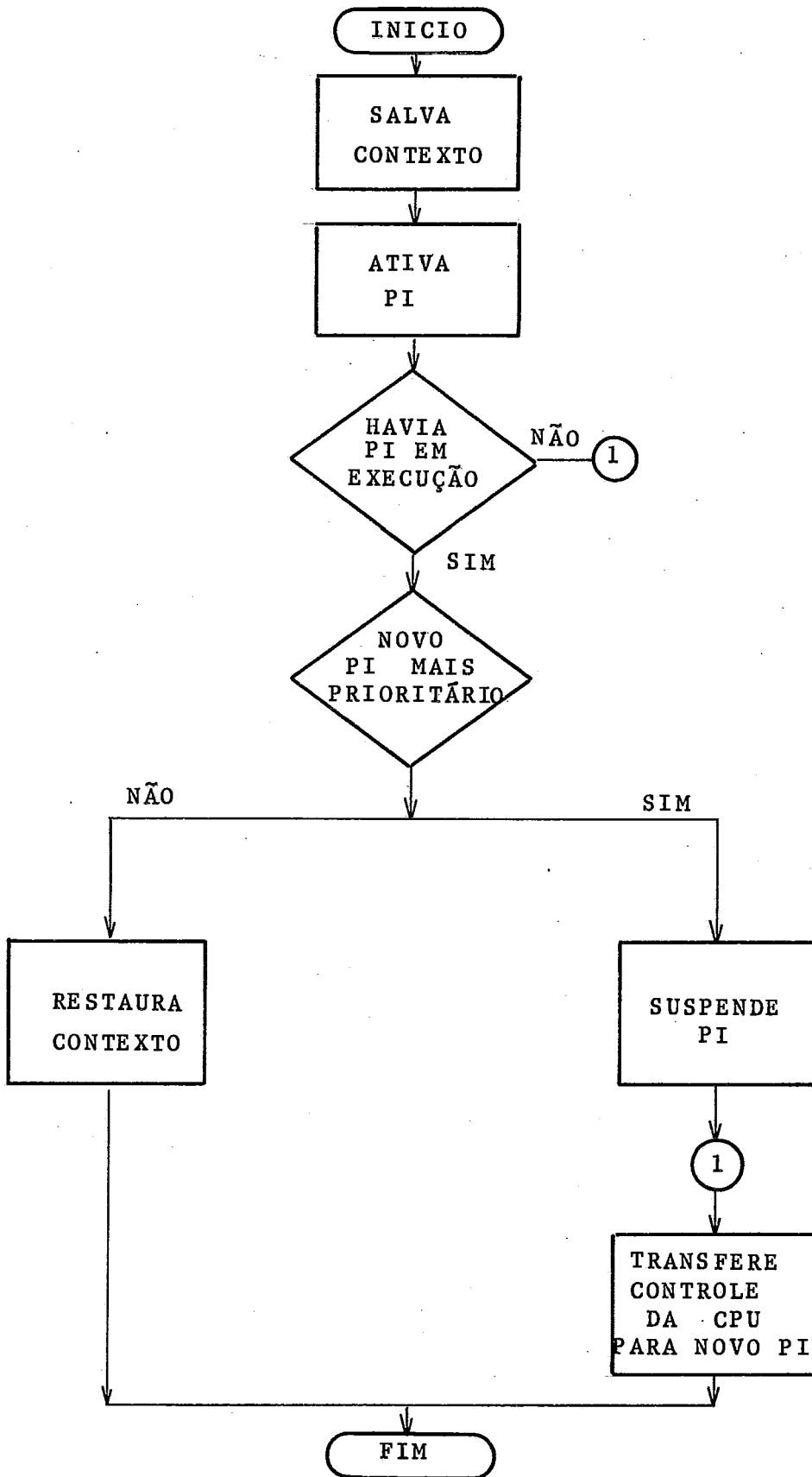


FIG.21 - LOGICA GERAL DO MI - ENTRADA GERAL

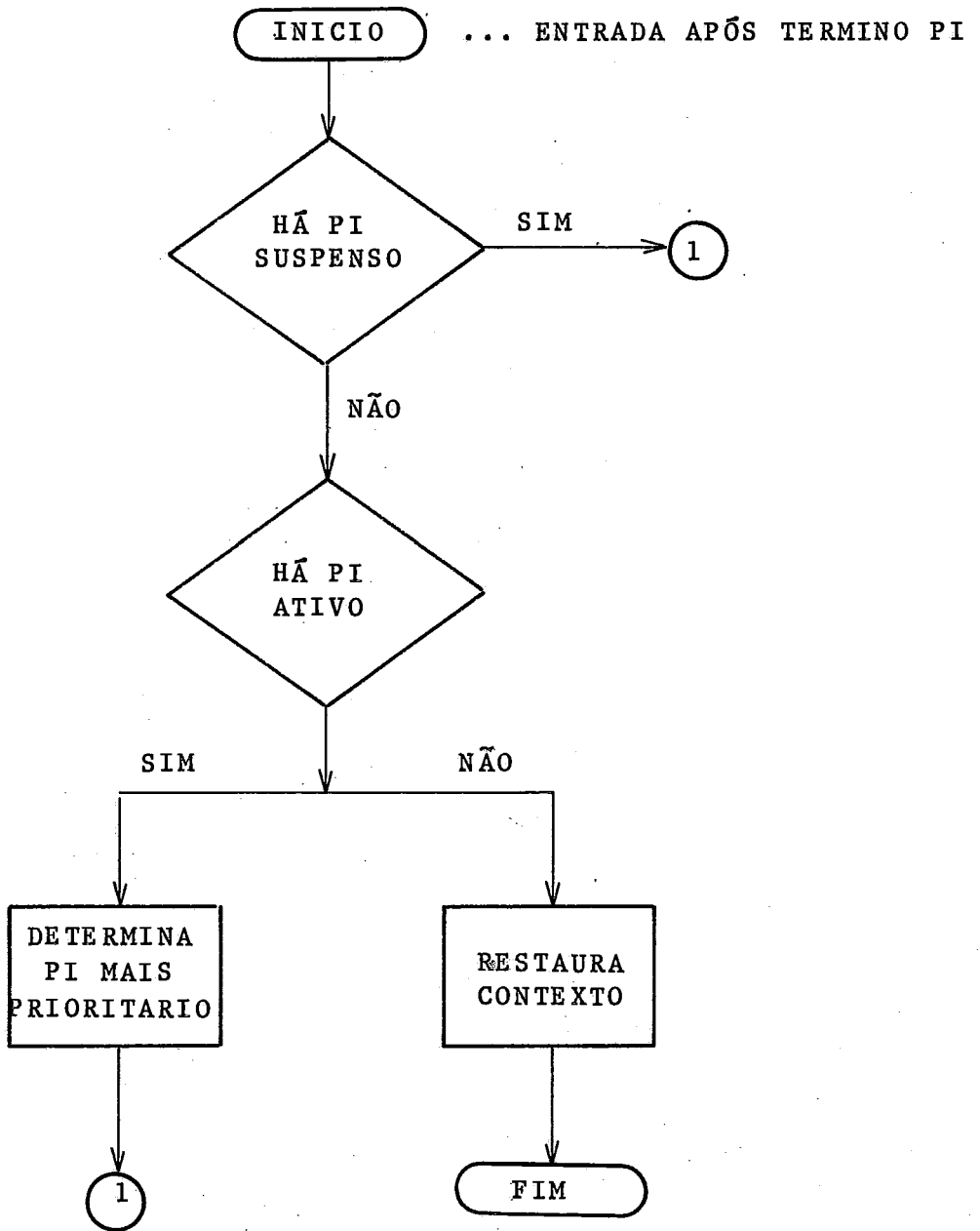


FIG.22 - LOGICA GERAL DO MI-ENTRADA  
APOS TERMINO DE PI

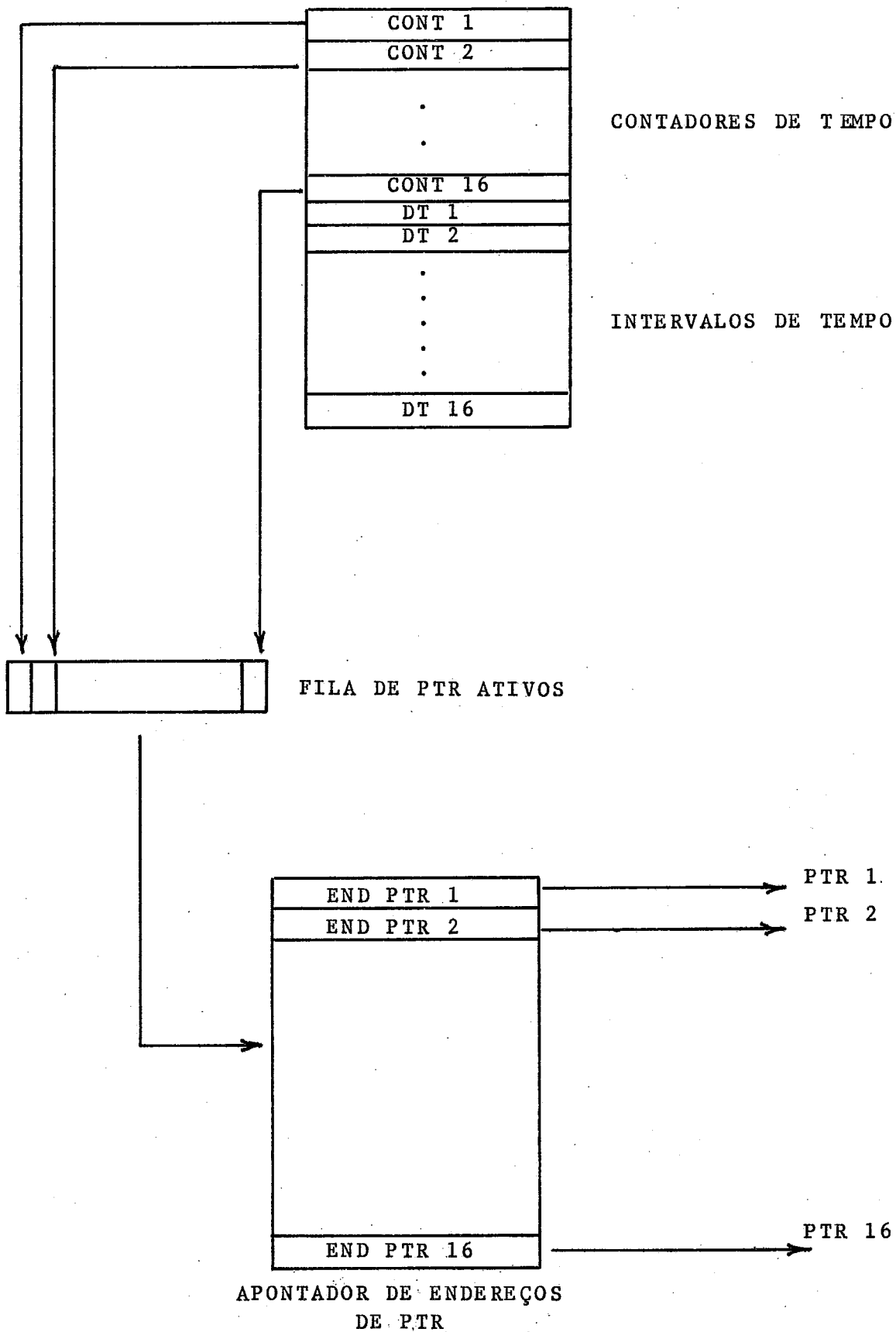


FIG. 23 - ESTRUTURA DE DADOS DE MTR

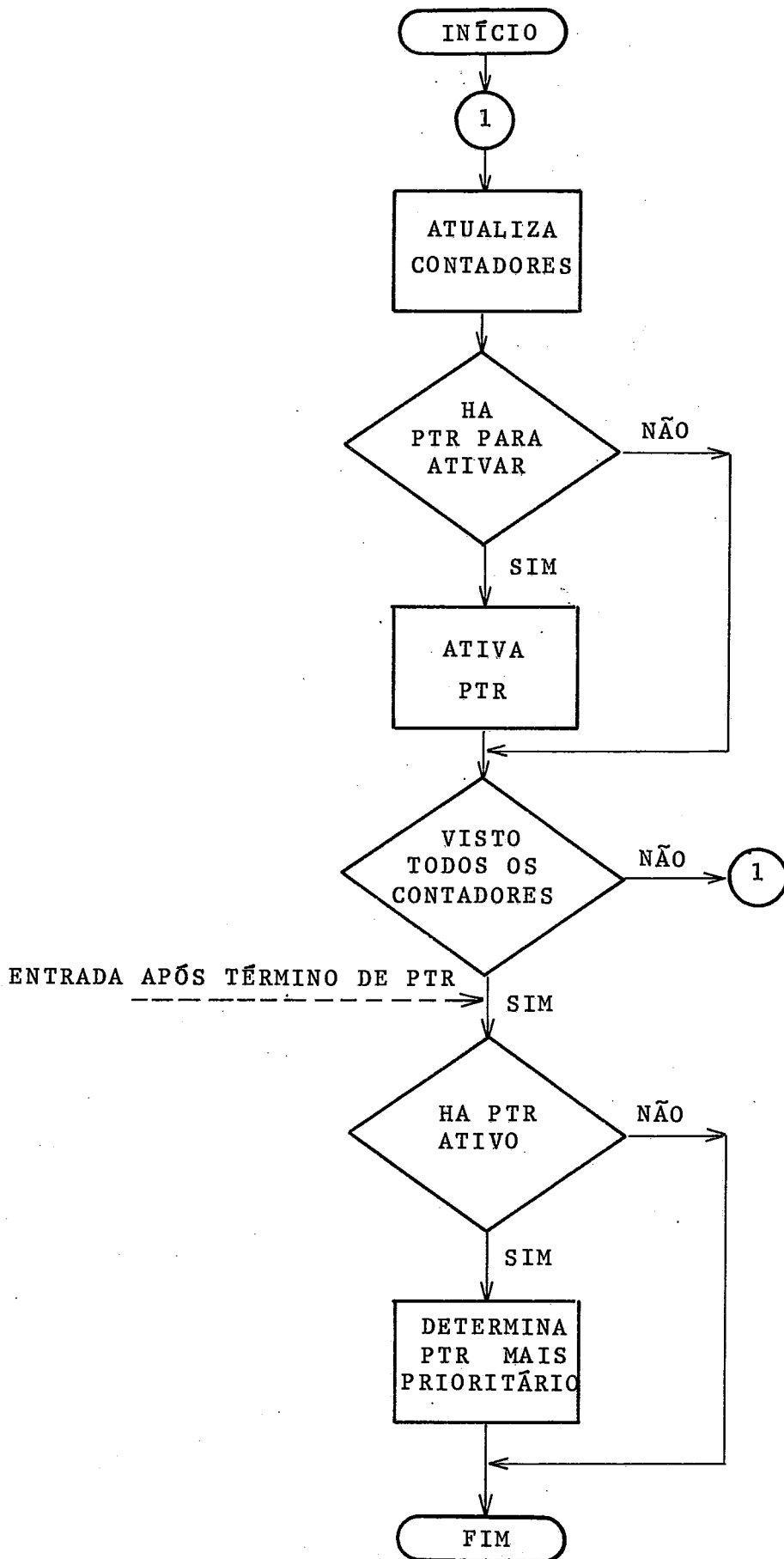


FIG. 24 - LÓGICA GERAL DO MTR



### V.2.5 Fluxo Geral de Processamento

Para a representação do fluxo geral de processamento sob controle do PEX, estamos assumindo que a interrupção  $INT_j$  é de prioridade superior a  $INT_i$ , porém de prioridade inferior a prioridade da interrupção do relógio de tempo real, CK, e que  $INT_k$  é superior a todas as outras interrupções, isto é:

$$INT_k > CK > INT_j > INT_i$$

A transferência de controle do processador sob coordenação do PEX está representada na Fig. 25, onde as seguintes situações são destacadas:

#### INTERVALO

#### CONTROLE DO PROCESSADOR

- |       |  |
|-------|--|
| 0 - 1 | Não havendo nenhum programa a ser executado, PEX está com o controle total do processador.<br>Em $t_1$ ocorre $INT_i$ , interrupção de nível $i$ .   |
| 1 - 2 | O programa de atendimento da interrupção $i$ , $PI_i$ está sendo executado.<br>Em $t_2$ ocorre $INT_j$ , interrupção de nível $j$ , de prioridade superior a $i$ . Neste caso, PEX suspende a execução de $PI_i$ e transfere o controle a $PI_j$ .   |
| 2 - 3 | O programa de atendimento da interrupção $j$ , $PI_j$ , é executado até o final.<br>No instante $t_3$ , $PI_j$ é concluído e PEX assume o controle do processador. Caso $PI_j$ tenha solicitado, PEX ativa PNB's. A seguir, PEX reinicia a execução de $PI_i$ a partir do ponto em que tinha sido suspensa a sua execução pelo aparecimento de $INT_j$ . |
| 3 - 4 | $PI_i$ é processado até o seu final. Em $t_4$ PEX assume o controle do processador, podendo ativar PNB's, caso tenha sido solicitado.  |

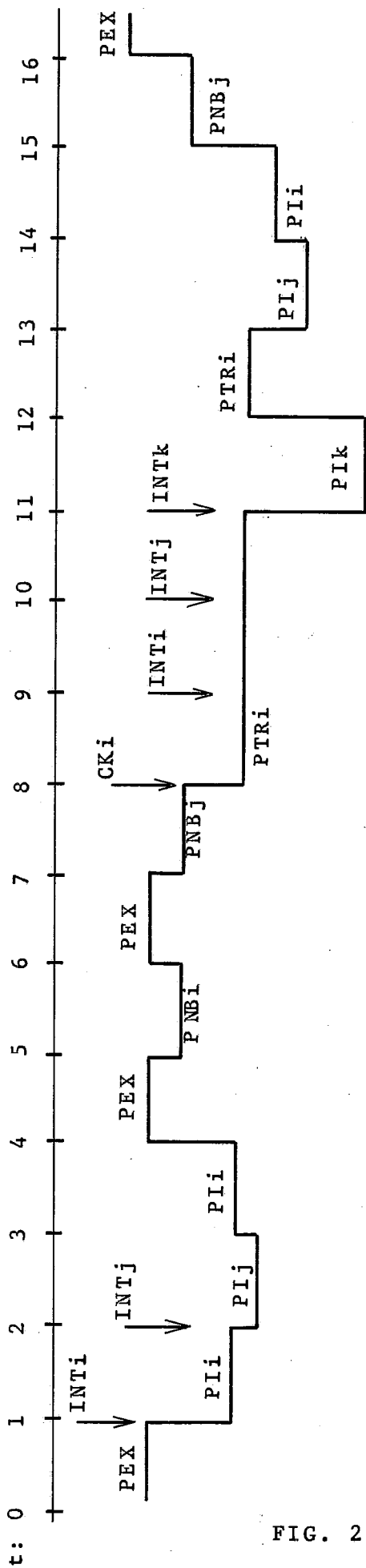


FIG. 25 - FLUXO GERAL DE PROCESSAMENTO  
SOB CONTROLE DE PEX

INTERVALOCONTROLE DO PROCESSADOR

- 4 - 5 PEX está com o controle do processador e verifica se existe algum PNB ativo (suspenso ou não) a ser executado. Assumindo-se que existissem PNB<sub>i</sub> e PNB<sub>j</sub>, e supondo PNB<sub>i</sub> de maior prioridade, este recebe o controle do processador.
- 5 - 6 PNB<sub>i</sub> é executado até o seu final.
- 6 - 7 Em  $t_6$  o controle do processador é transferido a PEX, que pode ativar outros PNB's a pedido de PNB<sub>i</sub>. A seguir reescalona a execução dos PNB's ativos, transferindo o controle do processador ao próximo PNB ativo mais prioritário (Neste caso, PNB<sub>j</sub>).
- 7 - 8 PNB<sub>j</sub> está sendo executado. Em  $t_8$  ocorre um pulso de relógio de tempo real, CK<sub>i</sub>, e o controle do processador é transferido a PEX, que suspende a execução de PNB<sub>j</sub>.
- 8 - 9 PEX transfere o controle do processador ao programa de tempo real desse intervalo de tempo, PTR<sub>i</sub>, que passa a ser processado.
- 9 - 10 Durante a execução de PTR<sub>i</sub>, no instante  $t_9$  ocorre uma interrupção de nível  $i$ , que por ser de nível inferior ao de CK, é apenas registrada por PEX para posterior execução do programa de atendimento, PI<sub>i</sub>.
- 10 - 11 Ocorre em  $t_{10}$  a interrupção de nível  $j$ , que é apenas registrada por PEX para posterior execução de PI<sub>j</sub>, pois o nível  $j$  é inferior a CK.
- 11 - 12 Em  $t_{11}$  ocorre uma interrupção de nível  $K$ , INT<sub>k</sub>, mais prioritária que CK. PEX, após suspender a execução de PTR<sub>i</sub>, transfere o controle do processador a PI<sub>k</sub>.

INTERVALOCONTROLE DE PROCESSADOR

que é executado até o seu final.

- 12 - 13 Apõs o termino de PI<sub>k</sub>, PEX assume o controle e reinicia a execuçãõ de PTR<sub>i</sub> que finalmente é concludido, devolvendo o controle do processador a PEX.
- 13 - 14 PEX lança a execuçãõ de PI<sub>j</sub>, que estava ativo desde o instante t<sub>10</sub>, sendo executado até o seu final.
- 14 - 15 PEX lança a execuçãõ de PI<sub>i</sub> que estava ativo desde o instante t<sub>9</sub>, sendo executado até o seu final.
- 15 - 16 PEX reinicia a execuçãõ de PNB<sub>j</sub> que estava suspenso desde o instante t<sub>8</sub>, sendo agora executado até o seu final, devolvendo o controle do processador a PEX.

### V.3 CONCLUSÃO

O microprocessador INTEL 8080 possui características que limitam a estruturação de um programa gerencial.

Entretanto, para aplicações em controle de sistemas telefônicos foi possível desenvolver um executivo de tempo real que satisfaz os requisitos destas aplicações.

O executivo desenvolvido é constituído por 4 módulos: um supervisor e três monitores. Estes módulos permitem gerenciar 7 programas de tratamento de interrupções, 16 programas de tempo real e 64 programas ativados por outros programas.

O executivo proposto não permite a troca de mensagens entre os programas.

Entretanto, considerando os requisitos das aplicações e os intervalos mínimos de ativação dos programas (20 milisegundos), o executivo não deve gerar sobrecarga maior que 10% durante o funcionamento do sistema de controle, o que impõe uma es-

estrutura simples e de rápido processamento nas tomadas de deci  
sões gerenciais do programa.

Os testes e resultados deste executivo são apresentados no capítulo seguinte.

Na codificação do PEX foram utilizados 350 instruções as  
sembler, e a área total ocupada, incluindo as estruturas de da-  
dos, é de 1,2 Kbytes.

A parte operacional do PEX (700 bytes) pode ser executa  
da em qualquer posição de memória, mas a área de dados deve es  
tar contida sempre nos primeiros 512 bytes.

## VI. TESTES E RESULTADOS

### VI.1 Generalidades

Para os testes do executivo proposto, foram utilizados um simulador e um cross-assembler para o INTEL 8080, disponíveis no sistema IBM-370/158 da TELERJ.

No simulador utilizado, os tempos estão baseados nos ciclos do relógio do INTEL 8080, sendo permitidas programar interrupções que ocorram no intervalo máximo de 32000 ciclos ou seja, 16 milisegundos, se considerarmos a frequência máxima de operação permitida pelo INTEL, que é 2 MHz.

A geração de PEX, é efetuada através de um programa inicializador, que preenche a estrutura de dados de PEX a partir de uma lista com o seguinte formato:

NPNB; NPNB1; EPNB1; NPNB2; EPNB2;.....;NPNB64; EPNB64;

NPI; NPI1; EPI1; NPI2, EPI2;.....;NPI7; EPI7;

NPTR; EPTR1; DT1; EPTR2; DT2;.....;EPTR16; DT16;

onde: NPNB: indica o número de PNB a ser gerados.

NPNBi, EPNBi (i= 1,64): cada par de valores define o número de um PNB e o seu endereço de execução

NPI: indica o número de PI a ser gerados.

NPIi; EPI; (i= 1,7): cada par de valores define o número de um PI e o seu endereço de execução.

NPTR: indica o número de PTR a ser gerados.

EPTRi, DTi (i= 1,16): cada par de valores define o endereço de execução de um PTR e o intervalo de tempo de ativação ( $0 < DTi < 65535$ ).

Os PTR são os únicos programas cuja prioridade está associada à sua ordem de operação, isto é, o PTR é definido com um número que corresponde a sua posição na fila de inicialização.

Para demonstrar o funcionamento e o desempenho de PEX, preparamos três conjuntos de programas para testes.

Os resultados dos testes permitem verificar a capacidade gerencial de PEX e fornecer dados para análise da sobrecarga introduzida pelo executivo.

Considerando as aplicações pretendidas, os testes simulam situações possíveis de ocorrer em sistemas diferentes onde PEX pode ser utilizado, e que neste capítulo descrevemos.

Os testes 1 e 2 simulam sistemas hipotéticos e o teste 3 simula um sistema simplificado que permite supervisionar centrais telefônicas.

Todos os programas foram codificadas em assembler e os Apêndices I, II e III contêm a listagem dos programas testes e seus resultados.

## VI.2 Teste 1

Este conjunto de programas simula um sistema em que podem existir 3 níveis de interrupções externas, assíncronas e uma interrupção periódica do relógio de tempo real.

As interrupções externas foram definidas como sendo de níveis 4, 5 e 7.

A interrupção de relógio foi definida com nível 1, e portanto, neste sistema, os PTR são os programas de maior prioridade.

Os eventos foram planejados para ocorrer nos seguintes tempos:

<u>TEMPOS</u>	<u>EVENTOS</u>
4000	Interrupção nível 4
9000	1º pulso de relógio
10000	Interrupção nível 5
15000	2º pulso de relógio
20000	3º pulso de relógio

TEMPOSEVENTOS

21000	Interrupção nível 7
26000	4º pulso de relógio

Para este sistema foram definidos e criados os seguintes programas:

. Programas de Interrupção (PI):

- PI-4: ativado para atender uma interrupção do nível 4
- PI-5: ativado para atender uma interrupção do nível 5
- PI-7: ativado para atender uma interrupção de nível 7.

Cada PI pode processar um conjunto de dados diferentes para atendimento de eventos externos, tais como alarmes, terminais de operador ou algum periférico para controle de sistemas.

. Programas de Tempo Real (PTR):

- PTR-2: ativado a intervalos fixos de 1 pulso de relógio
  - PTR-1: ativado a intervalos fixos de 2 pulsos de relógio
  - PTR-0: ativado a intervalos fixos de 3 pulsos de relógio.
  - PTR-3: ativado a intervalos fixos de 4 pulsos de relógio.
- Este programa termina a simulação.

Cada PTR pode executar tarefas sincronas com o tempo, tais como iniciar amostragem periódicas de dados, enviar sinais periódicos para o sistema controlado, analisar o comportamento dinâmico do sistema controlado, etc.

. Programas ativados por outros programas (PNB):

- PNB-0: ativado por solicitação de PI-4
- PNB-9: ativado por solicitação de PTR-1
- PNB-13: ativado por solicitação de PTR-1
- PNB-7: ativado por solicitação de PI-7



Estes PNB podem ser ativados por PI ou PTR, sempre que estes programas decidirem que é necessário continuar algum processamento de dados com nível menos prioritário de tratamento, e com isso aliviando a carga do processador.

No Apendice I mostramos a definição e a codificação destes programas e os resultados da simulação.

No diagrama de tempos e eventos da Fig. 26, obtida a partir da listagem contida no Apendice I, é possível observar a ocorrência dos eventos previstos e a execução dos programas ao longo do tempo de funcionamento do sistema simulado.

Alguns pontos que destacamos a partir deste diagrama de tempo são:

- A ocorrência de interrupções com intervalos muito próximos no tempo, como em P1 e P3 onde ocorrem separados por apenas 1000 ciclos (500 microsegundos) aumenta a sobrecarga da PEX, o que pode ser constatado comparando com o ponto P2 onde só ocorre um tipo de interrupção.

Em P2, o tempo decorrido entre a ocorrência da interrupção e a execução do programa correspondente é menor que 1600 ciclos (800 microsegundos), ao passo que em P1 e P3, este tempo se eleva para 2000 ciclos (1 milissegundo).

- Quando não estão ocorrendo interrupções, o intervalo de tempo para PEX reescalonar e encadear a execução de programas é menor que 700 ciclos (350 microsegundos), como pode ser constatado observando-se P4 e P5.

### VI.3 Teste 2

Este conjunto de programas simula um sistema com 3 níveis de interrupções externas, definidas com níveis 2, 3 e 5, e uma interrupção do relógio de tempo real, definida com nível 1.

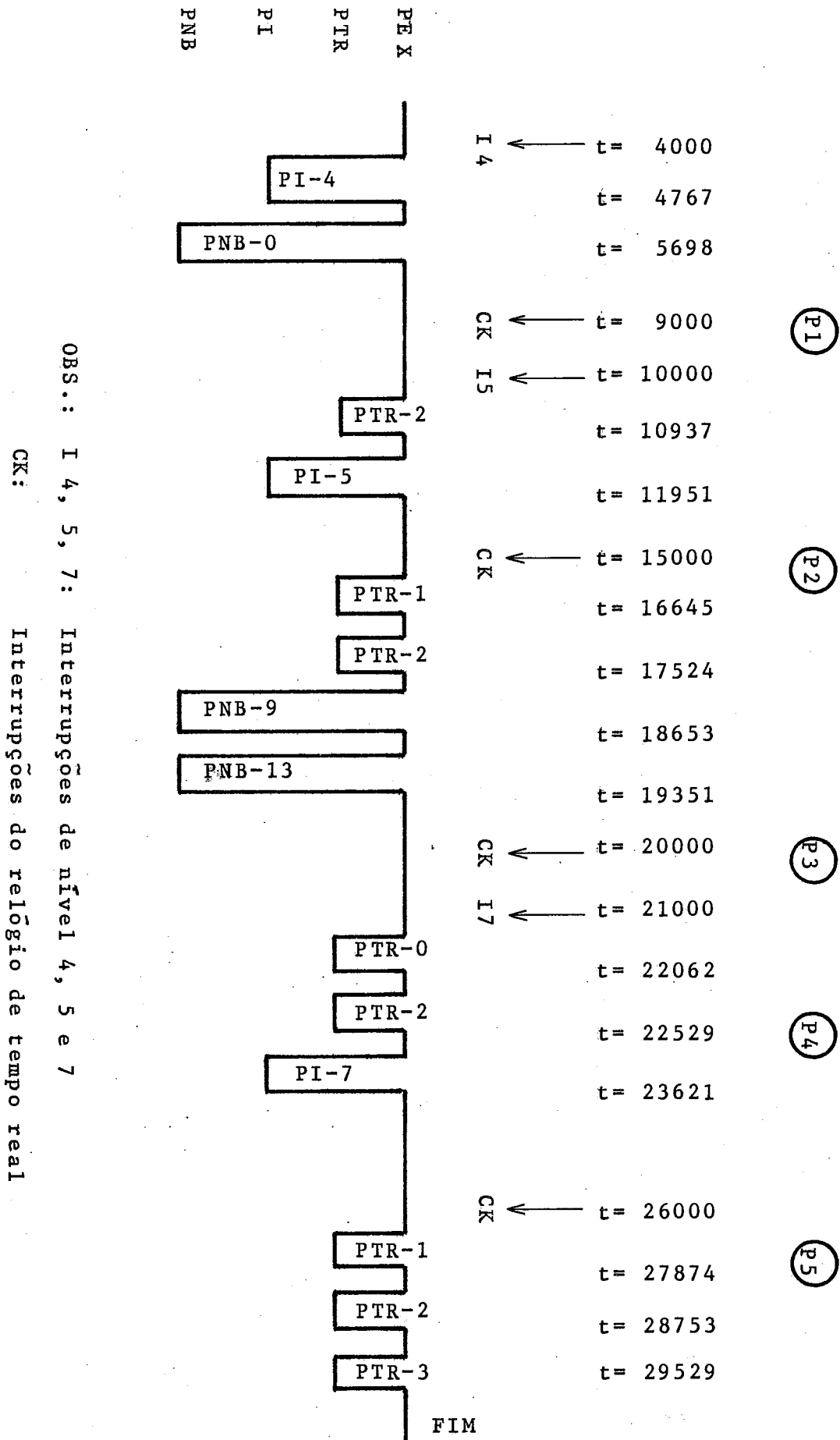


FIG. 26 - DIAGRAMA DE TEMPOS DE TESTE 1

Os tempos e eventos planejados para ocorrer foram:

<u>TEMPOS</u>	<u>EVENTOS</u>
1000	1º pulso de relógio
2000	Interrupção nível 2
4800	3º pulso de relógio
5800	Interrupção nível 3
13000	4º pulso de relógio
14000	Interrupção nível 5
21000	4º pulso de relógio
24000	5º pulso de relógio
2700	6º pulso de relógio

Os programas definidos para o sistema são os seguintes:

Programas PI: PI-2, PI-3 e PI-5, ativados pelas interrupções de 2, 3 e 5 respectivamente.

Programas PTR:

- PTR-0: ativado a cada pulso de relógio
- PTR-1: ativado a cada 5 pulsos de relógio
- PTR-2: ativado a cada 3 pulsos de relógio
- PTR-3: ativado a cada 2 pulsos de relógio
- PTR-4: ativado a cada 5 pulsos de relógio
- PTR-5: ativado a cada 5 pulsos de relógio. Este programa termina a simulação
- PNB-0: ativado por PTR-2 e PTR-3
- PNB-2: ativado por PI-2

- PNB-7: ativado por PTR-2
- PNB-13: ativado por PTR-3
- PNB-24: ativado por PTR-3
- PNB-63: ativado por PTR-1

O Apendice II contém os resultados da simulação.

No diagrama de tempos e eventos da Fig. 27, obtida a partir da listagem dos resultados no Apendice II é possível observar a ocorrência dos eventos previstos e a execução dos programas ao longo do tempo de funcionamento do sistema simulado.

O aspecto que queremos ressaltar neste diagrama é a comprovação de que o reescalonamento dos programas é satisfatoriamente gerenciado por PEX, transferido sempre o controle do processador ao programa de maior prioridade, seja ele um PI, PTR ou PNB, e que mesmo neste sistema, em que existem 15 programas para serem coordenados, o intervalo de tempo médio necessário para PEX transferir o controle ao próximo programa é de 700 ciclos ( 350 microssegundos).

#### VI.4 Teste 3

Este conjunto de programa foi preparado para simular um sistema possível de ser aplicado na supervisão de centrais telefônicas.

Na aplicação em vista pretende-se resolver o problema de periodicamente ter conjuntos de pontos de um sistema telefônico. Os pontos lidos podem apresentar níveis de tensão "0" ou "1", que caracterizam a existência de pulsos elétricos.

Para o controle de sistemas telefônicos, uma das medidas que são necessárias, é a contagem do número e a duração dos pulsos que aparecem por ponto.

Utilizando-se microprocessadores, o número de pulsos que

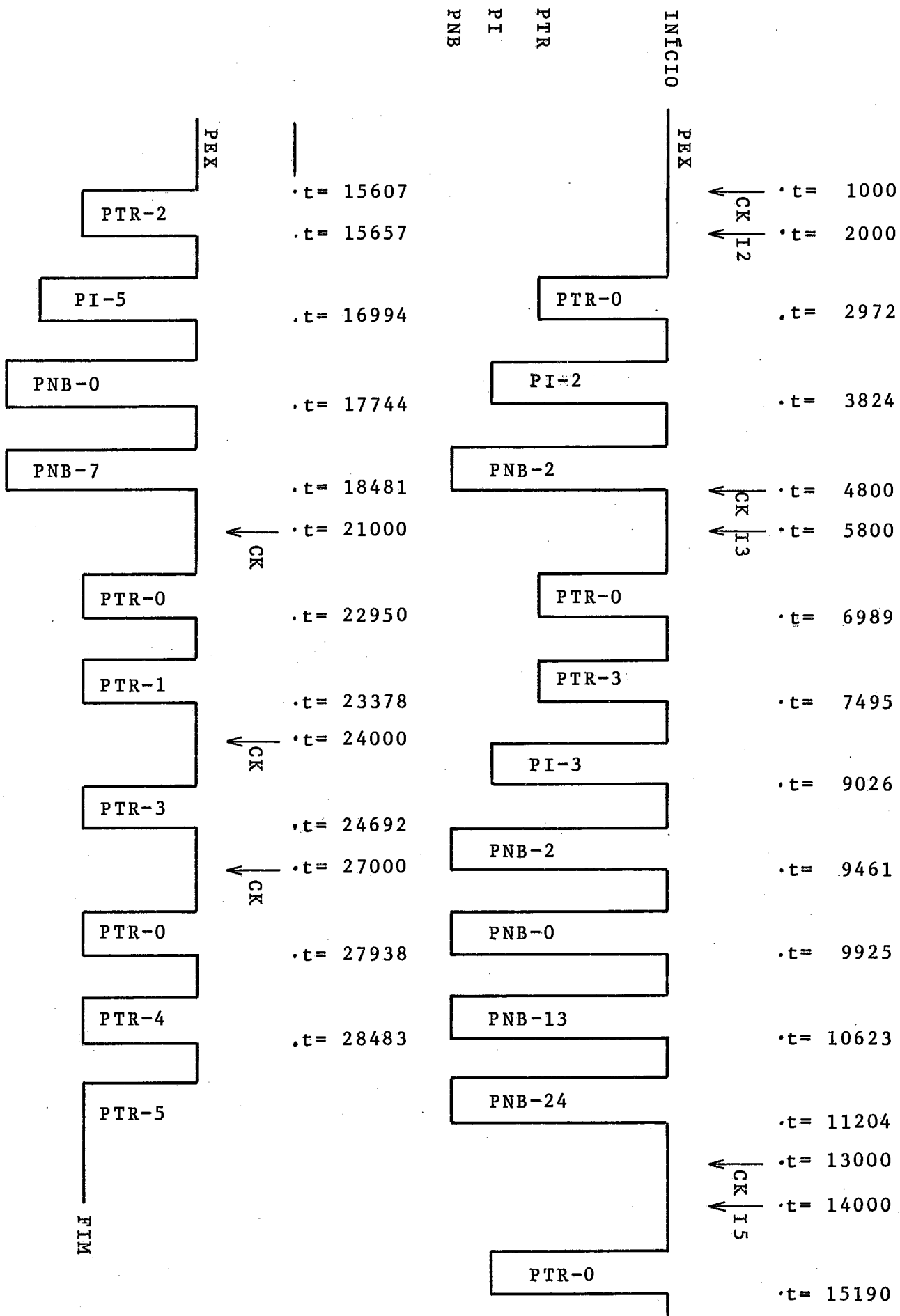


FIG. 27 - DIAGRAMA DE TEMPOS DE TESTE 2

surtem é obtido a partir da contagem das variações "0" para "1" detetados. Esta detecção é possível de ser efetuada, através da comparação de dois mapas que contêm o estado dos pontos após duas amostragens sucessivas, isto é, estado no tempo  $t$  e estado no tempo  $t+1$ .

A contagem do tempo de duração dos pulsos é possível de obter pela análise periódica do estado dos pontos supervisionados. Se o ponto estiver no estado "1", adiciona-se uma unidade de tempo ao contador associado ao ponto.

Os valores obtidos, que podem ser representados por:

$$T_p = \sum_{i=1}^n P_i$$

$$T_t = \sum_{i=1}^n t_i$$

onde:  $T_p$  = número total de pulsos detetados ( $P_i$ )

$T_t$  = total acumulado dos tempos de duração de cada pulso ( $t_i$ )

Estes números, obtidos para cada ponto do sistema telefônico permite efetuar cálculos de tráfego e obter parâmetros estatísticos tais como a média e o desvio padrão, através dos quais pode-se analisar o comportamento do sistema telefônico.

Para simular a situação acima descrita, preparamos o seguinte conjunto de eventos:

PTR-1: programa ativado a cada 20 milissegundos. Este programa simula a função de leitura periódica do estado dos pontos do sistema telefônico. O estado dos pontos lidos é armazenado numa tabela em memória, TNOV.

PTR-2: programa ativado a cada 40 milissegundos. Este programa simula a função de análise periódica do estado dos pontos do sistema telefônico e incrementa os contado-

res de tempo associados aos pontos. A análise é feita verificando o estado dos bits de TNOV.

PNB-0: programa ativado por PTR-1 para detetar se houve variações de estado entre o instante  $t$  e  $t+1$ . A variação é detetada pela comparação de TNOV e uma outra tabela em memória que contém o estado anterior TANT.

No início do processo, ambas as tabelas são zeradas, e sempre que houver uma variação "0" - "1", PNB-0 incrementa um contador associado ao ponto em que houve variação.

A tabela TANT é atualizada sempre que ocorre uma variação "0" - "1" ou "1" - "0".

Para esta simulação, os pulsos de relógio se iniciam no instante  $t = 4000$  e se repetem a cada 7000 ciclos até ocorrer o 5º pulso em  $t = 32000$  ciclos quando termina a simulação.

Neste sistema não existem outras interrupções programadas. A Fig. 28 é o diagrama de tempos desta simulação, obtida da listagem de resultado do teste, contido no A pendice III.

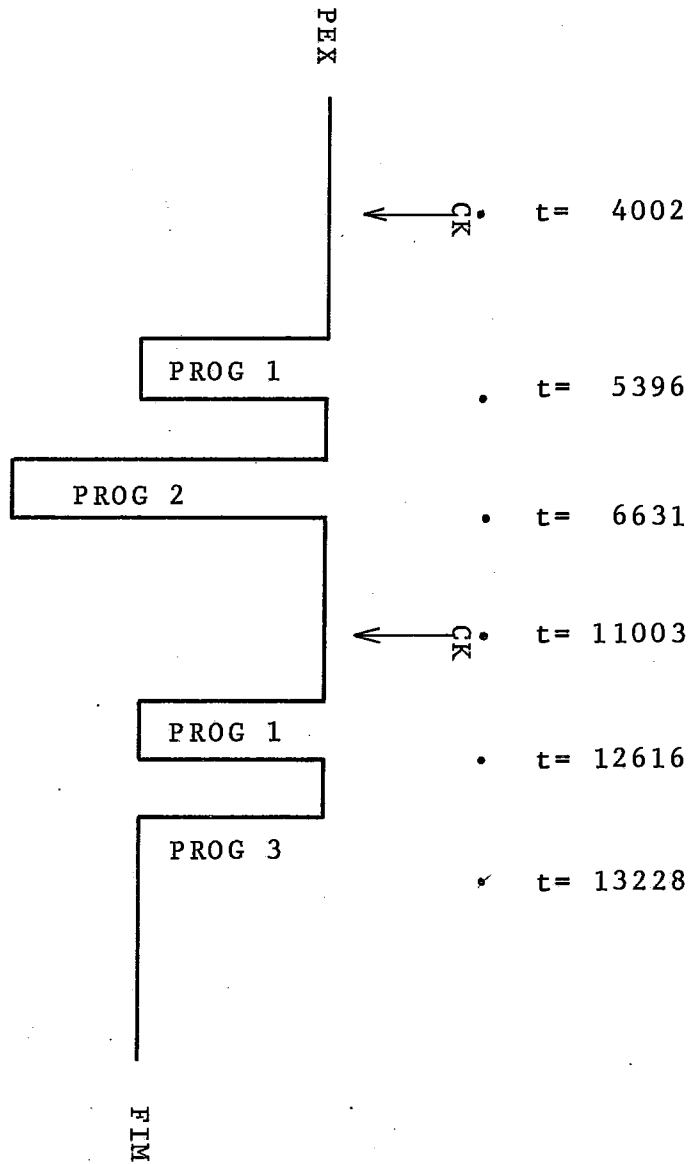


FIG. 28 - DIAGRAMA DE TEMPOS DE TESTE 3



## VII. CONCLUSÕES

Os testes e resultados do executivo proposto nos permitem uma série de conclusões e extrapolações, tais como:

- . Na gerência de programas em sistemas controlados por microprocessadores é perfeitamente viável de ser utilizado um programa executivo de tempo real, sem consumir muito tempo de processador e utilizando reduzido espaço da memória principal.  
PEX, como demonstrado, consome em média, 400 microsegundos do tempo sempre que assume o controle do processador para reescalonar os programas.  
O programa, considerando inclusive a sua área para estrutura de dados, está contido em apenas 1,2 Kbytes, podendo portanto ser gravado numa só pastilha de memória em circuito integrado, já disponíveis com até 2 Kbytes.
- . Em sistemas onde o intervalo de ativações de programas por tempo real e a taxa de aparecimento de interrupções externas igual ou maior que 20 milisegundos, e que o número de programas possíveis de serem ativados entre 2 interrupções sucessivas estiver entre 2 e 10, o tempo de sobrecarga consumido por PEX varia entre 5% a 20%.
- . Para aplicações dedicadas de controle, um microprocessador dotado de um executivo permite ampliar bastante a flexibilidade de desenvolvimento e atualização dos sistemas de controle permitindo que as aplicações possam ser projetadas e codificadas facilmente por técnicos da área digital, sem se preocupar com o problema de coordenação e encadeamento da execução dos programas.
- . O executivo apresentado, embora desenvolvido com enfoque para 2 aplicações típicas em controle de sistemas telefônicos, poderá também ser aplicado em sistemas de controle digital direto de outros processos industriais onde os microprocessadores estão sendo utilizados, desde que a complexidade gerencial dos programas o justifique.

Em sistemas telefônicos, PEX poderá ser utilizado no controle de PABX de pequeno porte, no controle de sistemas de testes de qualidade de serviço e em sistemas de controle de subsistemas de uma central telefônica, como por exemplo, marcadores, enviadores ou registrados.

- Para as aplicações de microprocessadores em sistemas mais complexos que os enfocados, é possível desenvolver um sistema operacional tendo PEX como núcleo.

A gerência de desenvolvimento e incorporação de novos programas poderia ser introduzida pela criação de um monitor "Batch" que seria definido como uma classe especial de PNB.

Este Monitor poderia receber o controle do processador sempre que não existissem programas do sistema de controle a ser processados.

Este sistema operacional poderia ser residente em memória secundária, sendo os programas batch executados em uma pequena área da memória principal utilizando, por exemplo, a técnica de overlay.

- A multiprogramação é perfeitamente factível sob PEX sendo possível ainda introduzir, como programas PI e PNB as rotinas para gerência de entrada e saída de dados em memórias auxiliares. É evidente que a medida em que estas facilidades são introduzidas, as sobrecargas aumentarão.

- O fato de microprocessadores atuais, como INTEL 8080, não oferecerem facilidade para resguardar as áreas dos programas gerenciais limitam severamente o atrativo de executivos e/ou sistemas operacionais de uso geral possíveis de desenvolver. Acreditamos que num futuro próximo, estas limitações desaparecerão, pelo aparecimento de microprocessadores com maiores recursos em circuitos, maior velocidade, melhor conjunto de instruções e preços mais atrativos.

BIBLIOGRAFIA:

- 1 - INTEL 8080 MICROCOMPUTER SYSTEM MANUAL, Intel Corporation, California (USA), JAN/75. 53p.
- 2 - DORF, RICHARD C. - Modern Control System, Reading Mass, Addison Wesley Publishing Company, 1974. 405p.
- 3 - OLLE I. E. - Control System Theory, TOKYO, Mc Graw - Hill Inc., 1967. 562p.
- 4 - GADD, C. J. - Babilonia Law - Enciclopédia Britânica, 14.<sup>a</sup> Ed., vol. 2: 863 - 1929.
- 5 - BAILEY, S. J. - Direct Digital Control - A Status Report. Control Engineering, pgs 36 - 40. NOV/72.
- 6 - MICROPROCESSOR DEVELOPMENT AFFECT PROCESS CONTROL EQUIPMENT MARKET. Instrumentation Technology, pgs 6 - 8. MAY/76.
- 7 - SAVAS, E. S. - Computer Control of Industrial Processes, New York, Mc Graw-Hill Book Company, 1965.
- 8 - SMITH, C. L. - Digital Control of Industrial Processes. Computing Surveys, pgs 211 - 241. SET/73.
- 9 - ROJAS, G. A. - Especificação para o Projeto dos Equipamentos do SITASU, Rio de Janeiro, TELERJ, 1976. 58p.
- 10 - WILLMOTT, T. L. - A Survey of Software for Direct Digital Control. ISA Transactions, vol. 8, nº 4: pgs 227 - 234. 1969.
- 11 - PIKE JR, H. E. - Process Control Software. Proc of IEEE vol. 58: pgs 87 - 97. JAN/70.
- 12 - DIEHL, W. - Process Control Software Reviews. Instrumentation Technology, pgs 49 - 53. MAR/76.
- 13 - GIB, Microcomputers - Present Properties and Probable Applications. Computers and People, pgs 32 - 35. FEV/75.
- 14 - KEYES, M. A. - Distributed Digital Control. Control Engineering., pgs 77 - 80. SET/73.
- 15 - ZINSCHLAG, H. P. et alii - LSI and Process Control, Is There a Microprocessor in your Future?. Instrumentation Technology, pgs 47 - 52. NOV/75.
- 16 - NICHOLS, A. J. - An overview of microprocessor Applications. Proc of IEEE, pgs 951 - 953. JAN/76.

- 17 - NUNES, G. - Definição da USCE, Rio de Janeiro, TELERJ, 1976. 34p.
- 18 - ROSIN, F. - Supervisory and Monitor Systems. Computing Surveys, vol. 1, nº 1, pgs 37 - 54. MAR/69
- 19 - COLIN, A. J. T. - Introduction to Operating Spstems. London, Macdonald & Co. (Publishers) Ltd, 1971
- 20 - HOARE, C. A. R. - Operating Spstems: Their Purpose, Objectives, Functions and Scope. In: Operating System Techniques, New York, Academic Press, pgs 11 - 25. 1972
- 21 - MILLIS, B. - The Role of Executive Programs. Executive Programs and Operating Systems, London, Macdonald & Co. (Publishers) Ltd, pgs 11 - 19. 1970
- 22 - MARTIN, J. - Design of Real Time Computer Systems, Englewood Cliffs, Prentice-Hall Inc. 1967
- 23 - BENSON, D. - Modular Organiser for On-Line Computer. In: Conference on Software for Control, IEE Publication nº 102, pgs 38 - 43. 1973
- 24 - PARISH, C. C. M. - The Design and Evaluation of an Executive Written in a High - Level Language. In: Conference on Software for Control, IEE Publication nº 102, pgs 21 - 30. 1973
- 25 - BROOKES, A. E. - Development of an Executive for a Medium On-line Computer Control Systems, IEE Conference Publication nº 85, pgs 94 - 98. 1973
- 26 - MCMAHON, T. K. - Programming for Computer Control. In: Computer Control of Industrial Processes, New York, McGraw-Hill Book Co, pgs 302 - 320. 1965
- 27 - MARTIN, J. - Programming Real Time Computer Systems-Englewood Prentice-Hall Inc, 1965. 386p.
- 28 - PURSER, W. F. C. - System Timing for On-Line Computer Control - Part I: Executive Decisions and Hardware Limitations. Instrumentation Technology, pgs 41 - 46. DEZ/68
- 29 - MADNICK, S. E., DONOVAN J. J. - Operating Systems - New York, McGraw HILL Book Co, 1974. 640p.
- 30 - YOURDON, E. - Design of On-Line Computer Systems, Englewood Cliffs, Prentice - Hall Inc, 1972. 608p.

- 31 - COHEN, L. J. - Operating System Analysis and Design, Spartan Books, 1970
- 32 - SMITH, G. J. - A Bid for the Digital Future. Telephony, pgs 42 - 45. JUL/76
- 33 - ZEIDLER, G., ULRICH, F. - New Circuit Technologies for Communications Equipment. Electrical Communication, Vol. 51, nº 2: pgs 119 - 125. 1976
- 34 - ROJAS, G. A. - Introdução aos Microcomputadores, TELERJ, 1975. 34p.
- 35 - KEVORKIAN, K. B., LAGER, J. P. - Les Microprocesseurs et L'intégration à Grande Echelle dans les Systèmes de Commutation à Programme Enregistré. Commutation & Electronique, nº 54: pgs 83 - 88. JUL/76
- 36 - NEVES, O. M. P.; OLIVEIRA, J. O. F. - Estudo Preliminar sobre um Sistema de Telefones Públicos para a Realização de Chamadas DDD Nacional, Rio de Janeiro, TELERJ, 1975. 30p.
- 37 - GUTERMAN, A. J. - Especificação Para Projeto do Sistema de Telefone Público com DDD, Rio de Janeiro, TELERJ, 1976. 30p.

## A P E N D I C E I

- I.1: Definição e codificação dos programas PI, PTR e PNB
- I.2: Definição das interrupções
- I.3: Resultados do Teste 1

DW	5	DEFINICAC DE 5 PNBs
DW	0	PNB-0 EM 3000
DW	3000	
DW	5	PNB-5 EM 3100
DW	3100	
DW	7	PNB-7 EM 3200
DW	3200	
DW	9	PNB-9 EM 3300
DW	3300	
DW	13	PNB-13 EM 3400
DW	3400	
DW	4	DEFINICAO DE 4 PIS
DW	1	
DW	700	RELOGIO NO NIVEL 1
DW	4	PI-4 EM 4100
DW	4100	
DW	5	PI-5 EM 4200
DW	4200	
DW	7	PI-7 EM 4300

LABEL	INST.	OPERANDO
DW	4300	
DW	4	DEFINICAO DE 4 PTRS
DW	5000	PTR-0 EM 5000, DT=3 CLOCKS
DW	2	
DW	5100	PTR-1 EM 5100, DT=2 CLOCKS
DW	1	
DW	5200	PTR-2 EM 5200, DT=1 CLOCKS
DW	0	
DW	5300	PTR-3 EM 5300, DT=4 CLOCKS
DW	3	

### I.1.a - Definição de PNB, PI e PTR

EI		*** PROGRAMAS DE NIVEL BASICO
LXI	H, 3050	* PNB-0
WRITE	R	
WRITE	3050, 3051	
INR	M	
WRITE	3050, 3051	
CALL	100	
DB	0	
DS	2	
LXI	H, 3150	* PNB-1
WRITE	R	
WRITE	3150, 3151	
INR	M	
WRITE	3150, 3151	
CALL	100	
DB	0	
DS	2	
LXI	H, 3250	* PNB-7
WRITE	R	
WRITE	3250, 3251	
INR	M	
WRITE	3250, 3251	
CALL	100	
DB	0	
DS	2	
LXI	H, 3350	* PNB-9
WRITE	R	
WRITE	3350, 3351	
INR	M	
WRITE	3350, 3351	
CALL	100	
DB	0	
DS	2	
LXI	H, 3450	* PNB-13
WRITE	R	
WRITE	3450, 3451	
INR	M	
WRITE	3450, 3451	
CALL	100	
DB	0	
DS	2	



```

EI                                     *** PROGRAMAS DE INTERRUPCAO ***
LXI  H,4150                            * PI-4
WRITE R
WRITE 4150,4151
INR  M
MOV  A,M

```

```

LABEL  INST.  OPERANDO

```

```

DUT  4
CALL 100
DB  1

```

```

DB  0                                     ATIVA PNB-0

```

```

DS  2
LXI  H,4250                            * PI-5

```

```

WRITE R
WRITE 4250,4251
INR  M

```

```

MOV  A,M
DUT  5
CALL 100

```

```

DB  0
DS  2
LXI  H,4350                            * PI-7

```

```

WRITE R
WRITE 4350,4351
INR  M

```

```

MOV  A,M
DUT  7
CALL 100

```

```

DB  1
DB  7                                     ATIVA PNB-7
DS  2

```

```

EI                                     *** PROGRAMAS DE TEMPO REAL **
LXI  H,5050                           * PTR-0
WRITE R
WRITE 5050,5051
INR  M
WRITE 5050,5051
CALL 100
DB  0
DS  2
LXI  H,5150                           * PTR-1
WRITE R
WRITE 5150,5151
INR  M
WRITE 5150,5151
CALL 100
DB  2
DB  9                                 ATIVA PNB-9,PNB-13
DB  13
DS  2
LXI  H,5250                           * PTR-2
WRITE R
WRITE 5250,5251
INR  M
WRITE 5250,5251
CALL 100
DB  0
DS  2
LXI  H,5350                           * PTR-3
WRITE R
WRITE 5350,5351
INR  M
WRITE 5350,5351
EXIT                                     ***** FIM DA SIMULACAO *****

```

PEDIDOS DE INTERRUPCAO			
TEMPO	NIVEL	INSTRUCAO	OPERANDO
4000	4	RST	4
9000	1	RST	1
10000	5	RST	5
15000	1	RST	1
20000	1	RST	1
21000	7	RST	7
26000	1	RST	1
32000	1	RST	1

## I.2 - Definição de Interrupções

OCORREU INTERRUPTAO DE NIVEL 4 NO TEMPO 40008 COM A INSTRUCAO 11100111 00000  
 \*\*\*\*\*  
 \*\*\*\*\*

Z= 1 A B C D E H L S= 0  
 INTE= 1

00000000 00000000 111010101 00000001 11001100 00010000 0011011C  
 \*\*\*\*\*  
 \*\*\*\*\*

0 1 2 3 4 5  
 0415\* 00000000 00000000 \*\*\*\*\*  
 \*\*\*\*\*

SAIDA NA PORTA 4 (00000100) = 1(00000001)  
 \*\*\*\*\*

Z= 0 A B C D E H L S= 0  
 INTE= 1

0001011 00000000 01000000 00000000 01010010 00001011 1110101C  
 \*\*\*\*\*  
 \*\*\*\*\*

0 1 2 3 4 5  
 0305\* 00000000 00000000 \*\*\*\*\*

PNB -0  
 0305\* 00000001 00000000 \*\*\*\*\*  
 \*\*\*\*\*

CK

PI-4

PNB -0

CK            OCORREU INTERRUPCAO DE NIVEL 1 NO TEMPO 9016 COM A INSTRUCAO    11001111 00000

---

I5            OCORREU INTERRUPCAO DE NIVEL 5 NO TEMPO 10009 COM A INSTRUCAO    11101111 00000

\*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*  
 \*\*\*\*\*

INTE= 1

Z= 1	A	B	C	D	E	H	L	S= 0
00000000	00000000	11010011	00000001	10101111	00010100	10000010	*****	*****

PTR-2

0	1	2	3	4	5
0525*	00000000	00000000	*****	*****	*****

0	1	2	3	4	5
0525*	00000001	00000000	*****	*****	*****

INTE= 1

Z= 1	C= 0	S= 0
------	------	------



A	B	C	D	E	H	I
00000000	00000000	11010110	00000001	11001100	00010000	10011010

0	1	2	3	4	5
0425*	00000000	00000000	00000000	00000000	00000000

PI-5 SAIDA NA PORTA 5 (00000101) = 1 (00000001)

OCORREU INTERRUPCAO DE NIVEL 1 NO TEMPO 15004 COM A INSTRUCAO	11001111	000000
---	----------	--------

CK

INTE = 1

C = 0

S = 0

A	B	C	D	E	H	I
00000100	00000000	11010010	00000001	10101111	00010100	00011110

PTR-1

0515*	00000000	00000000	00000000	00000000	00000000	00000000
-------	----------	----------	----------	----------	----------	----------

```

0515* 00000001 00000000
** ** ** ** **

```

```

Z= 1      A      B      C      D      E      F      H      L
          S= 0

```

```

00000000 00000000 11010011 00000001 10101111 00010100 10000010
** ** ** ** **

```

```

0      0      1      2      3      4      5
0525* 00000001 00000000 ** ** ** ** ** ** ** ** ** 
** ** ** ** 
0      0      1      2      3      4      5

```

```

0525* 00000010 00000000 ** ** ** *
** ** ** *

```

```

Z= 0      A      B      C      D      E      H      L
          S= 0

```

```

00001100 01109011 01000001 00000000 01100100 00001101 00010110
** ** ** ** 

```

```

0      0      1      2      3      4      5

```

PNB-9

```

0335* 00000000 00000000
      0      1      2      3      4      5
  
```

```

0335* 00000001 00000000
  
```

```

*****
Z= 0      A      B      C      D      E      F      H      L
      C= 0
      INTF= 1
      S= 0
  
```

```

00001101 00000000 01000001 00000000 01101100 00001101 01111010
  
```

PNB-13

```

0345* 00000000 00000000
      0      1      2      3      4      5
  
```

```

0345* 00000001 00000000
  
```

```

OCORREU INTERRUPCAO DE NIVEL 1 NO TEMPO 20000 COM A INSTRUCAO 11001111 00000
  
```

CK

I7

```

OCORREU INTERRUPCAO DE NIVEL 7 NO TEMPO 21006 COM A INSTRUCAO 11111111 00000
  
```

```

*****
Z= 0      A      B      C      D      E      F      H      L
      C= 0
      INTF= 1
      S= 0
  
```



```

0000100 0000000 11010001 00000001 10101111 00010011 10111010
** ** ** ** **
0 1 2 3 4 5

```

PTR-0

```

0505* 00000000 00000000 ** ** ** ** ** ** ** ** ** ** 
** ** ** ** 
0 1 2 3 4 5
0505* 00000001 00000000 ** ** ** *
** ** ** *

```

INTE= 1

```

Z= 1 A B C D E F H S= 0 L
0000000 0000000 11010011 00000001 10101111 00010100 10000010
** ** ** ** 

```

PTR-2

```

0525* 00000010 00000000 ** ** ** *
** ** ** *
0 1 2 3 4 5

```

```

0525* 00000011 00000000
** ** ** ** **

```

```

Z= 1 C= 0 S= 0
INTE= 1
A B C D E F H L
00000000 00000000 11011000 00000001 11001100 00010000 11111110
** ** ** ** **

```

```

0435* 00000000 00000000
** ** ** ** **

```

PI-7 SAIDA NA PORTA 7 (00000111) = 1(00000001)

```

Z= 0 C= 0 S= 0
INTE= 1
A B C D E H L

```

```

00001100 00000000 01000000 00000000 01000000 00001100 10110010
** ** ** ** **

```

```

0325* 00000000 00000000
** ** ** ** *

```

```

0 1 2 3 4 5
0325* 00000001 00000000 *****

```

```

OCORREU INTERRUPCAO DE NIVEL 1 NO TEMPO 26001 COM A INSTRUCAO 11001111 000000
*****

```

CK

```

Z= 0 A B C D E F H L S= 0
00001100 00000000 11010010 00000001 10101111 00010100 00011110
*****

```

I.3.h

```

0 1 2 3 4 5
0515* 00000001 00000000 *****

```

PTR-1

```

0 1 2 3 4 5
0515* 00000010 00000000 *****
*****

```

```

Z= 0 A B C D E H L S= 0
*****

```

```

00001000 00000000 11010011 00000001 10101111 00010100 10000010
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **

```

0 1 2 3 4 5

```

0525* 00000011 00000000 ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **   ** ** ** ** ** **   ** ** ** *
0 1 2 3 4 5

```

PTR-2

```

0525* 00000100 00000000 ** ** ** *   ** ** ** **   ** ** ** *

```

```

Z= 1 A B C D E F H L
C= 0 S= 0
INTE= 1

```

```

00000000 00000000 11010100 00000001 10101111 00010100 11100110
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **   ** ** ** *   ** ** ** *

```

0 1 2 3 4 5

PTR-3

```

0535* 00000000 00000000 ** ** ** *   ** ** ** *   ** ** ** *

```

```

0 1 2 3 4 5
0535* 00000001 00000000 ** ** ** *   ** ** ** *   ** ** ** *

```

A P E N D I C E II

Resultados de Teste 2

0046\* 11110011 00001000 11100011 00110011 00110011 01111110

OCORREU INTERRUPCAO DE NIVEL 1 NO TEMPO 1003 COM A INSTRUCAO 11001111 00000000

\*\*\*\*\*

INTE = 0

Z = 1 C = 1 S = 0

A B C D E F H L

00000000 00000000 00100000 00000000 00100111 00000001 11000011

\*\*\*\*\*

\*\*\*\*\*

INTE = 0

Z = 1 C = 0 S = 0

A B C D E F H L

00000010 00000000 00100000 00000000 00100111 00000001 11000001

\*\*\*\*\*

0 1 2 3 4 5

0005\* 00001000 11000011 01001110 00000100 00000000 00000000

CK





PTR--0

```

00000000 00000000 11010001 00000001 10101111 00000111 11010000
** ** ** ** **

```

0 1 2 3 4 5

```

0200* 00000001 00000000 00000000 00000000 00000000 00000000
** ** ** ** **

```

INTE = 0

S = 0

```

Z= 0  A      B      C      D      E      F      H      I
00000000 00000000 11010001 00000001 10101111 00000111 11010000
** ** ** ** *

```

```

** ** ** ** *
INTE = 0
Z= 1  A      B      C      D      E      H      I
C= 1
S= 0

```

```

00000000 00000000 11010001 00000001 10101111 00001011 11001010
** ** ** ** *

```



0046\* 11110011 00001000 11100011 00110011 00110011 01111110

\*\*\*\*\*  
Z=1 C=0 S=0  
INTE=1

A B C D E F H L  
00000001 00000000 11010011 00000001 00001011 00101110 11100000  
\*\*\*\*\*

SAIDA NA PORTA 2 (00000010) = 1(00000001)

\*\*\*\*\*  
Z=1 C=0 S=0  
INTE=0

A B C D E F H L  
00000001 00000000 11010011 00000001 00001011 00101110 11100000  
\*\*\*\*\*







PTR-3

```

** ** ** ** **
Z= 0          C= 0          D          E          F          H          L          S= 0
INTF= 1

```

```

00000000 00000000 11010100 00000001 10101111 00000111 11010110

```

```

0          1          2          3          4          5
0200* 0000010 00000000 00000000 00000000 00000000 00000000

```

```

Z= 0          C= 0          D          E          F          H          L          S= 0
INTF= 0

```

```

00000000 00000000 11010100 00000001 10101111 00000111 11010110

```

```

** ** ** ** **
Z= 0          C= 1          D          E          F          H          L          S= 0
INTF= 0

```

```

00000011 00000000 11010100 00000001 10101111 00010011 10011010

```







PNB-0

0	1	2	3	4	5
---	---	---	---	---	---

```

1090* **** * 0000000 0000000 0000000

```

```

*****

```

```

Z= 0      A      B      C      D      E      F      H      I      L
          INTE= 1      C= 0      S= 0

```

```

00100011 0000000 0100000 0000000 0100000 00101010 10011000

```

0	1	2	3	4	5
---	---	---	---	---	---

```

1090* **** * 00000001 00000000

```

```

*****

```

```

Z= 0      A      B      C      D      E      F      H      L
          INTE= 0      C= 0      S= 0

```

```

00100011 0000000 0100000 0000000 0100000 00101010 10011000

```

--	--	--	--	--	--



PNB--13

```

0      1      2      3      4      5
1091* 00000001 00000000 00000000 00000000 00000000 00000000

```

\*\*\*\*\*

```

Z= 0      A      B      C      D      E      F      H      L
      C= 0      S= 0
INTF= 1

```

```

00100011 00000000 01000001 00000000 01101100 00101010 10100010

```

```

0      1      2      3      4      5
1091* 00000001 00000000 00000000 00000000 00000001 00000000

```

\*\*\*\*\*

```

Z= 0      A      B      C      D      E      F      H      L
      C= 0      S= 0
INTF= 0

```

```

00100011 00000000 01000001 00000000 01101100 00101010 10100010

```

\*\*\*\*\*

```

Z= 1      A      B      C      D      E      F      H      L
      C= 1      S= 0
INTF= 0

```

PNB-24

```

          INTF= 1
Z= 0      A          B          C          D          E          F          H          L          S= 0

```

```

00100011 00000000 01000011 00000000 10000010 00101010 00101010 10100000
*****
0          1          2          3          4          5

```

```

1091* 00000001 00000000 00000001 00000000 00000001 00000001 00000000 00000000

```

```

          INTF= 0
Z= 0      A          B          C          D          E          F          H          L          S= 0

```

```

00100011 00000000 01000011 00000000 10000010 00101010 00101010 10100000
*****

```

```

          INTF= 0
Z= 1      A          B          C          D          E          F          H          L          S= 0

```

```

00000000 00000000 01000011 00000000 10000010 00100011 00101010
*****

```



I5 OCORREU INTERRUPCAO DE NIVEL 5 NO TEMPC 14003 COM A INSTRUCAO 11101111 00000

\*\*\*\*\*

INIF= 0

Z= 1          A          B          C          D          F          H          S= 0          L

0000100 00000001 01011011 00000001 00110111 00000001 00111011 \*\*\*\*\*

\*\*\*\*\*

INIF= 0

```

0          1          2          3          4          5
0200* 00000010 00000000 00000000 00000000 00000000 00000000
*****
Z= 0          A          B          C          D          E          F          H          L
          C= 0          S= 0
          INTE= 1

```

```

00000100 00000000 11010001 00000001 10101111 00000111 11010000
*****

```

PTR-0

```

0          1          2          3          4          5
0200* 00000011 00000000 00000000 00000000 00000000 00000000
*****
          INTE= 0

```

```

0          1          2          3          4          5
00000100 00000000 11010001 00000001 10101111 00000111 11010000
*****
          A          B          C          D          E          F          H          L
          C= 0          S= 0
          INTE= 0

```

0	1	2	3	4	5
---	---	---	---	---	---

0200\* 00000011 00000000 00000000 00000000 00000000 00000000

0	1	2	3	4	5
---	---	---	---	---	---

Z=0  
 A R C D F H I  
 C=0 S=0  
 INTF=1

00000000 00000000 11010011 00000001 10101111 00000111 11010100

0	1	2	3	4	5
---	---	---	---	---	---

0200\* 00000011 00000000 00000000 00000000 00000001 00000000

Z=0  
 A B C D F H I  
 C=0 S=0  
 INTF=0

00000000 00000000 11010011 00000001 10101111 00000111 11010100













PTR-0

```

00001010 00000000 11010001 00000001 10101111 00000111 11010000
** ** ** ** **

```

0            1            2            3            4            5

```

0200* 00000100 00000000 00000000 00000000 00000001 00000000
** ** ** ** **

```

INTF= 0

Z = 0            A            B            C            D            E            H            S = 0            L

```

00001010 00000000 11010001 00000001 10101111 00000111 11010000
** ** ** ** *

```

```

0          1          2          3          4          5

```

```

0200* 00000100  00000000  00000000  00000000  00000001  00000000

```

```

*****

```

```

Z= 0          C= 0          F= 1          S= 0

```

```

A          B          C          D          E          F          G          H          I          J          K          L

```

```

00001000  00000000  11010010  00000001  10101111  00000111  11010010

```

```

*****

```

```

0          1          2          3          4          5

```

```

0200* 00000100  00000000  00000001  00000000  00000001  00000000

```

```

*****

```

```

INTE= 0

```

```

Z= 0          C= 0          F= 1          S= 0

```

```

A          B          C          D          E          F          G          H          I          J          K          L

```

```

00001000  00000000  11010010  00000001  10101111  00000111  11010010

```

```

*****

```

CK

```

OCORREU INTERRUPCAO DE NIVEL 1 NO TEMPO 24000 COM A INSTRUCAO 11001111 00000
** ** ** ** **

```

```

INTF= 0
Z= 0      A      B      C      D      E      F      H      S= 0      L
00000010 00000000 11010010 00000001 00011110 00000001 01111101
** ** ** ** **

```

```

** ** ** ** **
INTF= 0
Z= 0      A      B      C      D      E      F      H      S= 0      L

```

```

00000010 00000000 11010010 00000001 00011110 00000001 10101011
** ** ** ** *
0      1      2      3      4      5

```

```

0      1      2      3      4      5      6
0200* 00000100 00000000 00000001 00000000 00000000 00000001
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **   ** ** ** ** ** ** **

```

PTR -3

```

Z= 0      C= 0      S= 0
A      B      C      D      E      F      H      L      PC
00000000 00000000 11010100 00000001 10101111 00000111 11010110 0001001110010
** ** ** ** **   ** ** ** **   ** ** ** *

```

```

0      1      2      3      4      5      6
0200* 00000100 00000000 00000000 00000001 00000000 00000000
** ** ** ** *

```

```

Z= 0      C= 0      S= 0
A      B      C      D      F      H      L      PC
00000000 00000000 11010100 00000001 10101111 00000111 11010110 000000111001
** ** ** *

```

```

00000000 00000001 01100011 00000001 00110111 00000001 01000100
** ** ** ** **

```

CK

```

OCORREU INTERRUPTO DE NIVEL 1 NO TEMPO 2706 COM A INSTRUCAO 11001111 0000

```

```

** ** ** ** **
INTE=0

```

```

Z=0      A      B      C      D      E      F      H      L
          C=0
          S=I

```

```

00000000 00000001 01100011 00000000 00000000 00000001 01000100
** ** ** ** **

```

```

** ** ** ** *
INTE=0

```

```

Z=0      A      B      C      D      E      F      H      L
          C=0
          S=I

```

```

00000010 00000001 01100011 00000000 00000000 00000001 10101101
** ** ** ** *

```



PTR-0

```

00110000 00000000 11010001 00000001 10101111 00001111 11010000
** ** ** ** **

```

0 1 2 3 4 5

```

0200* 00000101 00000000 00000001 00000000 00000001 00000000
** ** ** ** **

```

INTF = 0

Z = 0      A      B      C      D      E      F      H      S = 0      I

```

00110000 00000000 11010001 00000001 10101111 00001111 11010000
** ** ** ** *

```

```

** ** ** ** *

```

```

Z = 1      A      B      C      D      E      H      S = 0      I
INTF = 0

```

```

00000000 00000000 11010001 00000001 10101111 00001011 11001010
** ** ** ** *

```



0	1	5	6	7	8	9
---	---	---	---	---	---	---

PTR-4 0200\* 00000101 00000000 00000000 00000010 00000000 00000000 00000000 00000000

Z= 0 A B L PC SP  
 P= 0  
 TEMPO = 28462  
 AC= 0

00100000 00000000 11011011000 000101101111010- 6010 0000000110101111- 431

0	1	5	6	7	8	9
---	---	---	---	---	---	---

0200\* 00000101 00000000 00000000 00000010 00000000 00000000 00000001 00000000

\*\*\*\*\*

\*\*\*\*\*

```

Z= 1      A      B      C      D      E      F      H      L
      INTF= 0
      C= 0

```

```

00000000 00000000 11010110 00000001 10101111 00011011 01011000
*****

```

PTR-5

```

0      1      2      3      4      5
*****

```

```

0201* 00000000 00000000
*****

```

\*\*\*\*\*

```

Z= 0      A      B      C      D      E      F      H      L
      INTF= 1
      C= 0

```

```

00000000 00000000 11010110 00000001 10101111 00000111 11011010
*****

```

\*\*\*\*\*

A P E N D I C E III

III.1: Definição e codificação dos programas PTR e PNB

III.2: Definição de Interrupções

III.3: Resultados do Teste 2

DW	1	DEFINICAO DE PROG2 COMO PNB-0
DW	0	PNB-0 EM 3000
DW	3000	
DW	1	DEFINICAO DE INTERRUP RELOGIO
DW	4	
DW	700	RELOGIO NO NIVEL 4
DW	2	DEFINICAO DE PROG1 E PROG3
DW	4000	PROG1=PTR-0
DW	0	PTR-0 EM 4000, DT=1 CLOCK
DW	5000	PTR-1 EM 5000, DT=2 CLOCKS
DW	1	

### III.1.a - Definição dos Programas

```

EI                                     *** PROGRAMAS DE NIVEL BASICO **
LXI  H,3050                            * PNB-0= PROG2
WRITE R
WRITE 3050,3051
INR  M
WRITE 3050,3051
CALL 100
DB  0

```

```

LABEL  INST.  OPERANDO

```

```

DS  2
EI                                     *** PROGRAMAS DE TEMPO REAL ***
LXI  H,4050                            * PTR-0= PROG1
WRITE R
WRITE 4050,4051
INR  M
WRITE 4050,4051
CALL 100
DB  1
DB  0                                ATIVA PROG2
DS  2
LXI  H,5050                            * PTR-2= PROG3
WRITE R
WRITE 5050,5051
INR  M
WRITE 5050,5051
EXIT                                     ***** FIM DA SIMULACAO ***
DS  2

```

PEDIDOS DE INTERRUPCAO			
TEMPO	NIVEL	INSTRUCAC	OPERANDO
4000	4	RST	4
11000	4	RST	4
18000	4	RST	4
25000	4	RST	4
32000	4	RST	4

### III.2 - Definição de Interrupções

CK

```

OCORREU INTERRUPCAO DE NIVEL 4 NO TEMPO 4002 COM A INSTRUCAO 11100111 00000
*****

```

```

Z= 1          C= 0          S= 0
          A      B      C      D      E      H      L
00000000 00000000 11010001 00000001 10101111 00001111 11010010
*****

```

```

0405* 00000000 00000000 00000000 00000000 00000000 00000000
          0      1      2      3      4      5
*****

```

PROG1

```

0405* 00000001 00000000 00000000 00000000 00000000 00000000
*****

```

```

Z= 0          C= 0          S= 0
          A      B      C      D      E      H      L
00001011 00000000 01000000 00000000 01010010 00001011 11101010
*****

```





PROG1

```

0         1         2         3         4         5
0405* 0000001 0000000 0000000 0000000 0000000 0000000
0         1         2         3         4         5
0405* 0000010 0000000 0000000 0000000 0000000 0000000
*****
Z= I           C= 0          S= 0
   A           B           C           D           E           H           L
00000000 00000000 11010010 00000001 10101111 0010011 10111010
*****

```

PROG3

```

0         1         2         3         4         5
0505* 0000000 0000000 0000000 0000000 0000000 0000000
0         1         2         3         4         5
0505* 0000001 0000000 0000000 0000000 0000000 0000000
*****

```